

Power-Integrity, Signal-Integrity & EMV

von Nils Dirks

FPGA-Tag 2014
03. - 05. Juni 2014
NH Hotel, München Dornach

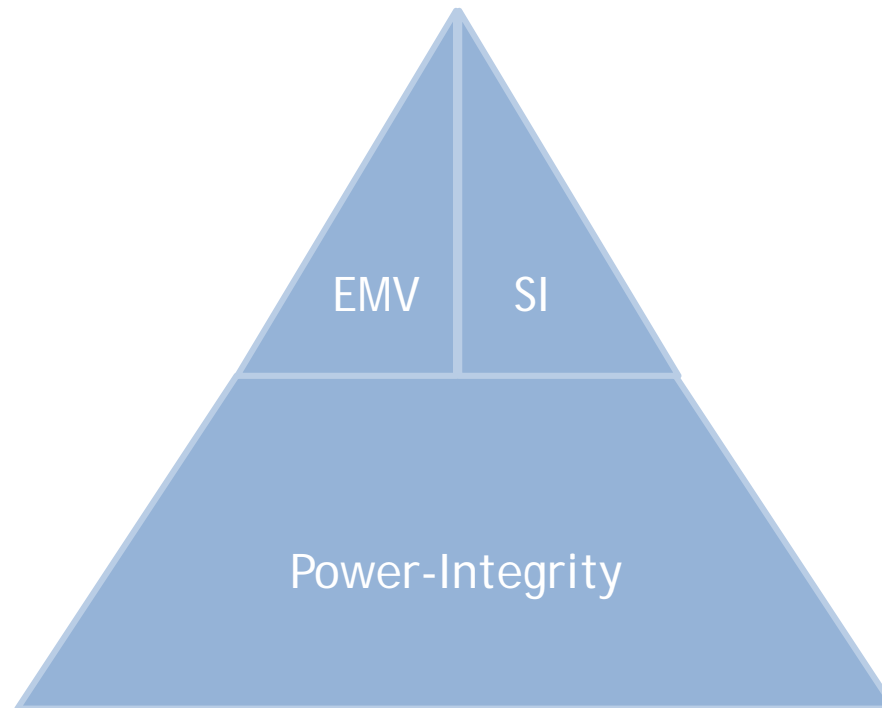
© Dirks Compliance Consulting, Nils Dirks
www.emv.biz

1. Überblick
2. Power-Integrity
3. Signal-Integrity
4. EMV

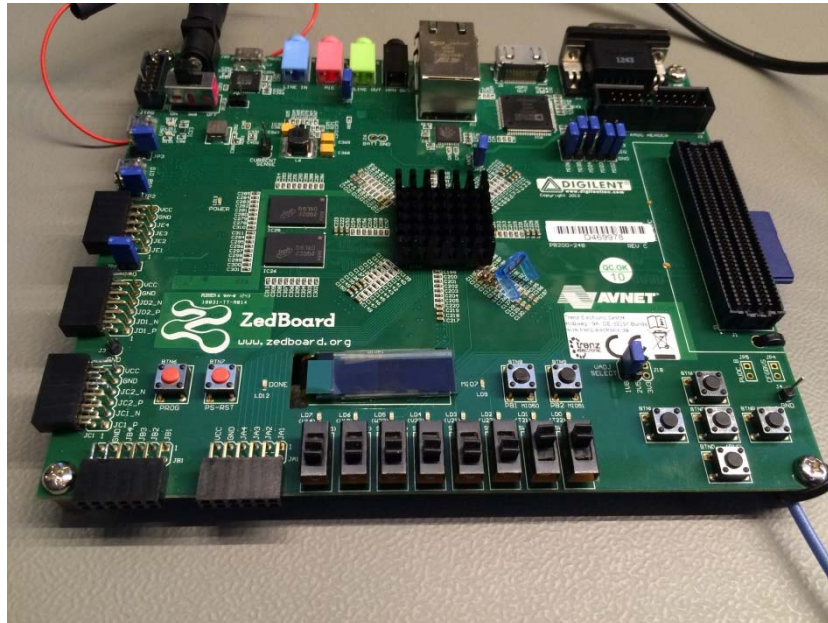
1. Überblick
2. Power-Integrity
3. Signal-Integrity
4. EMV



Power-Integrity

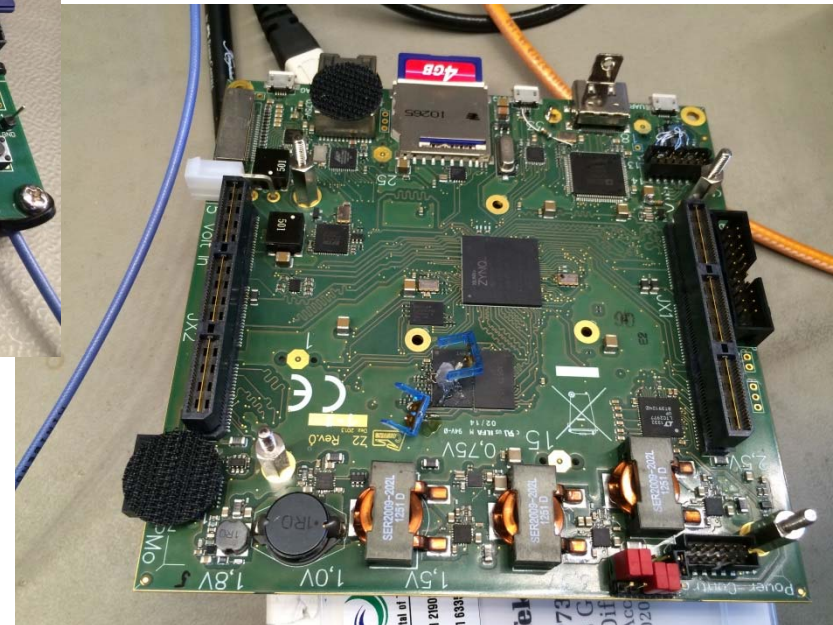


Vergleich: Konventionell vs. Optimiert



ZED: konventionell

Z2: optimiert



5

05.06.2014

Da beide Baugruppen einen nahezu identischen Schaltplan haben, lassen sich die Auswirkungen von Lagenaufbau, Layout etc. recht gut überprüfen.

✓ Power-Integrity

- Messtechnische Bewertung des Spannungsripples (Rauschen)

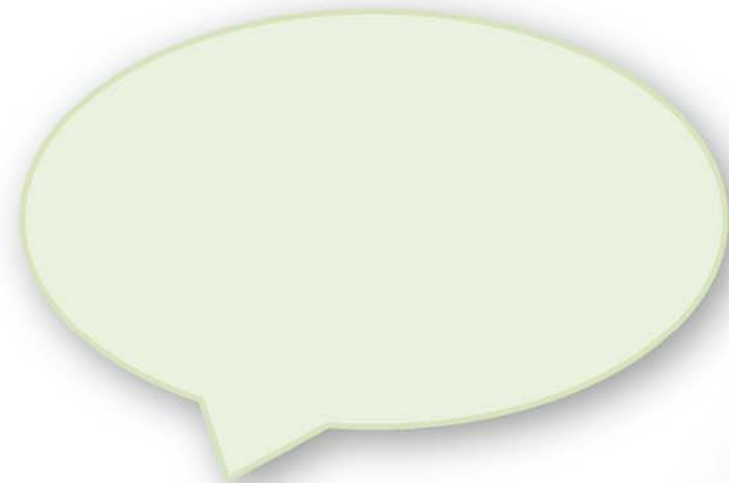
✓ Signal-Integrity

- Messtechnische Bewertung der Signalqualität

✓ EMV

- Messungen in der Absorberhalle

1. Überblick
2. Power-Integrity
3. Signal-Integrity
4. EMV



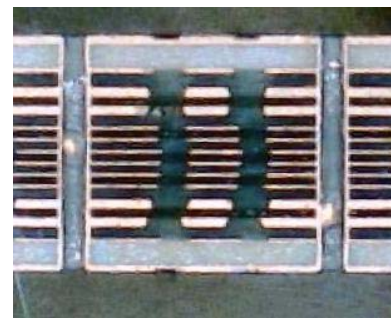
✓ ZED-Board

- „Weihnachtsstern“

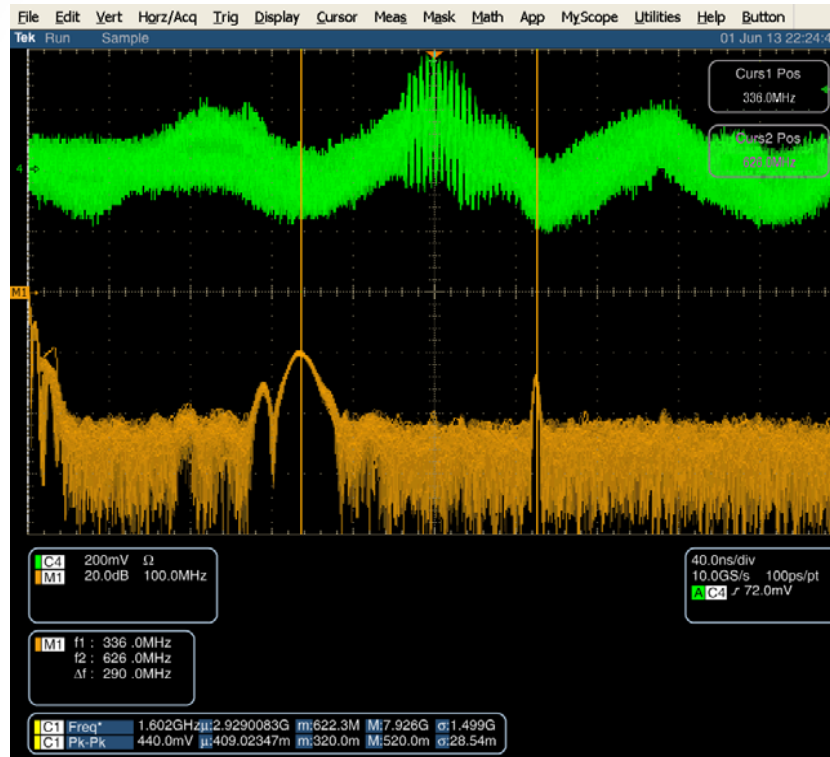


✓ Z2-Board

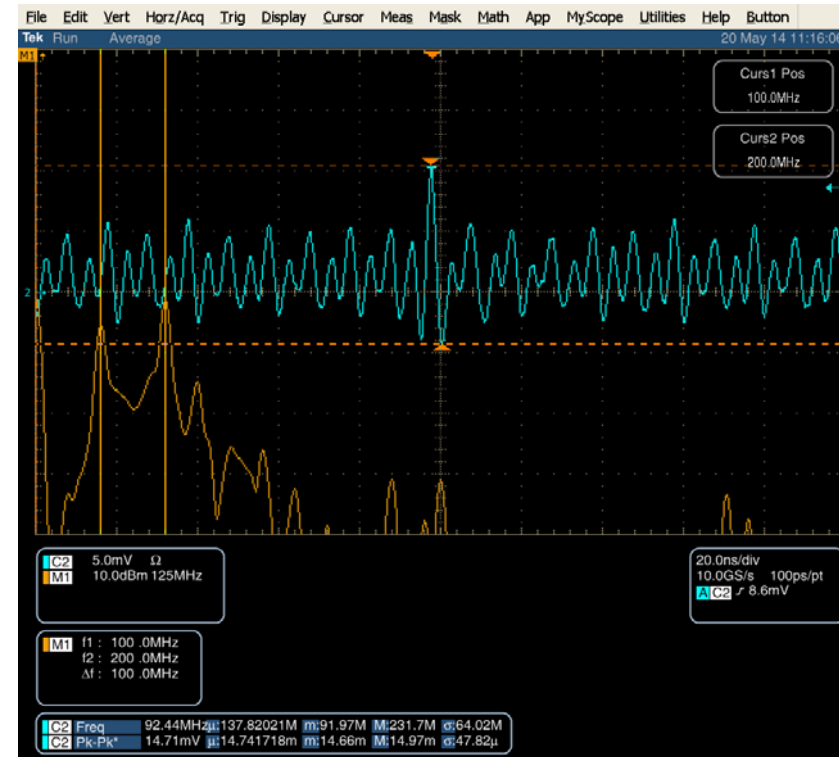
- 50um-Substrate
- Kondensatorgruppen



3V3-Ebene: LinuxIdle



ZED: Voltage@C122-Pads



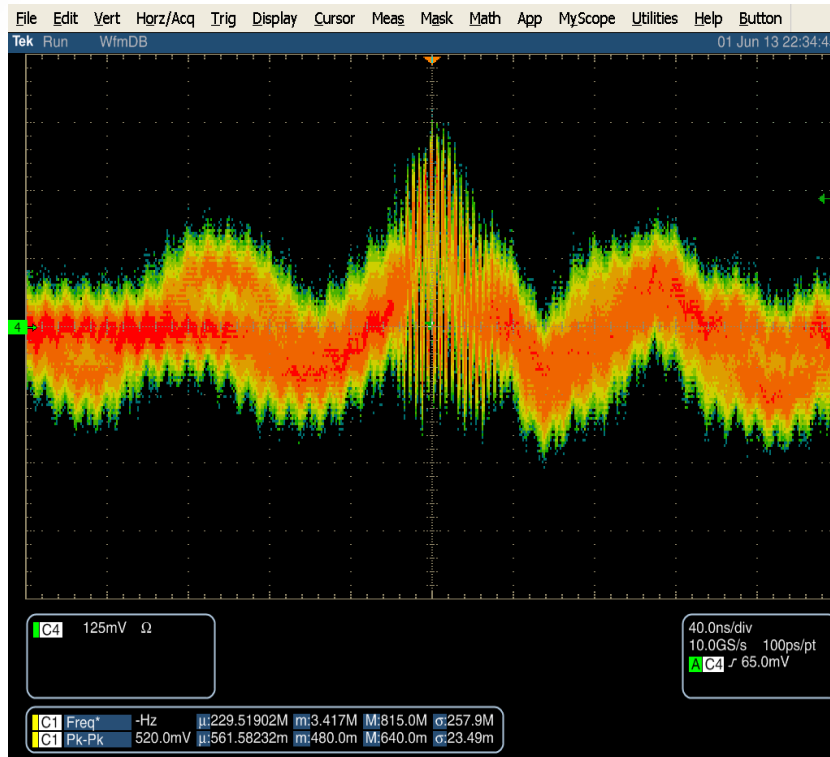
Z2: Voltage@3V3BullsEye

9

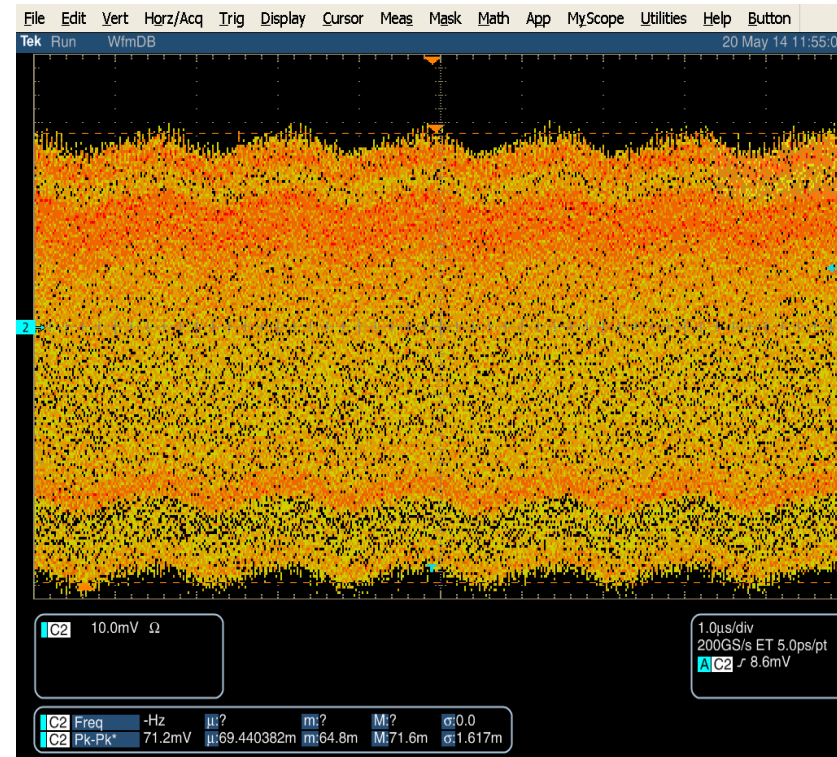
04.06.2014

Das Peak-Peak-Rauschen liegt beim ZED-Board bei 440mV, beim Z2 sind es rund 15mV. Knapp ein Faktor 30! Obwohl das 3V3-System in der Betriebsart "LinuxIdle" kaum belastet ist. >> Belastungsunabhängiger Störpegel (Regler!)

3V3: IO-Belastungstest_16 (100MHz)



ZED: Voltage@C122-Pads



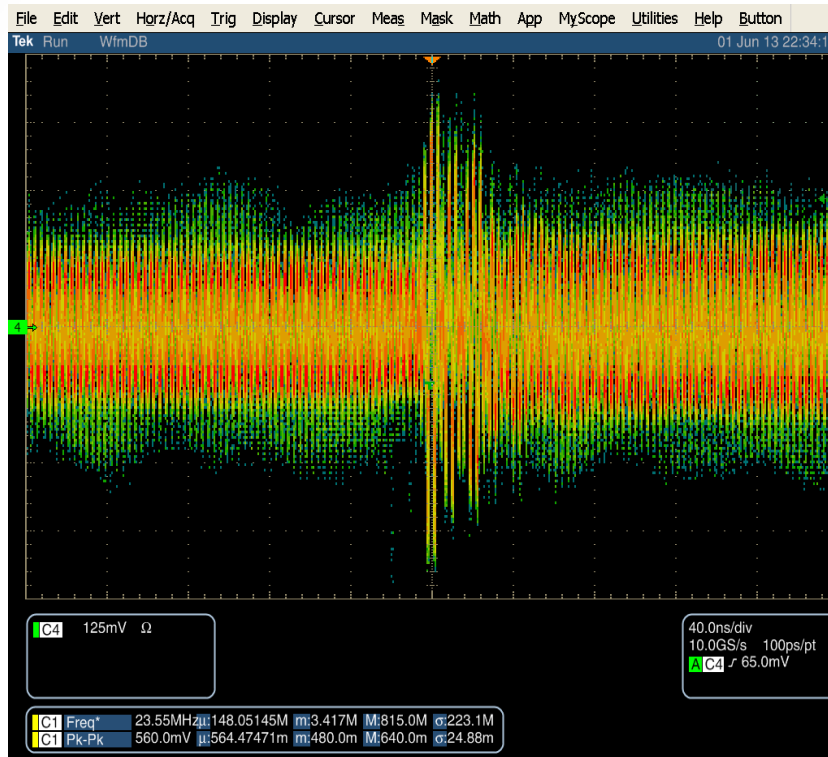
Z2: Voltage@3V3BullsEye

10

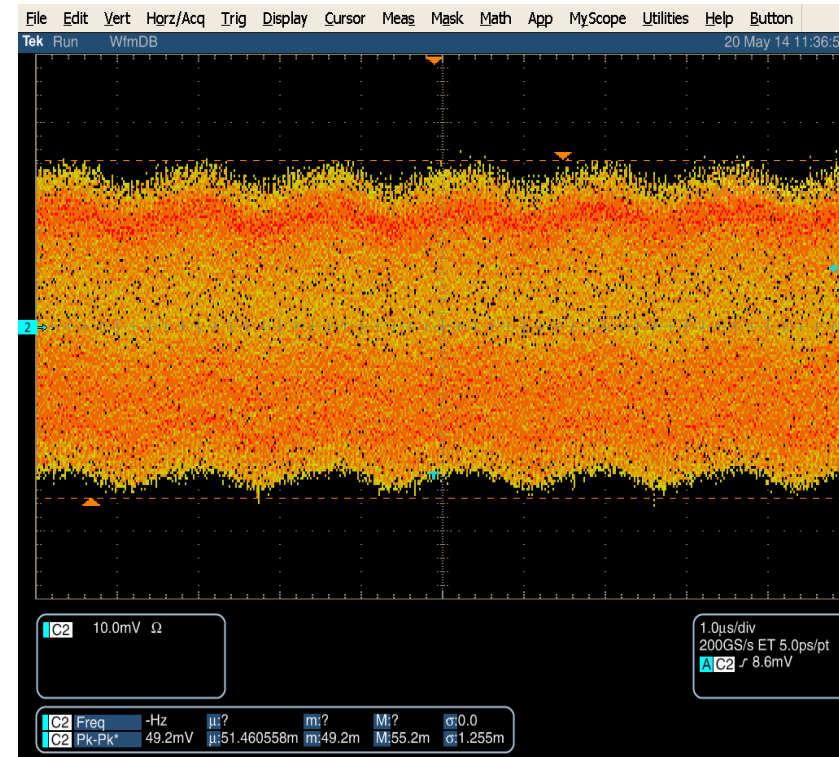
04.06.2014

Das Peak-Peak-Rauschen liegt beim ZED-Board bei gut 625mV, und gut 70mV beim Z2-Board. Etwa ein Faktor neun!

3V3: IO-Belastungstest_16 (333MHz)

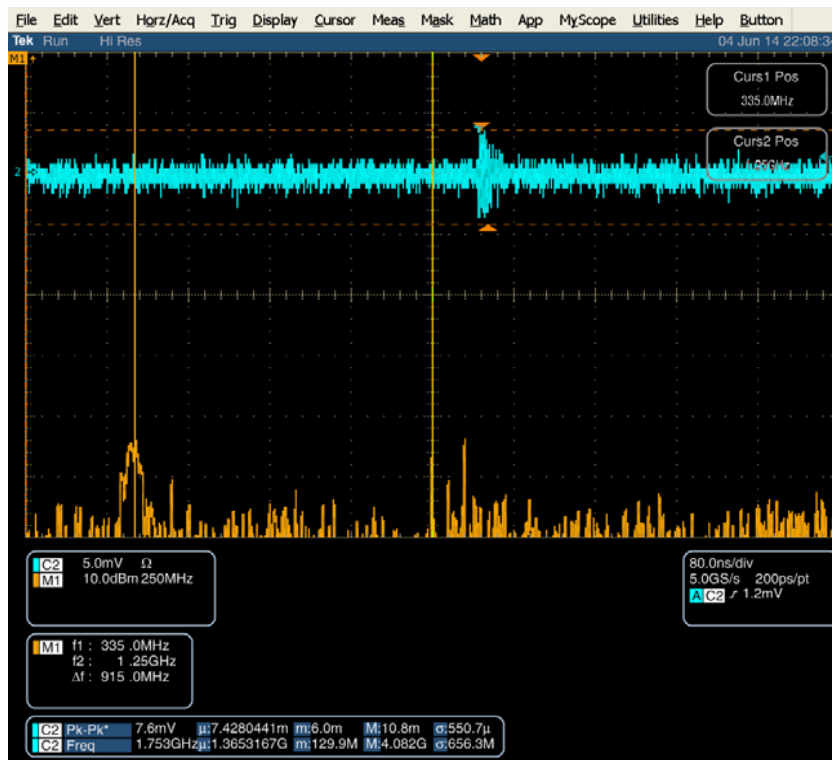


ZED: Voltage@C122-Pads



Z2: Voltage@3V3BullsEye

1V0: Belastungstest 69%-100MHz

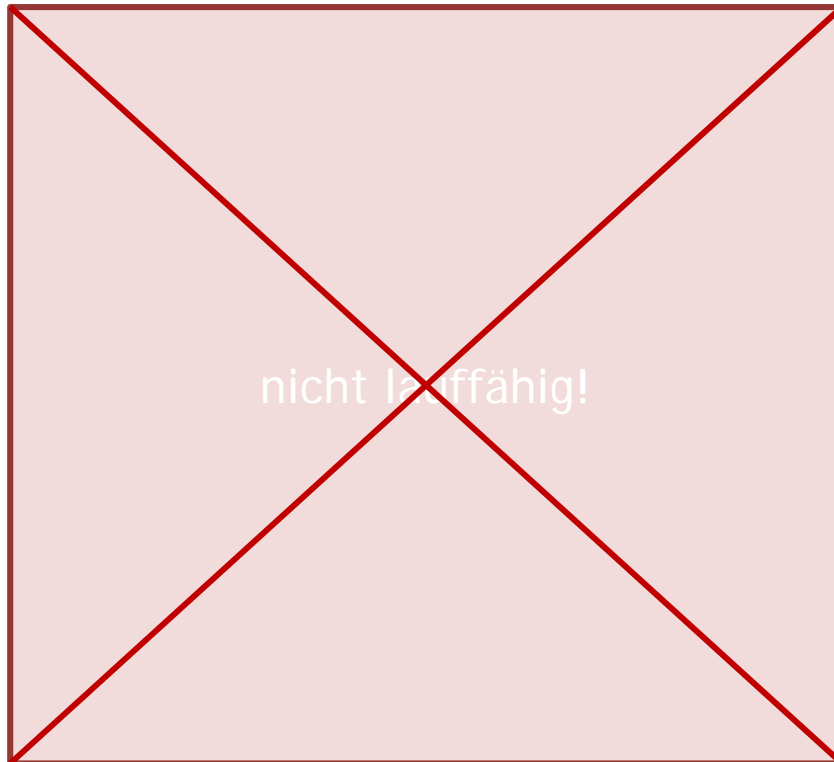


ZED: Voltage@1V0_C227-Pads



Z2: Voltage@1V0BullsEye

FPGA-Core: Belastungstest 69%-200MHz

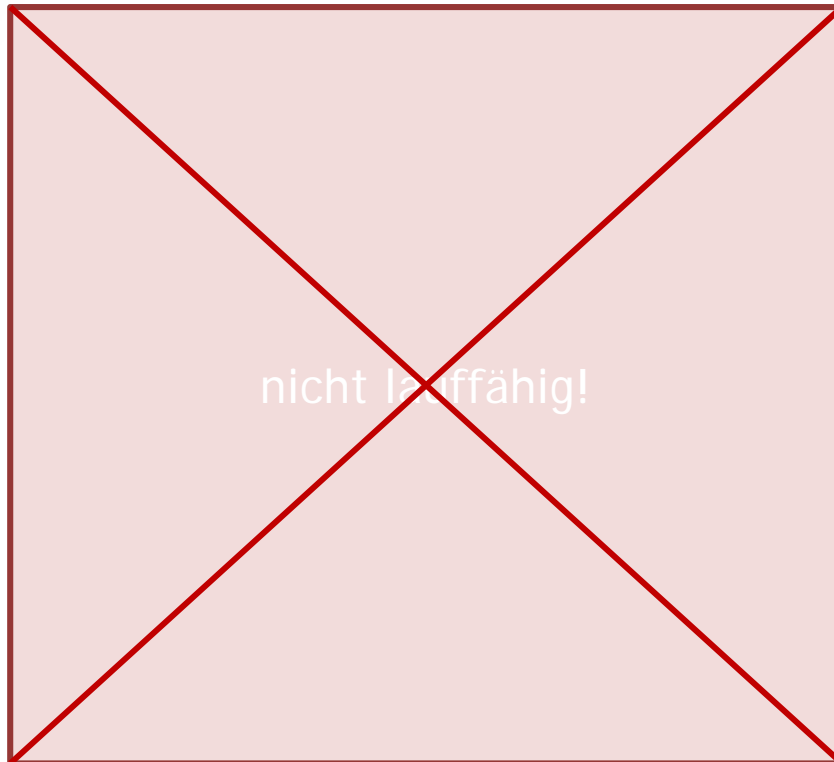


ZED: -



Z2: Voltage@1V0BullsEye

FPGA-Core: Belastungstest 69%-333MHz



ZED: -



Z2: Voltage@1V0BullsEye

FPGA-Core: Belastungstest 95%-333MHz



15

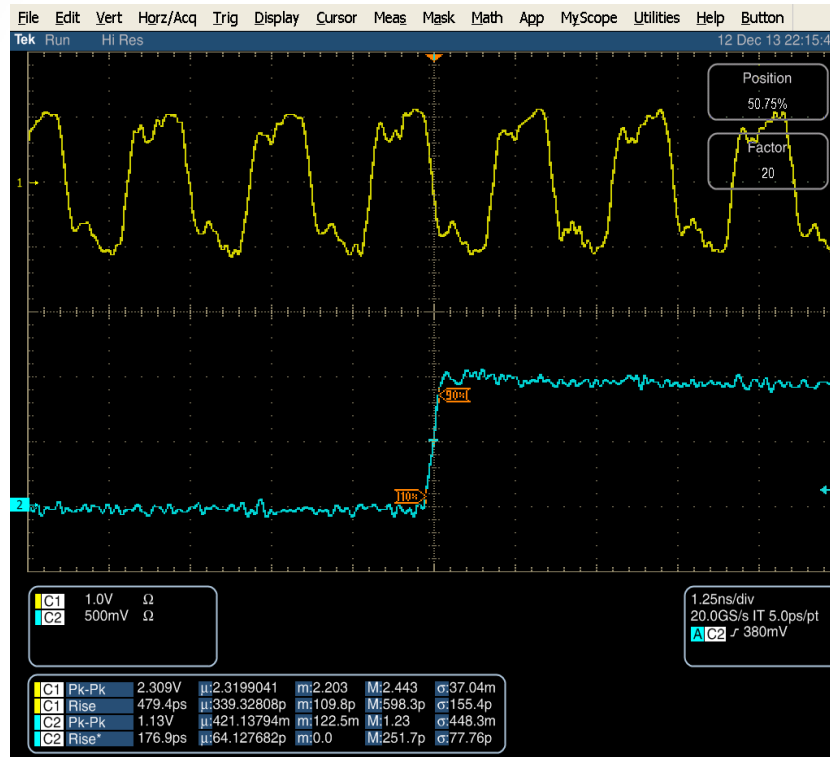
04.06.2014

Auf dem Z2-Board läuft auch dieses Testszenario. Selbst bei sehr hoher Belastung (Kühlung des FPGAs mittels Kühlkörper & Lüfter erforderlich) hält sich der Störpegel in engen Grenzen! Stromaufnahme @1V: ~8A

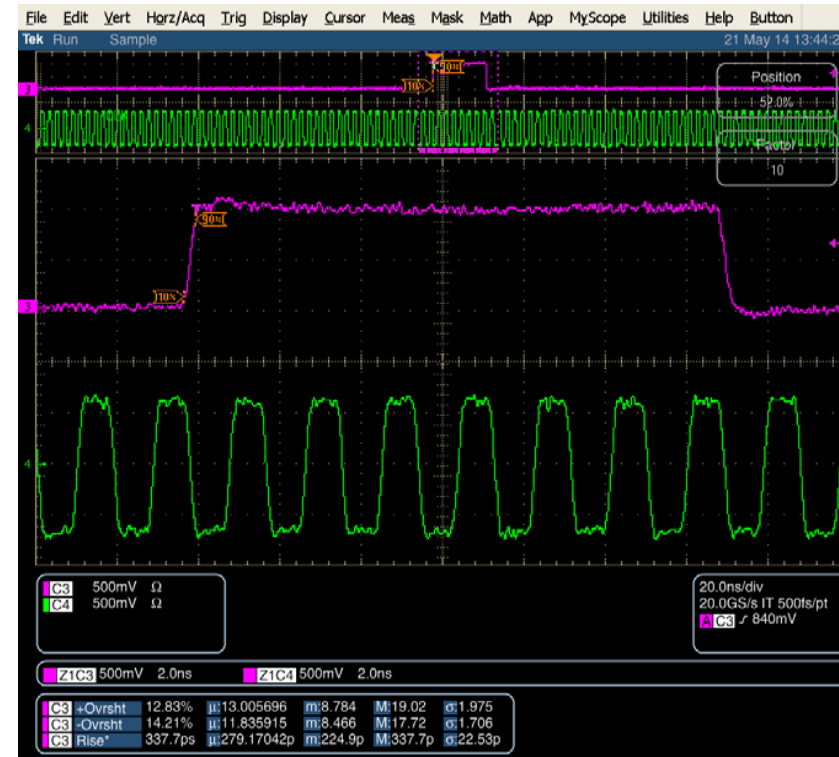
1. Überblick
2. Power-Integrity
3. Signal-Integrity
4. EMV



SI: DDR3-Adressbus



ZED: DDR3-CLK & A13

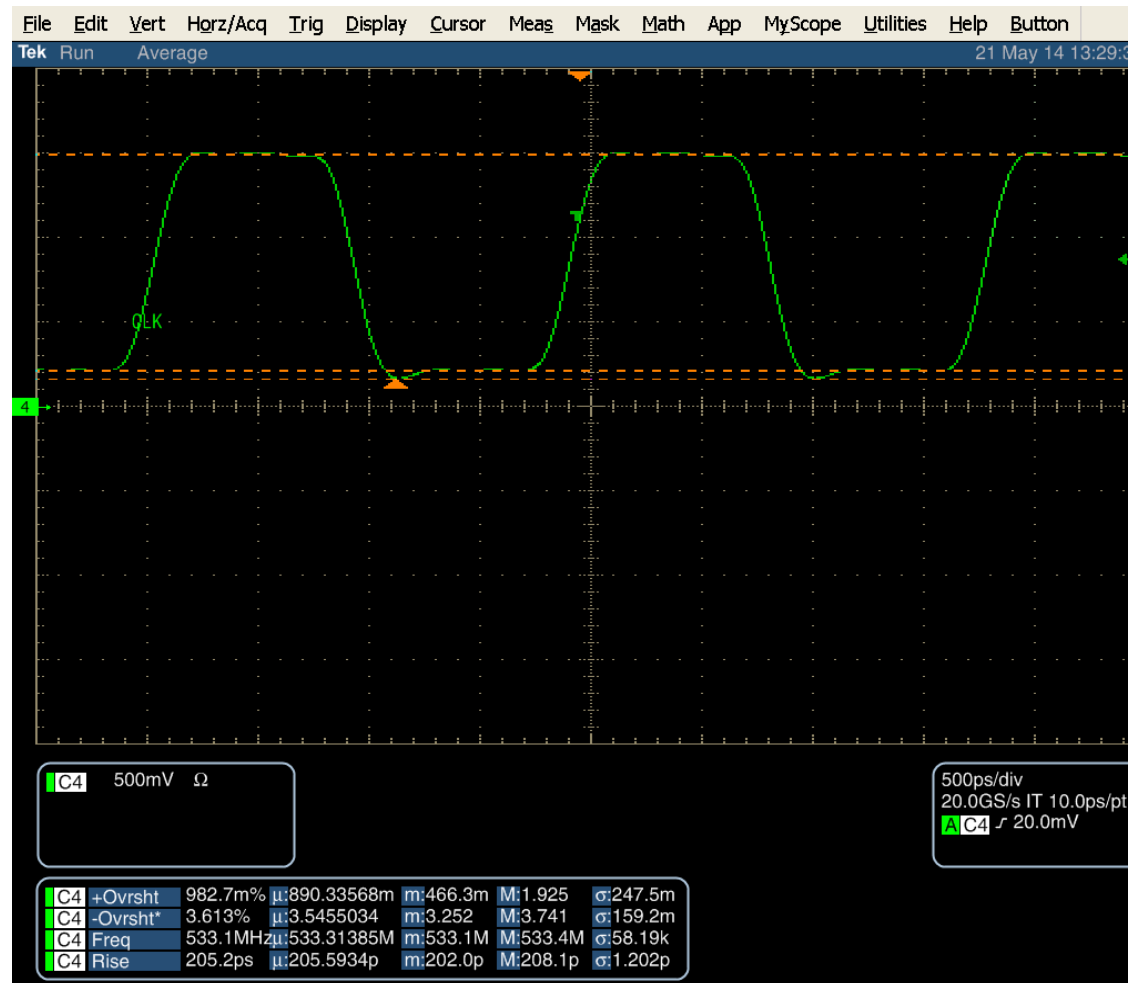


Z2: DDR3-CLK & A13

17

05.06.2014 Messungen am DDR3-Speicher, 533MHz.
Das CLK-Signal auf dem Z2-Board ist deutlich sauberer.

SI: CLK-Signal auf Z2-Board



18

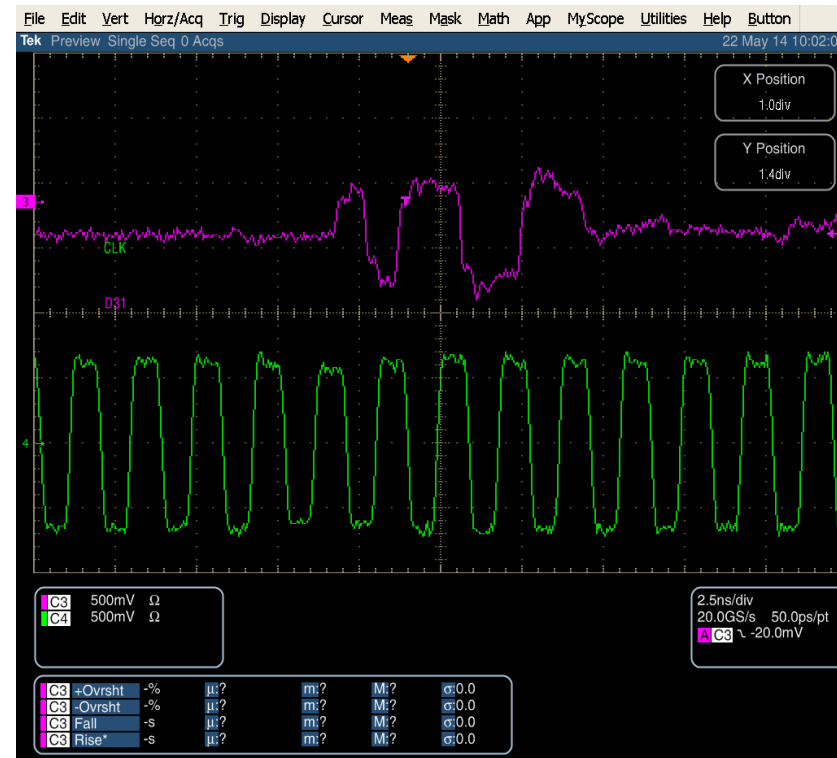
05.06.2014

Wird das Rauschen per Averaging entfernt, zeigt sich ein sehr sauberes CLK-Signal.

SI: DDR3-Datenbus



ZED: DDR3-CLK & D31

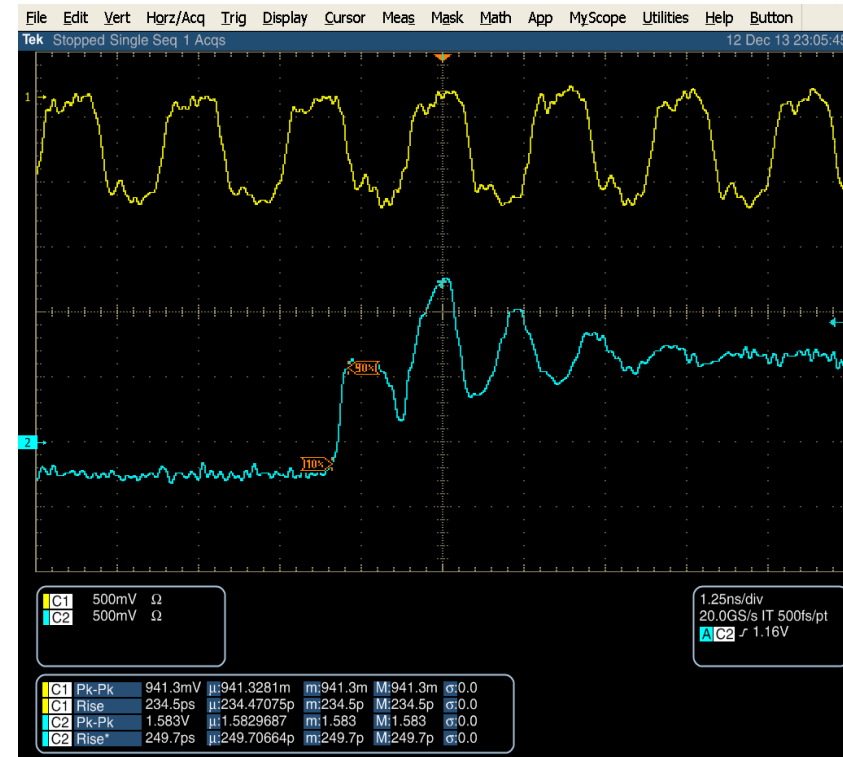


Z2: DDR3-CLK & D31

ZED: SI-Probleme

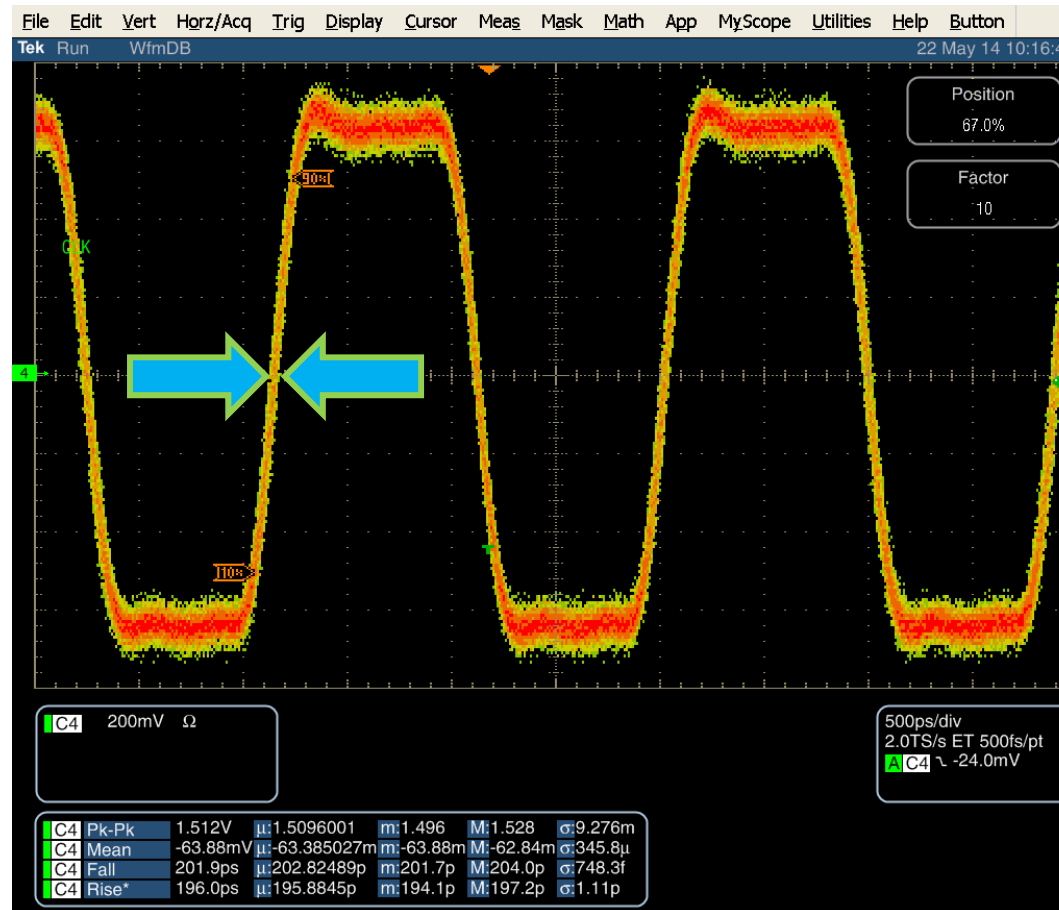


ZED: DDR3-CLK & D31
Modulation des CLK-Signals



ZED: DDR3-CLK & D31
Überschwinger auf Daten-Signal

Jitter

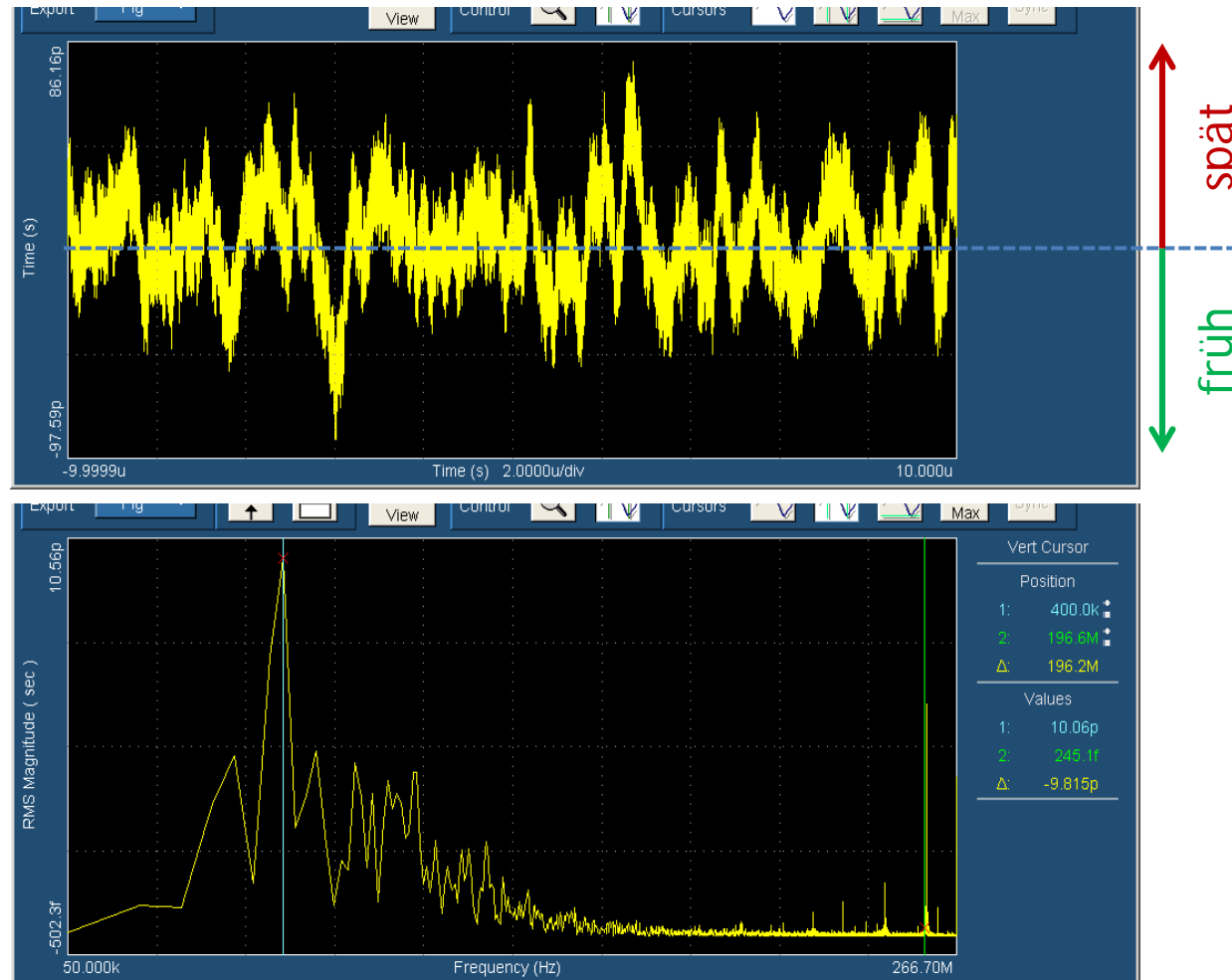


21

05.06.2014

Jitter bedeutet, dass die Flanke des Signals nicht genau zu dem Zeitpunkt erscheint, zu dem sie erscheinen sollte: Sie ist zu früh oder zu spät.

Jitter: TIE und Spektrum

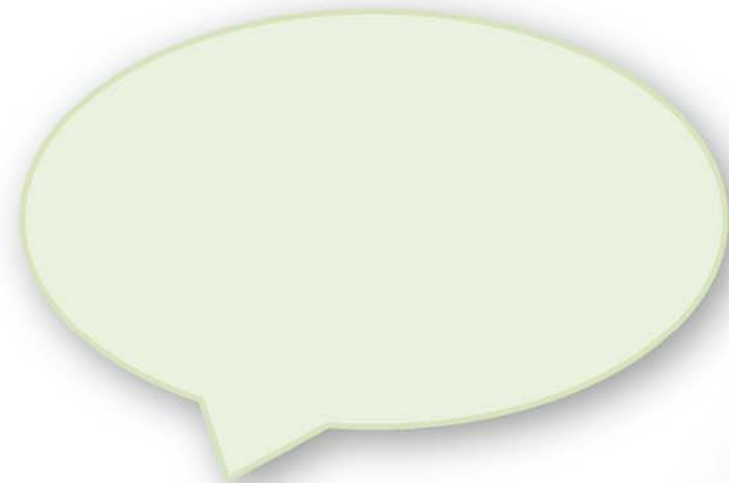


22

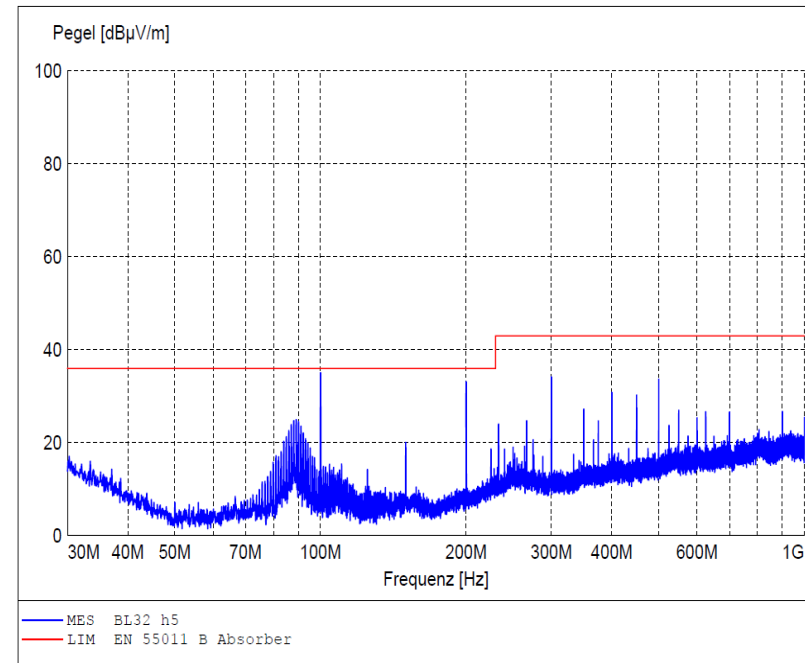
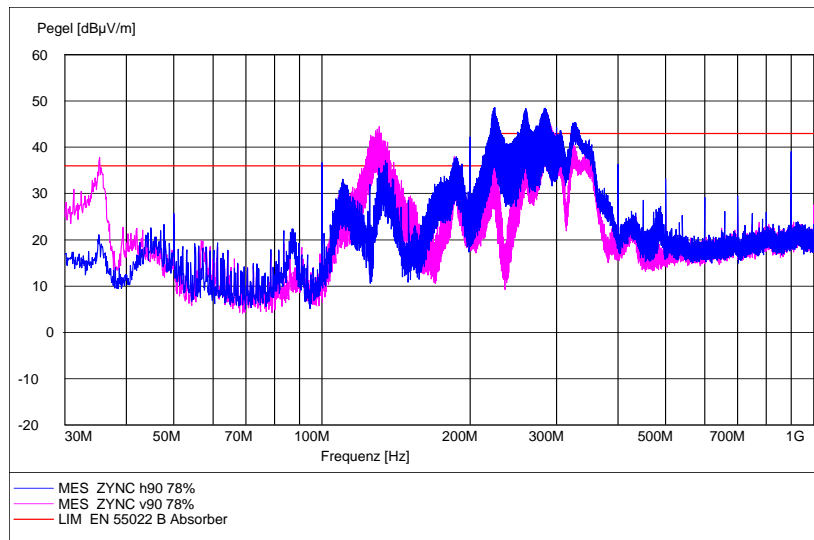
04.06.2014

TIE (Time Intervall Error) ist die Zeitspanne, um die die Flanke zu früh oder spät ist. Das Spektrum wird als FFT daraus gewonnen.

1. Überblick
2. Power-Integrity
3. Signal-Integrity
4. EMV



Radiated Emission (EN 55011)



ZED: FPGA-Belastungstest 78%-100MHz

Z2: FPGA-Belastungstest 69%-100MHz

Konfiguration:
USB-UART--Kabel, Ethernetkabel, Ribbon an JA+JB+JC,
Supply-Kabel

Konfiguration:
25cm Flexkabel, LED/Switch-Kabel, USB-Kabel,
Ethernetkabel, Supply-Kabel

24

04.06.2014

Der interne Belastungstest generiert keine Nutzsignale auf den Kabeln. Die Emission entsteht allein durch parasitäre Kopplungen. Auffallend am ZED: Die Vielzahl von Resonanzen, die den Rauschteppich anheben.

Vielen Dank fürs Zuhören!

- ✓ Weitere Vorträge, Veröffentlichungen etc. unter
 - www.emv.biz

- ✓ Forum rund um die EMV:
 - www.emv.info