

TINA-TI™によるオペアンプ回路設計入門 (第 1 回)

序章 ICオペアンプの誕生まで

宇田達広

MARKETING

はじめに

この連載はアナログシグナルチェーンの基本素子とも言えるべきオペアンプの基本理論と応用回路技術の習得を目的とします。本格的な電子回路シミュレーション・ツールであるTINA-TIを自分の手で実際に動かすことで直感的な理解が得られるよう工夫しています。TINA-TI (Ver. 9.x) のインストール方法と基本操作方法については下記のリンクを参照して下さい。

- [SPICE ベースのアナログ・シミュレーション・プログラム](#)
- [クイック・スタート・ガイド](#) (TINA TI 操作入門)

今回は序章として電子の発見から IC オペアンプの誕生に至る経緯と高速化技術を取り上げます。

目次

電子の発見から真空管アンプへ	2
負帰還増幅器の発明	4
負帰還増幅器理論の進歩	6
オペアンプのルーツ	8
アナログコンピュータ	8
トランジスタの時代	8
集積回路 (IC) の時代	11
ICオペアンプの誕生	13
ICオペアンプの高速化技術	17
接合分離バイポーラプロセス	17
誘電体分離バイポーラプロセス	20
コンプリメンタリ・バイポーラプロセス	22
コンプリメンタリ SiGe BiCMOS プロセス	24
高速オペアンプの回路技術 (電圧帰還型)	27
高速オペアンプの回路技術 (電流帰還型)	29
参考文献	36

電子の発見から真空管アンプへ

オペアンプのテクノロジーをさかのぼると、1960年代に始まる集積回路の時代、1950年代に始まるトランジスタの時代、そして1940年代に始まる真空管の時代に至ります。真空管の時代は、フレミングがエジソン効果にヒントを得て発明した2極管が発端となり、ド・フォレストが発明した3極管をウェスタンエレクトリック社が生産したことで本格的に始まりました。

米国のトーマス・エジソン(Thomas Alva Edison, February 11, 1847 - October 18, 1931)は、電話、蓄音機、白熱電球など多くの機器を初めて商品化した実業家兼発明家ですが、電子の発見とそれに続く真空管の発明にも大きな貢献をしています。エジソンが白熱電球のフィラメントに京都八幡の真竹を使用し実用化に成功したことは良く知られていますが、ガラス球の内側がしだいに黒く曇り電球が暗くなる現象に悩まされました。

その原因を調べようとして薄い白金板を電球内に入れてフィラメントと白金板の間に検流計を接続しました。そして、図1(a)のようにフィラメントに対して白金板側に正の電圧を印加すると、フィラメントと白金板の間にある空間を通り電流が流れ、図1(b)のようにフィラメントに対して白金板側に負の電圧を印加すると電流が流れない現象を確認しました。この現象は1883年に発見され、後にエジソン効果と名付けられました^[1]。

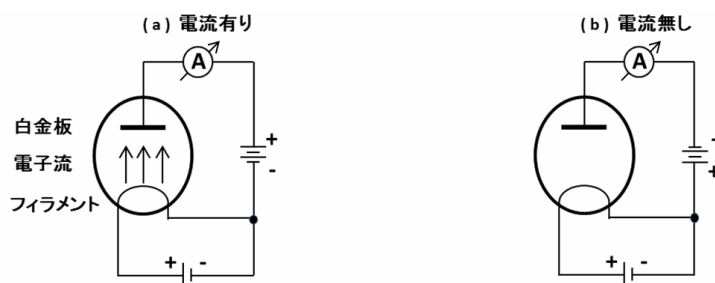


図1 エジソン効果

エジソン効果の発見から14年が経過した1897年に、イギリスの物理学者 J.J. トムソン (Joseph John Thomson, December 18, 1856 - August 30, 1940)は、陰極線管を用いて陰極側の放射物が荷電粒子であることを実験的に確認し、その質量電荷比を計測しました。後にそれが電荷の最小単位であることが認められ、電子の発見者はトムソンとなっています^[2]。

エジソンは理論の追求よりも実用性を重んじ、エジソン効果の重要性に気が付きませんでした。発明家らしく空間を流れる電流値は周囲の温度と明るさに比例すると考え、図2のように電気指示器と題する特許を取得しました^[3]。

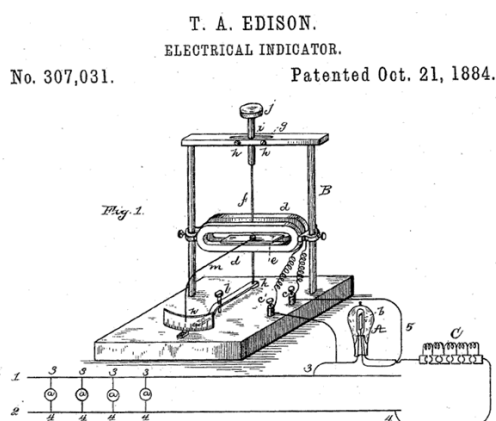


図2 エジソンの電気指示器（米国特許307, 031からの引用）

電磁誘導の「右手の法則」と「左手の法則」で知られる ジョン・フレミング (Sir John Ambrose Fleming, November 29, 1849 - April 18, 1945) は、ロンドン大学で電気工学教授を務める一方でエジソン電灯会社やマルコニー無線会社などの技術顧問としても活躍したイギリスの物理学者です。エジソン効果の整流特性に注目したフレミングは、フィラメントとその周囲を円筒状の白金版で囲む構造の 2 極管を開発して 1905 年に特許を取得しています^[4]。

増幅作用を持つ最初の能動素子である 3 極管は、米国の発明家、電気技術者 リー・ド・フォレスト (Lee De Forest, August 26, 1873 - June 30, 1961) が発明しました。2 極管のフレミング特許には、バイアス点 (電流が流れ始める点) を整流効率の最良点に設定する方法として、フィラメント温度を利用することが含まれていました。ド・フォレストは、この特許を回避するためにフィラメントと白金版の間に挿入した格子状の電極 (グリッド) でバイアスを変化させる構造の 3 極管を考案しました。3 極管には、プレート電流をある程度流してグリッド電圧を変化させるとプレート電流が大きく変化する特性、つまり増幅作用があることが判り、感度の良い検波器としてだけでなく、増幅器、発振器、変調器へその機能を拡張していきます。ド・フォレストは、1908 年に 3 極管の特許を取得しています^[5]。

3 極管が使われ始めた頃はとても高価であったため、少数の 3 極管で多くの機能を実現するさまざまな回路が工夫されました。当時、コロンビア大学工学部の学生であった エドウィン・ハワード・アームストロング (Edwin Howard Armstrong, December 18, 1890 - January 31, 1954) は、1 本の 3 極管で高感度な無線検波器を構成できる再生回路を考案し、1914 年に無線受信システムと題して特許を取得しています^[6]。

図 3 の回路は、プレート側の検波出力を、グリッド側の同調回路に正帰還しているため、帰還量がある値を超えると発振します。再生回路は、この帰還量を調整して回路を発振直前の状態にして利得を増やす技術で、1950 年代までは真空管ラジオの大部分に使用されていました。アームストロングは後にコロンビア大学教授となり、スーパーヘテロダイン方式、超再生回路、周波数変調方式などを開発しました^[7]。

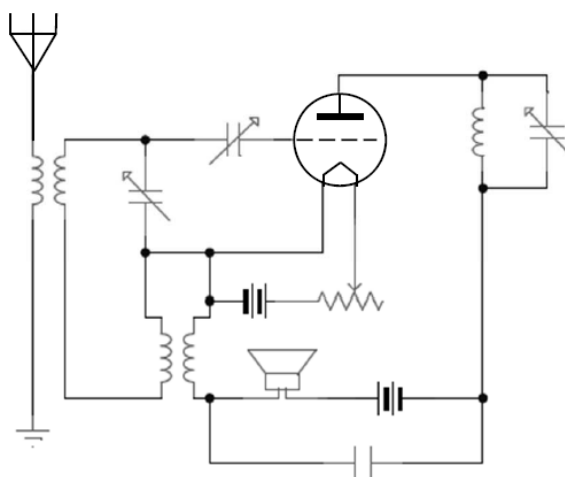


図3 アームストロングの (正帰還を利用した) 再生回路

ド・フォレストは 3 極管にガスを充填すると検波性能が上がることを発見し、ガスを充填した 3 極管を オーディオン と名づけました。オーディオンはラジオの信号増幅などの低電源電圧の用途には向いていましたが、高電圧では内部放電が起こり電力増幅の用途には制限がありました。ATT のアーノルド (Harold De-Forest Arnold, September 3, 1883 - July 10, 1933) と GE のラングミュア (Irving Langmuir, January 1881 - 16 August 1957) は、大陸横断電話伝送システムの中継器への応用をめざして真空管の高真空度を追求し、最終的に 250V の電源電圧で数キロワットの電力増幅が可能な真空管を開発しました。

負帰還増幅器の発明

オペアンプは高ゲインの増幅器で、負帰還を適用して、ゲイン変動や歪を改善し、加算回路、積分回路などのアナログ演算機能を実現することができます。今日では、負帰還がほとんどの電子回路に組み込まれており、負帰還増幅器の原理は応用範囲の広さから 20 世紀を代表する発明のひとつです。このセクションは負帰還増幅器を発明したハロルド・ブラック (Harold Stephen Black, April 14, 1898 - December 11, 1983) が発明から約 6 年後の 1934 年に、負帰還増幅器の実用化技術について "Bell System Technical Journal" に寄稿した "Stabilized feedback amplifier"^[8]と、発明から約 50 年後の 1977 年に負帰還増幅器の概念と開発過程の努力について "IEEE SPECTRUM" に寄稿した "Inventing the negative feedback amplifier"^[9]を参照して、負帰還増幅器の発明から実用化までの経緯を辿ります。オペアンプの負帰還増幅理論については「1.3.1 オペアンプの基礎」^[42]も参照願して下さい。

1910 年代の米国通信業界は活気に溢れていました。3 極管の発明から数年後には大陸横断電話伝送システムにも使える高真空度の真空管が開発され、1914 年にはマルコニー無線会社とアームストロングが再生回路を試験し、1915 年 1 月にはベル電話会社の創業者であるアレクサンダー・ベル (Alexander Graham Bell, 1847-1922) がニューヨークとサンフランシスコ間を結ぶ世界初の大陸間横断通話を公開しました。そんな時代の 1921 年 6 月にウースターポリテクニクインスティテュートを卒業したブラックは、電話産業のウェスタンエレクトリック社への入社を果たし、ニューヨーク州にあるウエストストリート研究所に勤務しました。ウエストストリート研究所は 1925 年にベル研究所に併合されます。

当時のウエストストリート研究所はベルシステムの架空線電話システムの改良が主な業務でした。架空線電話システムは音声通話信号を搬送波信号で変調し架空線で伝送するシステムです。ブラックが勤務を始めたばかりの 9 月のことでした。最新型のベルシステム Type C 架空線電話システムに障害が発生しました。原因を詳細に調査したブラックはレピータ・プッシュプル増幅器の歪が原因であることをつきとめました。その歪率は 10~18% (20dB~14.9dB) もありました。ブラックは架空線電話システムに許容される歪率の値を検討しました。重要なのは架空線電話システムにおいてレピータ・プッシュプル増幅器を何個まで直列に接続できるかです。Type C のような既存のシステムでは、1,000 マイル以上の伝送距離と、4 チャンネル以上の音声通話チャンネルは考慮されていませんでした。このようなシステムでは 4,000 マイルの大陸横断架空線電話システムを実現することはできません。高真空度真空管の完成によりニューヨーク-サンフランシスコ間の架空線電話システムは開通していましたが、通話チャンネルの多重化による経済的な電話システムを実現するためには多くの解決しなければならない課題がありました。

ブラックは音声通話チャンネル数対歪のグラフを描きました。次に、レピータ・プッシュプル増幅器の直列接続数対歪のグラフを描きました。増幅器の直列接続数を N とすると、第 2 次高調波成分は $\sqrt{N}$ 倍に増加しますが、第 3 次高調波成分と混変調歪成分は N 倍に増加します。したがって 1,000 個の増幅器を直列に接続すると歪は約 60dB 増加します。これでは多数の音声通話チャンネルが要求される経済的な大陸横断架空線電話システムを実現することは不可能です。ブラックはその後の数年間を歪の低減に費やしました。当時のウエストストリート研究所では多数のエンジニアが真空管の改善に取り組みましたが、目標である歪率の 50dB 低減を達成することはできませんでした。ブラックは原点に戻りました。真空管の非直線性誤差が避けられないとすると、増幅器の出力信号は音声信号と非直線性歪が加算されたものになります。そこで、出力信号から非直線性歪を分離する方法を考えました。その方法は突然浮かびました。まず出力信号の振幅 (B) を入力信号の振幅 (A) まで減衰させた参照信号を準備します。そして参照信号から入力信号を差し引くと非線形歪信号だけ残ります。つぎにこの非線形歪信号を別の増幅器で (B/A) 倍に増幅して出力信号から差し引くと非線形歪が除去された出力信号が得られるはずです。実験で確認すると非直線性歪を 40dB 減らすことができました。ブラックはこの方式をフィードフォワード増幅器と名づけました。(図 4 参照)

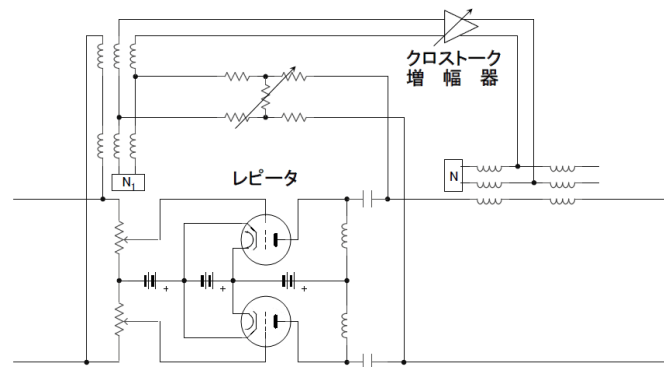


図 4 フィードフォワード増幅器^[9]

フィードフォワード増幅器は回路素子の精密なマッチングと正確な減算精度が必要なため、増幅度の変動を 0.5～1 dB 以内にするには、真空管のフィラメント電流を 1 時間毎に、そしてプレート電圧を 6 時間毎に調整する必要がありました。これでは実用化できません。しかし、重要なのは真空管の性能向上だけに頼るのではなく、回路技術で非線形歪の問題を解決する方法を見出したことでした。

1927 年 8 月 2 日のこと、いつものようにウエストストリート研究所に通勤するラカワナ・フェリー上でハドソン川を眺めながら増幅歪の低減について思索していたブラックに斬新なアイデアが閃きました。増幅器の出力を逆位相で入力に戻して発振しない状態を保ちます。これは増幅器の歪が出力でキャンセルされる状態を意味します。ブラックは手にしていたニューヨークタイムズ紙を開き負帰還増幅器の簡単な概念図と伝達関数式を書き留めました。

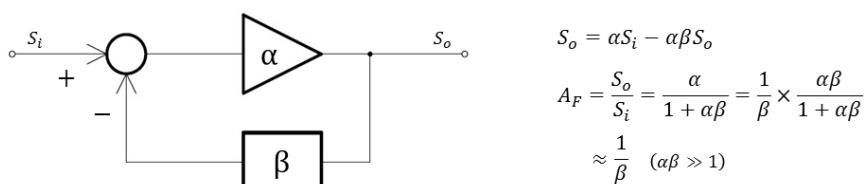


図 5 負帰還増幅器の概念

図 5 において α は基本増幅器（真空管自体）の伝達関数を表しており、 β は安定な受動素子で構成される帰還回路の伝達関数を表しています。 α と β の乗算はループ・ゲイン $\alpha \beta$ と呼ばれ $\alpha \beta$ は帰還ループを一巡する伝達関数を意味します。ここで $\alpha \beta \gg 1$ の場合は、負帰還増幅器全体の閉ループ・ゲイン A_F は殆ど帰還回路のゲイン β により決定されます。したがって、 α の変動による A_F の変動は $(1 + \alpha \beta)$ 分の 1 に減少します。具体的には、ループ・ゲイン $\alpha \beta$ を 60dB 確保すると、真空管の伝達関数 α が 10% 変動しても、閉ループ・ゲイン A_F の変動はおおよそ 0.01% に減少します。

ブラックはループ・ゲイン $\alpha \beta$ を 40dB～60dB 確保すれば非線形歪の問題を解決できると考えました。しかし、ウエストストリート研究所の多くは回路の安定性を気にしました。なぜなら、閉ループ・ゲイン A_F が 20dB 必要な場合 60dB のループ・ゲイン $\alpha \beta$ を確保するには、真空管は全使用周波数帯域内で 80dB のゲイン α を確保する必要があるため、自己発振現象を制御するのは困難であると考えていたからです。

ブラックには自信がありました。なぜなら、発振回路とフィルタ回路の設計経験からループ・ゲイン $\alpha \beta$ が -1 よりも小さい負の実数となる周波数があると発振が起きることを知っていたからです。したがって負帰還増幅器の自己発振を回避するには、全周波数帯域においてループ・ゲイン $\alpha \beta$ が -1 よりも小さい負の実数とならないようにすれば十分です。注意深く設計を進め、3 段構成の広帯域負帰還増幅器の解析モデルを作成しました。残るのは最終回路の部品定数決定です。レピータ増幅器は入出力インピーダンスとケーブルインピーダンスの正確なマッチングが必要ですが従来では無視できない信号減衰を伴いました。そこで入力と出力にバランスしたブリッジを用いる回路を考案しました。（図 6 参照）

ブリッジ回路は正確なインピーダンス・スマッチングを実現するだけでなく負帰還ループ β を基本増幅器 α に接続する便利な方法も実現しました。この方式は α から β 方向へ、反対に β から α 方向へ、任意のインピーダンスで結合することができ、さらに回路素子の誤差が $(1 + \alpha \beta)$ 倍に低減されます。1927 年 11 月 29 日にブラックの負帰還増幅器は 4kHz～45kHz の周波数範囲で非線形歪を 50dB 低減することに成功しました。

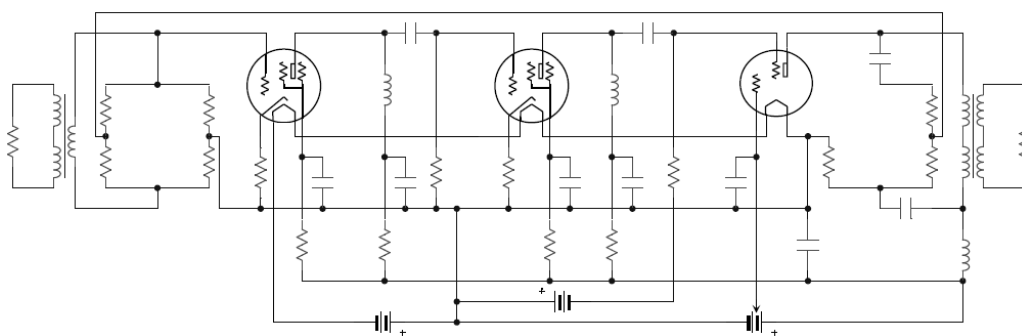


図 6 負帰還増幅器 [9]

負帰還増幅器理論の進歩

1932 年になるとハリー・ナイキスト (Harry Theodor Nyquist, February 7, 1889 - April 4, 1976) が負帰還増幅器の安定性を評価する目安となるナイキスト安定判別法を発表しました^[10]。判定の基準は、開ループ伝達関数の実数部 (Re) を横軸に虚数部 (Im) を縦軸にとる極座標系で角周波数 ω を 0 から ∞ まで変化させた軌跡をプロットするナイキスト・ダイアグラムにおいて、 $Im = 0$, $Re < 0$ の軸と開ループ・ゲインの軌跡が交差する点が、 $0 \gg Re \gg -1$ の軸上を通る場合は正常な値に収束し、 $Re = -1$ の点を通る場合は発振状態となり、 $Re \ll -1$ の軸上を通る場合は発散状態となります。

技術者が関数電卓または PC を使い始めたのは 1970 年代からです。伝達関数の計算には手計算による掛け算と割り算が必要でした。そのためナイキスト安定判別法による負帰還増幅器の安定性解析は時間のかかる面倒な仕事でした。現在では高性能な PC と TINA-TI のような電子回路シミュレーション・ツールを手軽に利用することができます。

汎用オペアンプ $\mu A741$ の TINA-TI model を使用したボルテージ・フォロアを図 7 に、TINA-TI のナイキスト・ダイアグラム機能によるプロットを図 8 に示します。負荷容量 CL を 100pF, 1nF, 5nF, 10nF の 4 通りに変化させてもプロット完了までの時間は 2 秒以下です (CoreTMi5-2.50GHz の PC を使用した場合)。図 8 から CL の増加に伴いナイキスト・ダイアグラムの軌跡が $Im = 0$, $Re = -1$ の発振開始点に接近する様子が確認できます。

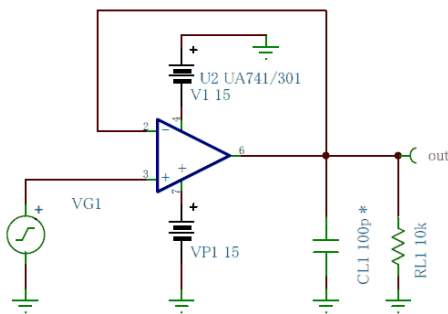


図 7 $\mu A741$ ボルテージフォロア

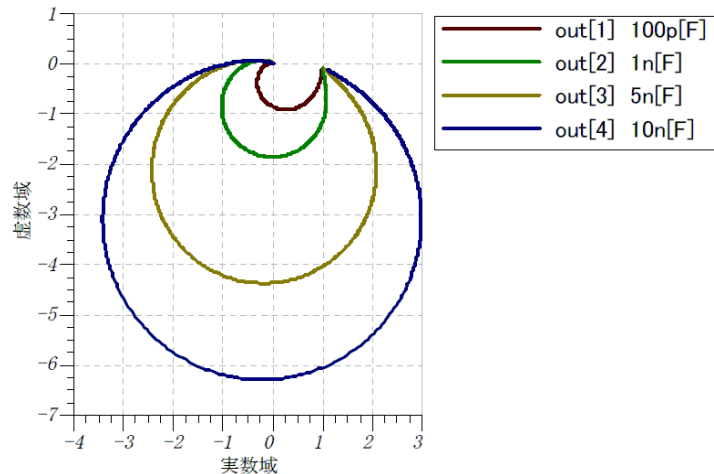


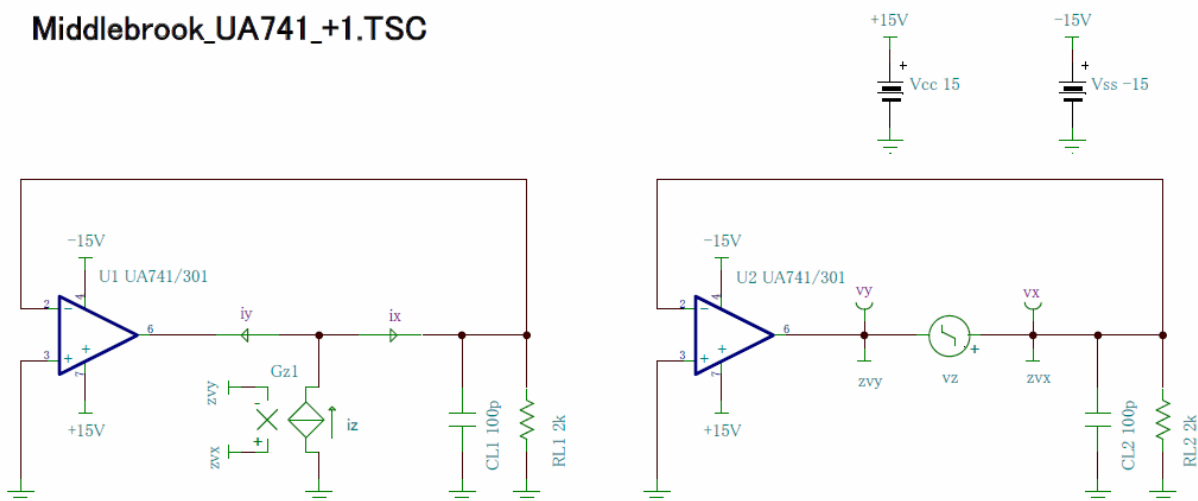
図 8 ナイキスト・ダイアグラム

1940 年にはヘンドリック・ボード (Hendrik Wade Bode, December 24, 1905 - 21 June 21, 1982) が図形的な方法で帰還増幅器の安定性を解析するボード・ダイアグラムの手法を発表しました^[11]。帰還増幅器のボード・ダイアグラムは、帰還ループを開き、そこにテスト信号を注入し、帰還ループを一巡する開ループ・ゲインの周波数応答を求め、周波数と振幅を対数スケールで、位相をリニア・スケールでプロットして作成します。周波数比と振幅比の変位は同等であるため、手作業による加減算と漸近直線近似で簡単に作成できます。安定性解析は容易になり負帰還増幅器の応用も増加しました。

今日では手作業は不要です。TINA-TI によるミドルブルック法を用いた $\mu A741$ ボルテージフォロアのボード・ダイアグラムを図 9 に示します。ゲインが 0dB になる周波数 f_T における位相の -180° からの位相差を位相余裕 pm と呼びます。負帰還増幅器は位相余裕が 0° になると発振します。発振に至らないまでも位相余裕が低いとゲインピーキングやセトリング時間が増加します。図 9 から負荷容量 CL の増加により位相余裕が低下する様子が確認できます。負帰還増幅器を周囲温度や電源電圧の変動や部品の経年変化に対し安定に動作させるため位相余裕はオーバーシュートが 20%より低くなる 45° 以上確保することが一般的に推奨されます。

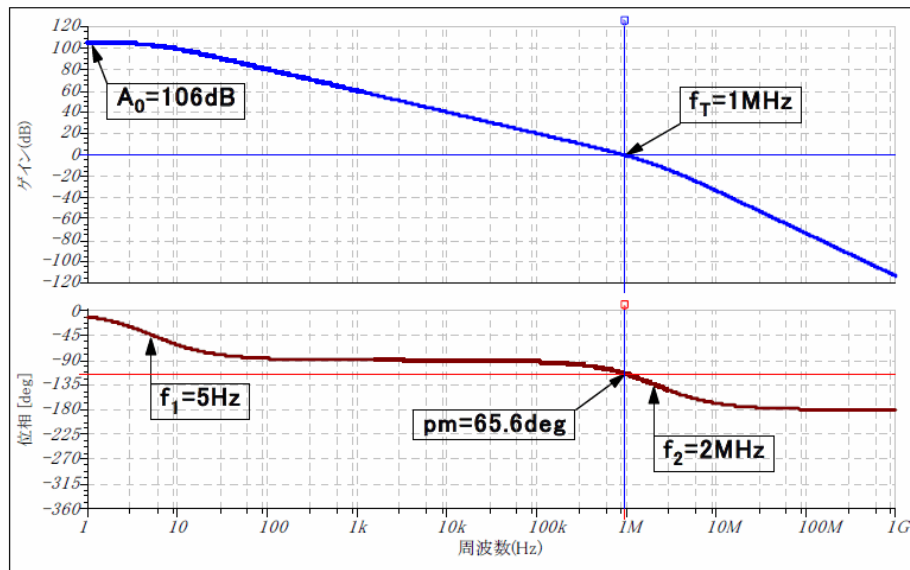
ミドルブルック法による負帰還増幅器の安定性解析については「1.3.1 オペアンプの基礎」^[42]を参照願して下さい。

Middlebrook_UA741_+1.TSC



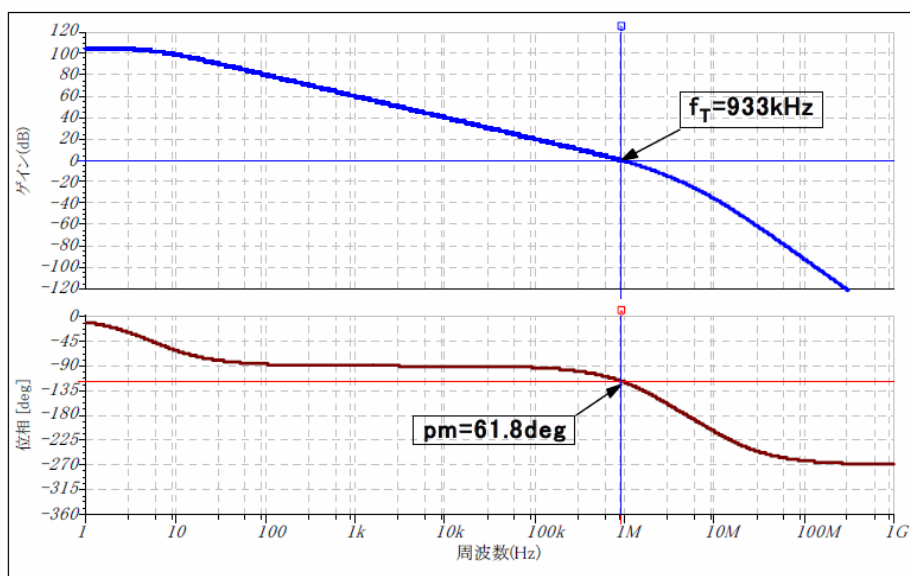
開ループゲイン特性

RL = 2kΩ
CL = 0 (Open)



開ループゲイン特性

RL = 2kΩ
CL = 100pF

図 9 μ A741 ボルテージフォロアのボード・ダイアグラム

オペアンプのルーツ

アナログコンピュータ

微分解析器 (Differential Analyser) は、回転軸と円盤を使用した積分演算により微分方程式を解くように設計された機械式アナログコンピュータです。微分解析器はウィリアム・トムソン (William Thomson, June 26, 1824 - December 17, 1907) が 1876 年に発明したとされています^[12]。1950 年代になると、真空管を使用した電子式の微分解析器を開発しようとする気運が高まり、電子式のアナログコンピュータが開発されました。

アナログコンピュータの心臓部は、オペレーショナル・アンプリファイア (Operational Amplifier) と呼ばれる高ゲインの増幅器であり、それが省略されて オペアンプ となりました。オペアンプと受動素子で構成される負帰還増幅器がアナログ演算を実行します。アナログ演算のプログラミングは、受動素子とオペアンプの配線をプラグイン・コネクタで切り替えて行います。1952 年に RCA が発表したアナログコンピュータ "Typhoon" は、約 4,000 本の真空管を使用する大規模なものでした^[13]。

同時代にはデジタルコンピュータも開発され、アメリカ陸軍弾道研究室が 1946 年に発表した "ENIAC" は約 17,000 本の真空管を使用する大規模なものでした^[14]。半導体デバイスの台頭によりデジタルコンピュータの演算能力と信頼性は急速に向上します。それによりアナログコンピュータは衰退し、オペアンプの需要も一時的に減少します。やがて、研究所や工場におけるセンサー信号処理などの需要が高まりオペアンプは新たなアプリケーションを見出しました。

トランジスタの時代

第二次世界大戦中はイギリスとアメリカを中心にレーダーの開発が進み、マイクロ波の検波が可能なシリコン点接触型ダイオードなど半導体デバイスの研究が盛んになりました^[15]。戦後は研究の中心がアメリカに移り、特にベル研究所では、ATT の電話システムが使用する真空管の代替を目標に半導体デバイスの研究体勢を強化しました。その成果は ブラッテン (Walter Houser Brattain, February 10, 1902 - October 13, 1987) とバーディーン (John Bardeen, May 23, 1908 - January 30, 1991) による 1947 年の点接触型トランジスタの発見と、ショックレー (William Bradford Shockley Jr. February 13, 1910 - August 12, 1989) による 1948 年の接合型トランジスタの発明となって現れます^{[16], [17]}。

トランジスタを工業生産するには、第 1 に高純度の多結晶半導体材料から単結晶を成長させる技術、第 2 に半導体単結晶に n 型不純物 (ドナー) または p 型不純物 (アクセプタ) をドーピングして、図 10、図 11 の例に示すような n-p-n または p-n-p 構造を形成する技術が必要です。

第 1 の技術は 1948 年にベル研究所のティール (Gordon Kidd Teal (January 10, 1907 - January 7, 2003) が完成させました。ティールはチョクラスキー (Jan Czochralski, 23 October 1885 - 22 April 1953) が金属の結晶化率を調べていた 1916 年に発明したチョクラスキー法 (回転引き上げ法) を応用したゲルマニウム単結晶製造技術を開発しました^[18]。

第 2 の技術は 1950 年にベル研究所のショックレーのチームが、成長接合型トランジスタを開発する過程で完成させました。高純度のゲルマニウム単結晶を引き上げながらドナーとアクセプタをドーピングして n 型半導体領域と p 型半導体領域を形成し図 10 に示す成長接合型 npn ゲルマニウムトランジスタを製造しました^[19]。

1952 年には GE がインジウムなどのアクセプタをゲルマニウムの上に乗せ、熱処理することで p 型領域を拡散する方法により図 11 に示す合金接合型ゲルマニウム pnp トランジスタを製造しました^[19]。

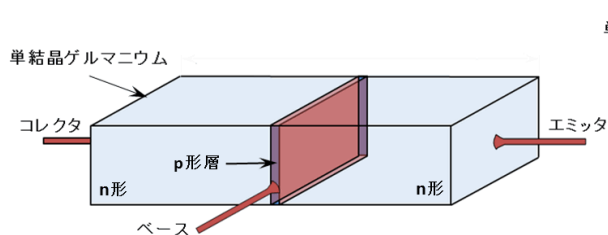


図 10 成長接合型ゲルマニウム npn トランジスタ^[19]
(任意スケール)

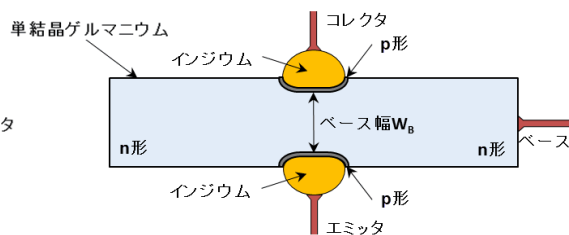


図 11 合金接合型ゲルマニウム pnp トランジスタ^[19]
(任意スケール)

接合型トランジスタの周波数応答は少数キャリアのベース走行時間で決まります。したがって高い周波数応答を得るためには図 12 に示すベース幅 W_B を短くする必要があります。仮に W_B を $10\mu\text{m}$ とすると、遷移周波数 f_T (短絡エミッタ接地電流利得の絶対値が 1 となる周波数) は約 10MHz になります。合金接合型トランジスタはベース領域の単結晶ゲルマニウムウェハの機械的強度などで W_B の下限は $10\mu\text{m}$ 位に制限され遷移周波数が数 MHz に制限されました。

半導体材料としては、ゲルマニウムよりもシリコンの方が優れていることはトランジスタの発明時から認識されていました。ゲルマニウムはシリコンに比べると温度に敏感で高電圧化が難しい特性を持ちます。その理由は、荷電子帯と伝導帯の間のエネルギーギャップの違いです。シリコンのエネルギーギャップは 1.1eV ですが、ゲルマニウムは 0.67eV であり常温でもかなりの電子が伝導帯に遷移します。したがって、ゲルマニウムの pn 接合は逆バイアス時のリーク電流が大きく、その値は温度の上昇に伴い急激に増加します。ところが、ゲルマニウムの融点 (937.4°C) はシリコンの融点 (1412°C) よりも低く、ゲルマニウムの単結晶化技術はすでに開発されていたので、初期のトランジスタにはゲルマニウムが用いられました。

テキサスインスツルメンツはシリコン点接触型ダイオードで実証された優れた高周波特性と動作温度範囲の広さからシリコントランジスタの優位性を確信し 1951 年にシリコントランジスタの開発を決定します。回転引き上げ法でゲルマニウム単結晶の製造方法を開発したベル研究所のティールを半導体研究開発研究所長に迎え、融点 (1412°C) を超える温度でシリコン単結晶を引き上げながら、n 型拡散のコレクタ領域とエミッタ領域の間に p 型拡散のベース領域をマイクロメートルの精度で形成する技術を開発し、図 12 に示す世界初の 成長接合型 npn シリコントランジスタ を 1954 年 8 月に発表しました [20], [21]。

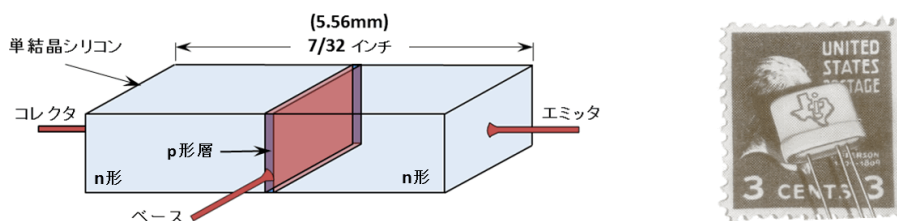


図 12 成長接合型シリコン npn トランジスタ (任意スケール) [20], [21]

1954 年にはベル研究所の C. A. Lee が、ゲルマニウムウェハにドナーとアクセプタを拡散する際に、気化した不純物原子の濃度と温度を最適化して拡散層の深さを $20\mu\text{m}\sim 1\mu\text{m}$ 以下まで正確に制御する気相拡散法を発表し、同じくベル研究所の C. S. Fuller が、ウェハにエミッタ、ベース、コレクタの 3 領域を同時に形成する二重拡散法を発表します。重量の軽いアクセプタ原子はドナー原子よりも拡散速度が速いためドナーとアクセプタの表面密度を適切に制御すれば一回の拡散で同時に n-p-n 構造を形成することができます。

翌年の 1955 年にはベル研究所の M. Tanenbaum と D. E. Thomas が二重拡散型シリコン npn トランジスタを発表しました。図 13(a) に示すように、二重拡散法で n 型シリコンウェハに p 型不純物原子のアルミニウムと n 型不純物原子のアンチモンをドーピングし、厚さ約 $3.8\mu\text{m}$ の p 型拡散層ベースと n+拡散層エミッタを形成します。次にウェハ表面を酸化膜で覆います。ウェハを拡散炉に入れ高温で水蒸気を流すと、ウェハ表面に薄くて丈夫な絶縁体のシリコン酸化膜が形成されます。次に酸化膜をワックスでマスクし、ベースコンタクト領域とエミッタコンタクト領域の酸化物をフッ酸で溶かします。ベースコンタクトにはアルミニウムを、エミッタコンタクトには金にアンチモンを配合した Au-Sb TAB を蒸着し、拡散炉で合金化してベース領域とエミッタ領域のオーミックコンタクトを形成します。

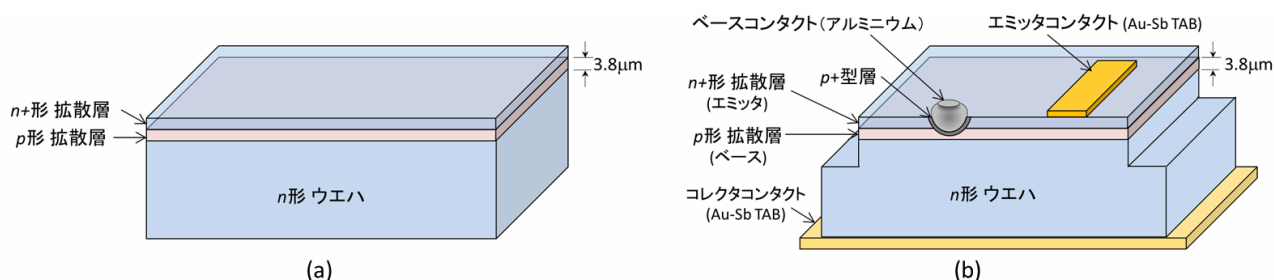


図 13 二重拡散法による拡散型シリコン npn バイポーラトランジスタ (任意スケール)

再度のマスク処理でトランジスタ個々の境界線をエミッタ拡散層とベース拡散層を貫通してオリジナルな n 型ウェハに到達する深さまでエッチングします。その結果はメサと呼ばれる上面が平らなトランジスタアレイ、つまりメサ型トランジスタになります。次に図 13 (b) に示すように、金にアンチモンを配合したコレクタコンタクト (Au-Sb TAB) にトランジスタチップをマウントしてコレクタ電極となるリードフレームにハンダ付けします。二重拡散型シリコン npn トランジスタはベース幅 W_B が約 $3.8\mu\text{m}$ と薄いために 100MHz の遷移周波数を実現しました^[22]。

接合型トランジスタを発明したショックレーは、1955 年にカリフォルニア州パロアルトにショックレー半導体研究所を設立しました。ショックレーは優秀な人材を求めて全国を回り発足時は総勢 25 人となりました。最初の事業目的は拡散型シリコントランジスタの実用化でした。やがてショックレーは、ベル研究所時代の別の発明である 4 層ダイオードの研究に没頭してトランジスタのプロジェクトを中止します。そこで、インテルの共同創業者となるロバート・ノイス (Robert Norton Noyce, December 12, 1927 - June 3, 1990) と、ゴードン・ムーア (Gordon Earle Moore, born January 3, 1929) を中心とする 8 人のメンバーが 1957 年にカリフォルニア州パロアルトにフェアチャイルドセミコンダクターを設立します。フェアチャイルドセミコンダクターは 1950 年代後半から 1960 年代の数年間において最初の市販用メサ型シリコントランジスタ、最初のプレーナ型トランジスタ、最初の市販用デジタル集積回路 (IC)、最初の市販用 IC オペアンプを開発するなど半導体技術と半導体製品の開発に重要な貢献をしました。

フェアチャイルドセミコンダクターは、図 14 に示す構造のメサ型シリコン npn トランジスタを考案しました。これは図 13 と異なり、エミッタ領域をホトリソグラフィ技術による選択拡散で形成します。表面に p 型ベース領域を拡散した n 型シリコンウェハの表面を酸化膜で覆いその上に感光性レジストを塗布します。次にエミッタ領域を定義するホトマスクで感光性レジストを露光します。露光した部分のホトレジストは硬化しますが、他の部分は薬品で処理するとすぐに溶けてしまいます。この方法で酸化膜にエミッタ領域の窓孔をあけ、この窓孔から n 型不純物原子を拡散してエミッタ領域を形成します。

ホトリソグラフィ技術は、ベル研究所が酸化膜にコンタクト領域の窓孔をあけるために開発したのですが処理できるマスクは 1 枚だけでした。ノイスは 3 枚のホトマスクが処理可能なシステムを開発するために、サンフランシスコのカメラ店で 3 枚の焦点が一番マッチングした 16mm 映画用カメラのレンズを選び、それらを高剛性のフレームにマウントし、3 枚のマスクの位置合わせが可能な、最小フィーチャー・サイズ 0.005 インチ ($\approx 125\mu\text{m}$) のホトリソグラフィシステムを開発しました。第 1 のマスクはエミッタ領域を拡散するための窓孔を定義し、第 2 のマスクはコンタクト領域の窓孔を定義し、第 3 のマスクはアルミニウムのコンタクトパターンをエッチングする領域を定義します。ホトリソグラフィによるウェハ処理は、ウェハ表面全体に同一構造を形成するバッチ処理であり、効率的な生産プロセスを約束するものでした。

ベル研究所の二重拡散型シリコン npn トランジスタは、ベースコンタクトにアルミニウム、エミッタコンタクトに Au-Sb TAB を使用しました。2 種類のコンタクトは合金化プロセスとそれに続く電極接続を複雑にします。そこで、ベース領域とエミッタ領域の両方にアルミニウム膜を蒸着し、拡散炉でシリコン-アルミニウムの共晶温度以上でアルミニウムの溶融温度以下の温度で合金化しました。その結果ベースと同じくエミッタにも良好なオーミックコンタクトを形成することができました。

最初のメサ型シリコン npn トランジスタは、IBM の磁気コアメモリのアプリケーションをターゲットにしました。IBM は磁器コアメモリのドライブ用に 150mA をスイッチングするシリコントランジスタを必要としていました。幸いなことにそれは最初のホトリソグラフィシステムのターゲットとして現実的なデバイスサイズでした。このデバイスは 2N696 と名付けられ、アナログ回路だけではなくデジタル回路を含めた多くのアプリケーションに用いられました。

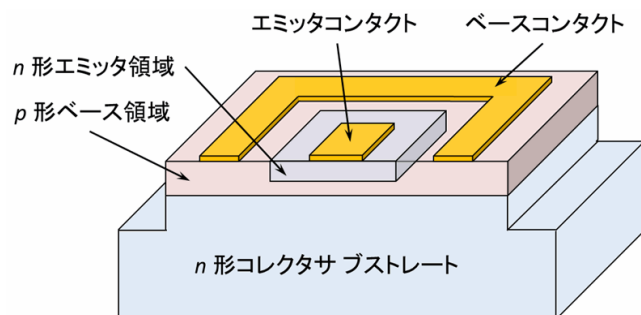


図 14 メサ型シリコン npn バイポーラトランジスタ (任意スケール)

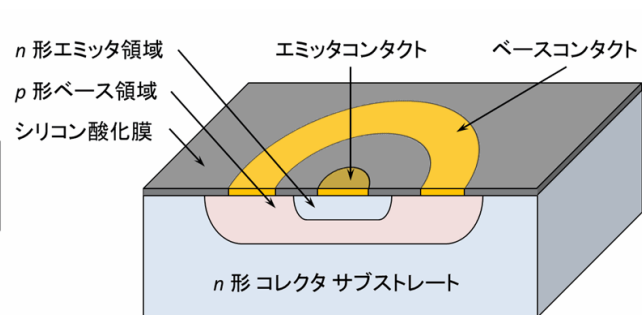


図 15 プレーナ型シリコン npn バイポーラトランジスタ (任意スケール)

図 14 に示すように、メサ型トランジスタのエミッターベース接合はメタルコンタクトの間の表面に露出しており、ベース-コレクタ接合もメサの側面に露出しています。接合近くの領域にはアクセプタ原子とドナー原子による大きな空間電荷とそれによる高い電界が存在し、接合領域が表面にあると汚染に敏感になります。エミッターベース接合が汚染されるとトランジスタのゲインが大きく減少します。また、ベース-コレクタ接合が汚染されるとブレイクダウン電圧が大きく低下します。

この問題の解決法は ジーン・ヘルニ（Jean A. Hoerni, September 26, 1924 - January 12, 1997）がもたらしました。ヘルニは、図 15 に示すようにエミッタ領域と同様にベース領域にも選択拡散を使用し、さらにコンタクト部を除くウェハの表面全体を酸化膜で覆うプレーナ技術を発明し特許化しました^[23]。これにより、高電界の接合部が酸化膜で覆われウェハ表面の汚染やパーティクルによる短絡から保護されました。メサ型トランジスタのホトリソグラフィシステムは、3 枚 1 組でマスクを処理するように構成されていました。そこで、プレーナ技術に必要なベース拡散領域のマスクを追加して、4 枚 1 組のマスクが処理できるホトリソグラフィシステムを新たに開発しました。プレーナ型シリコン npn トランジスタは、ブレイクダウン電圧とゲインの安定性が大きく改善され、環境条件の影響は格段に少なくなりました^[24]。1950 年代の後半には真空管に代わってトランジスタが一般の電子機器にも使用されるようになりました。

バー・ブラウン・リサーチコーポレーションは、トランジスタ化された最初の市販用オペアンプ “model 130” を 1958 年に発表しました。

集積回路 (IC) の時代

1947 年にイリノイ大学の電気工学部を卒業したジャック・キルビー（Jack St. Clair Kilby, November 8, 1923 - June 20, 2005）は、ウィスコンシン州ミルウォーキにあるグローブ・ユニオン社のセントラルラボ部門に入社しコスト志向の民生用電子部品の開発を担当しました。製品コストを下げるには小型化が最も有効であると考えられており、小型化のための厳しい要求を受けました。キルビーはセントラルラボに勤務すると同時に、ウィスコンシン大学院の電気工学部修士課程に学びました。ここでは、ベル研究所で 1947 年にトランジスタを発明したバーディーンらの講座に参加する機会がありました。ベル研究所を傘下に収めるウエスタン・エレクトリックは、裁判所の調停に従いトランジスタのライセンス供与を発表しました。セントラルラボはライセンスを取得し、キルビーは点接触型トランジスタの開発と並行してトランジスタ、抵抗、容量をセラミック基板に実装する電子回路モジュールの開発に取り組みます。やがてセントラルラボが小型化に無関心であると感じたキルビーは、それを実行できる場所を求め、数社に履歴書を送ります。テキサスインスツルメンツ（TI）もその 1 社でした。TI 半導体部品事業部長のウィリス・アドコック（Willis Adcock）は 1958 年 5 月にキルビーを電子回路小型化の担当として採用します。

その当時、TI はアメリカ陸軍通信部隊とマイクロモジュールによる電子回路の小型化方法について調査していました。TI は電子回路を小型で同一寸法のモジュールに統一して、あらかじめ配線されたマトリクスに差し込む方式のマイクロモジュールを提案していました。キルビーはその代替案として半導体チップに全ての回路を組み込む集積回路（IC）方式を考案し、その有効性を確認するため、個別部品を用いた中間周波増幅器を試作しました。コストを解析すると IC 方式は非常に現実的（高利益）であることが確認できました。8 月になると TI は 2 週間の夏期シャットダウンに入りました。有給休暇がないキルビーは職場に残り、2 週間で IC 方式の提案書を書き上げます。提案を受けたアドコックは実働サンプルの試作を指示します。キルビーはアドコックの助力で研究所のエンジニアにシリコン製の抵抗とキャパシタの製作を依頼しトランジスタのフリップフロップ回路と組み合わせて、全てをシリコンの個別素子で構成した発振器を製作し、8 月 28 日に動作を確認しました。次に、キルビーは全素子を 1 つの半導体に集積する試作案をアドコックに提案し承認を得ました。試作機は 2 週間で完成し、公開試験が行われました。1958 年 9 月 12 日に TI マネージャが目にしたのは、7/16 × 1/16 インチのゲルマニウム棒にメサ型ゲルマニウムトランジスタ、抵抗、キャパシタを集積し、金線で配線した発振器でした。それは粗末な仕上がりでしたがキルビーが電源を入れると連続するサイン波がオシロスコープ画面に現れました。TI は 1959 年 3 月 6 日に、ニューヨークでキルビーによる集積回路の発明を公式に発表しました^{[20], [25]}。

フェアチャイルドセミコンダクターのノイズは、プレーナ技術を利用してモノリシック IC を実現する プレーナ IC 技術 を考案し、1961 年にモノリシック IC 内部の素子間配線方法として特許化しました^[26]。モノリシック IC の実現には、ウェハ内の素子を分離する技術と、素子間を配線する技術が必要です。プレーナ技術では全ての素子を共通のサブストレートに形成します。ノイズは各素子を分離する技術として素子間に逆バイアスされた pn 接合を挿入する方法を考案しました。また、素子間の配線にはアルミニウムメタライゼーションを考案しました。拡散抵抗と小容量の pn 接合キャパシタの形成法も同時に考案し、一つのモノリシックシリコンチップで、完全な回路を構成する方法を示しました。1961 年には、プレーナ IC 技術を使用した最初の市販用デジタル IC である Micrologic ファミリが販売されました。Micrologic ファミリは 8 ピン TO-5 パッケージに収容された 5 種類のロジックファンクションで構成され、回路形式は実装が容易な RTL（Resistor-Transistor Logic）が採用されました。初期の集積回路は高価で真の優位性はパッケージ密度でした。アポロ宇宙船とともに月に着陸したアポロ誘導コンピュータは Micrologic ファミリの 3 入力 NOR ゲートを使用して製造されました^[24]。

接合分離バイポーラプロセス

プレーナ技術による npn トランジスタを主体とする接合分離バイポーラプロセスの概要を以下に示します。

(a) 埋込層拡散

p 形シリコンウェハに、第 1 マスク行程と拡散行程で埋込層 (buried layer) を形成します。埋込層はシート抵抗が低いため、トランジスタのコレクタ抵抗を下げる効果があります。n 形不純物にはヒ素 (arsenic) やアンチモン (antimony) などが用いられます。

(b) エピタキシャル層成長

ウェハ表面の酸化膜 (SiO_2) を除去しエピタキシャル層 (epitaxial layer) を成長させます。エピタキシャル層はトランジスタのコレクタ領域となり、その厚さと不純物濃度はコレクターベース間耐圧に応じて決まります。

(c) 分離拡散

ウェハ全面に酸化膜を成長させ、第 2 マスク行程の後に、p 形不純物のホウ素 (boron) を拡散します。この拡散は、逆バイアスした p n 接合でトランジスタを互いに分離するための分離壁 (isolation walls) を形成する目的で行われ、分離拡散 (isolation diffusion) と呼ばれます。

(d) ベース拡散

第 3 のマスク工程の後に、p 形不純物のホウ素 (boron) が拡散され npn トランジスタのベースが形成されます。この拡散領域はベース拡散抵抗素子の形成にも利用されるため、シート抵抗値は $\pm 20\%$ 以内にコントロールされます。

(e) エミッタ拡散

第 4 のマスク工程の後に、n 形不純物のリン (phosphorus) が拡散され npn トランジスタのエミッタが形成されます。この拡散層は n 形エピタキシャル層で形成されたコレクタへの低抵抗コンタクトとしても用いられます。

(f) コンタクト窓、メタルコンタクト

第 5 のコンタクトマスク行程で能動素子と受動素子へのコンタクト窓を開けた後、ウェハ全面にアルミ薄膜を蒸着します。第 6 のメタルマスク行程で不要な部分のアルミ薄膜が除去され、ウェハ上の素子間を接続するための配線パターンが形成されます。

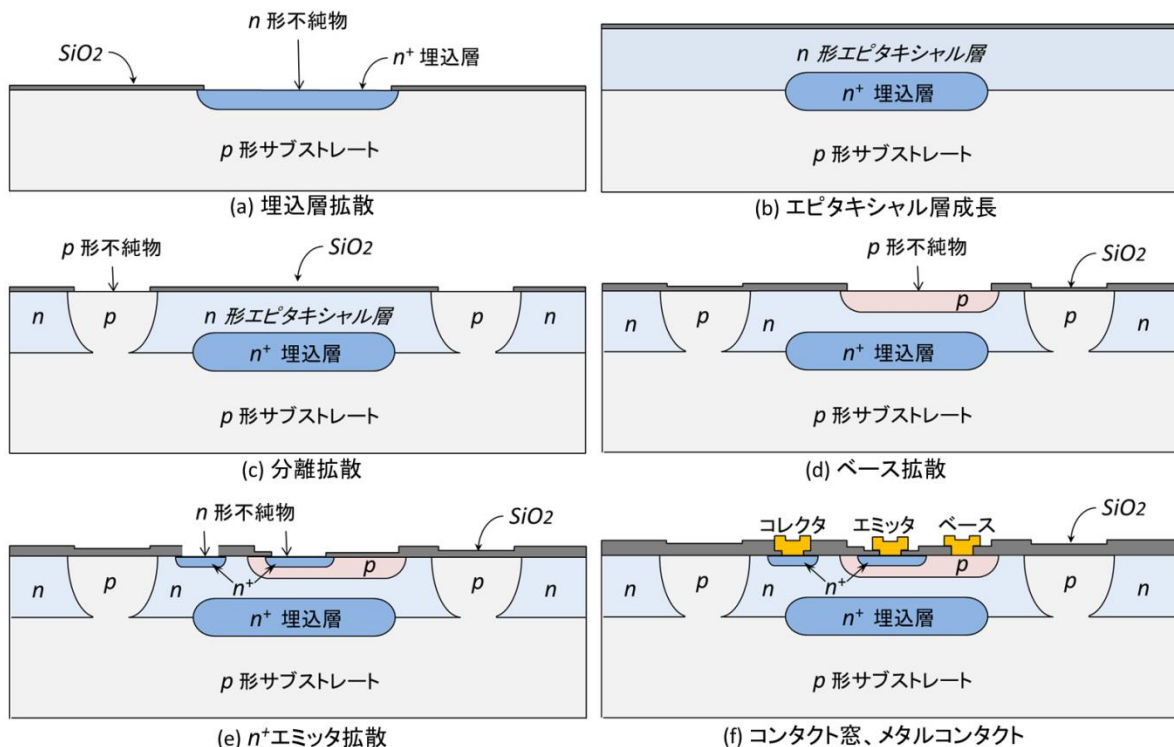


図 16 npn トランジスタを主体とする接合分離バイポーラプロセスの概要 (任意スケール)

ICオペアンプの誕生

μA702 オペアンプ

最初に市販されたモノリシック IC オペアンプはフェアチャイルドセミコンダクターが 1963 年にリリースした μA702 です。ボブ・ワイドラー (Robert John Widlar, November 30, 1937 - February 27, 1991) は μA702 や μA709、そして 741 型オペアンプの雛形となる LM101 などを開発したオペアンプ IC の先駆者ですが、最初に開発した μA702 は、非対称な電源電圧 (+12V, -6V)、低いゲイン (68dB)、狭い入力電圧範囲 (-4.0V to +0.5V) など、ディスクリート素子によるオペアンプに劣る性能と高い価格 (\$300/1 個) により市場に受け入れられませんでした。

当時のフェアチャイルドセミコンダクターの IC 製造プロセスは、RTL (Resistor-Transistor-Logic) によるデジタル IC の生産に最適化された図 16 に示すような npn トランジスタを主体とする接合分離バイポーラプロセスであり、オペアンプ回路のシグナルパスを負電源方向にシフトするレベルシフト、高抵抗のアクティブロード、プッシュプル出力回路などに使用される pnp トランジスタがありませんでした。図 17 に示すように μA702 の回路は npn トランジスタと抵抗で構成されています。

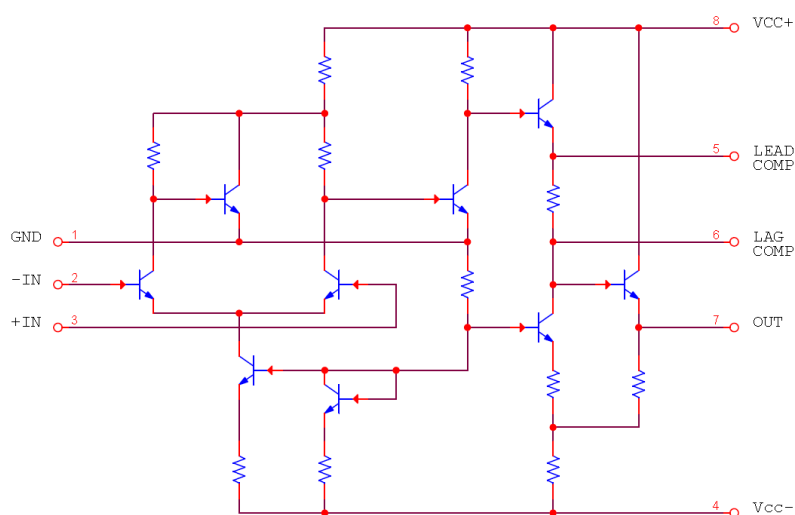


図 17 μA702 の簡略化回路^[27]

μA709 オペアンプ

ワイドラーは、μA702 を根本的に改良するためにプロセスエンジニアと共同で ラテラル pnp トランジスタ (図 23 参照) を開発しました。ラテラル pnp トランジスタは電流増幅率と周波数特性が npn トランジスタに比べて大きく劣りますが、負電源の方向に DC レベルをシフトすることが可能で、npn トランジスタと組み合わせれば高い電流利得を得ることもできます。ワイドラーが次に開発した μA709 は、フェアチャイルドセミコンダクターから 1965 年に発表されました。μA709 は 対称な電源電圧 (±15V)、高入力電圧範囲 (±10V)、高ゲイン (94dB)、低入力バイアス電流 (200nA) などの優れた特性により、個別部品による設計のオペアンプを置き換えた最初のモノリシック IC オペアンプとなりました。最盛期には 709 型オペアンプとして 8 社から セカンドソース が供給されました。

図 18 に $\mu A709$ の簡略化回路を示します。Q1, Q2 は初段の差動増幅を形成し Q3~ Q6 は 2 段目増幅を形成します。Q9 (ラテラル pnp トランジスタ) で形成されるレベルシフトは、2 段目増幅の出力を Q12 で形成される 3 段目増幅の入力に伝えます。Q14 と Q13 (ラテラル pnp トランジスタ) は出力バッファを形成します。等価的には 3 段構成のエミッタ接地増幅回路です。

$\mu A709$ は基本性能に優れる一方で、ユーザからは下記の問題が指摘されました。

- 周波数補償が複雑であり、外部部品のボード・スペースとコストが必要である。
- 高い入力コモンモード電圧が印加されて入力段が飽和すると、ラッチアップする。
- 過大な差動入力電圧を印加されると、入力段のトランジスタが破損する。
- 出力を短絡すると、出力段のトランジスタが破損する。
- 負荷容量に敏感であり、発振しやすい。

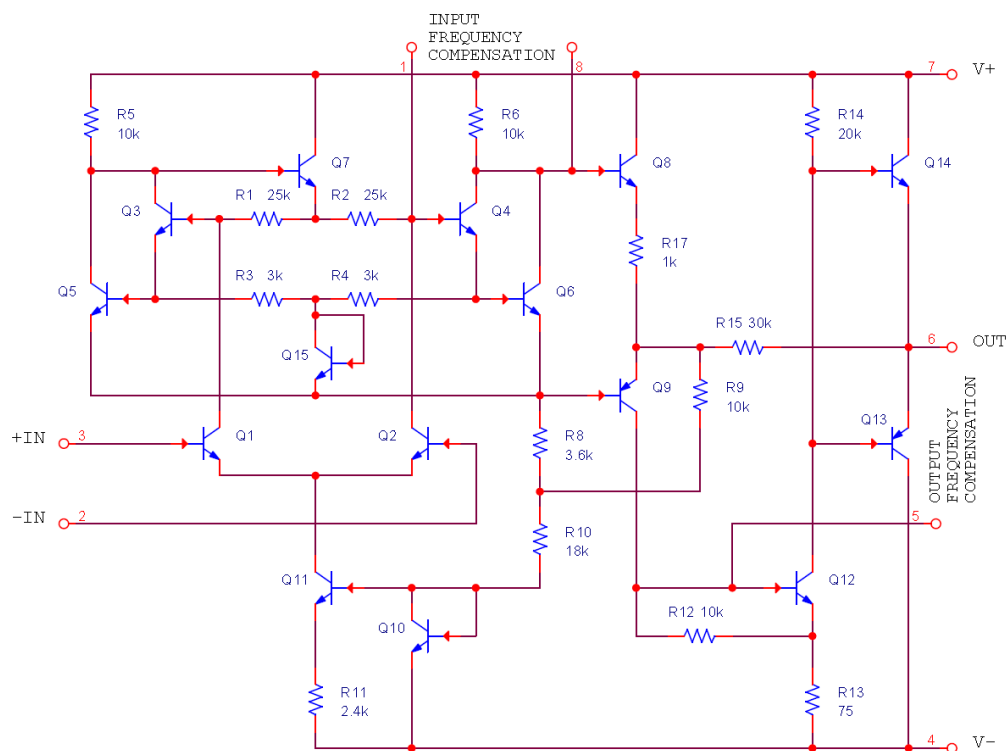


図 18 $\mu A709$ の簡略化回路^[28]

LM101 オペアンプ

この問題にワイドラーはナショナルセミコンダクターから 1967 年に発表された LM101 で答えます。LM101 の性能は基本的には $\mu\text{A}709$ と同等ですが、より高いゲイン(104dB)と、広い動作電源範囲 ($\pm 5\text{V} \sim \pm 20\text{V}$) が実現されました。コモンモード電圧によるラッチアップは無くなり、入出力回路がオーバーロードから保護されました。さらに、周波数補償に必要な外付け部品は 30pF の 容量一つだけとなり、後に続く $\mu\text{A}741$ などの周波数補償内蔵型 IC オペアンプの基礎を築きました。

図 19 に LM101 の簡略化回路を示します。LM101 の主要な目的は、周波数補償を単純にすることでした。そのため 増幅回路は 2 段の構成にしました。それには $\mu\text{A}709$ (3 段構成) より 1 段当たりのゲインを上げる必要があります。LM101 はアクティブロード でそれを実現しました。たとえば、2 段目増幅回路を形成する Q9 には Q17 (ラテラル pnp トランジスタ) のアクティブロードが接続されています。

アクティブロードは、①. 高抵抗値が実現でき入力バイアス電流と消費電力を減らすことができる。②. 電圧降下が少なく、コモンモード入力電圧範囲、出力電圧範囲、動作電源電圧範囲が増加できる。③. 少ない増幅段数で周波数補償を簡単にできる、などの利点があります。

Q1, Q2 と Q3, Q4 (ラテラル pnp トランジスタ) は、差動入力増幅段を形成します。Q5, Q6 は差動入力増幅段のアクティブロードを形成します。Q3, Q4 (ラテラル pnp トランジスタ) は増幅率が低いので、増幅率が高い npn トランジスタの Q1, Q2 でバッファリングされています。

差動入力のコモンモード入力電圧範囲は、Q1, Q2 のスイング範囲となる、正電源方向の $V+$ から負電源方向の ($V- + 4 \times V_{BE}$) までに広がり、差動入力の飽和とラッチアップは無くなりました。また、Q3 と Q4 のラテラル pnp トランジスタは V_{BE} 耐圧が高いので、差動入力の絶対最大入力電圧は電源電圧にかかわらず $\pm 30\text{V}$ となりました。

Q16, Q11 と Q12 (ラテラル pnp トランジスタ) は、nnp トランジスタと等価 pnp トランジスタのペアによる AB 級出力段を形成します。これらのトランジスタは Q13 (ラテラル pnp トランジスタ) と Q14 によりバイアスされます。R11 と R15 および、R10 と Q12, Q10, Q8 のループは出力電流の保護回路を形成します。

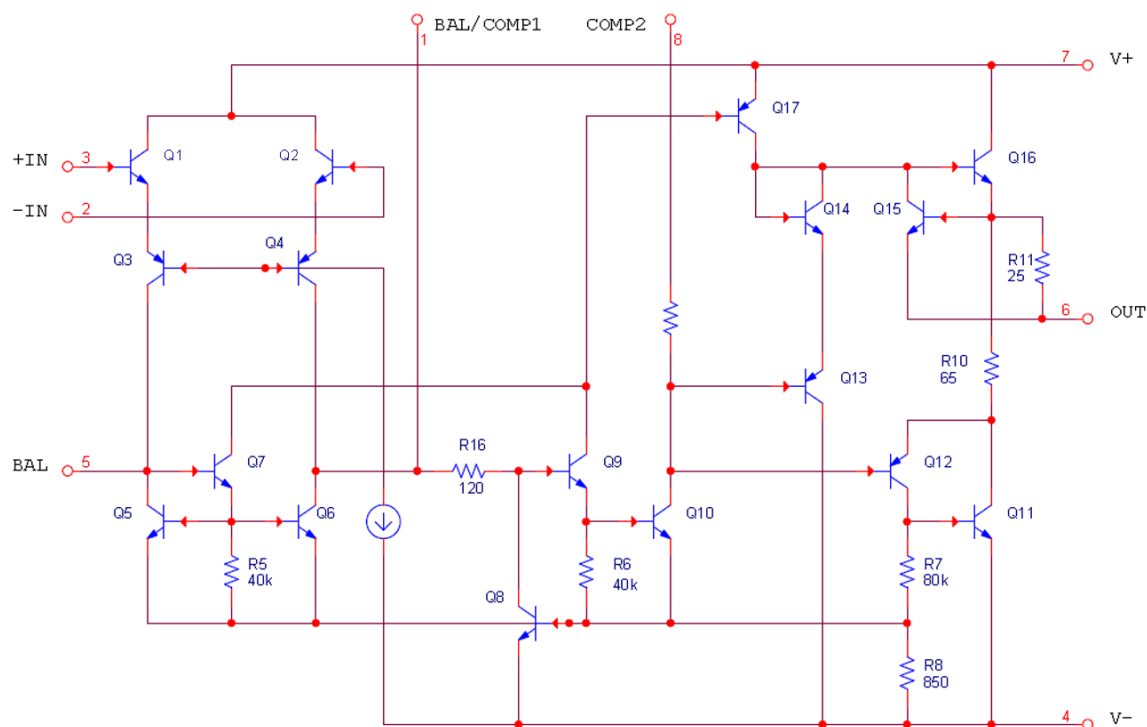


図 19 M101 の簡略化回路 [29]

μA741 オペアンプ

フェアチャイルドセミコンダクターで μA709 の改良に励んでいた デビット・フラガーは、ワイドラーが開発した LM101 の性能を詳細に調査し、改良された特性はそのまま活かして、外付けの周波数補償容量 30pF を内蔵することを考案します。このようにして μA741 は LM101 からおよそ 1 年後の 1968 年にフェアチャイルドセミコンダクターから発表されました。バイアス回路を除き μA741 のシグナルパスは LM101 と等価です。コモンモード電圧範囲、入出力保護回路、開ループゲイン、周波数帯域、電源電圧範囲も同等で、周波数補償用の 30pF 容量が内蔵されました。

μA741 は、外部周波数補償による動特性の最適化よりも周波数補償内蔵の使いやすさを優先し、それがユーザに受け入れられ、初期のモノリシック I C オペアンプにおけるデファクトスタンダードとなりました。最盛期には日本メーカを含め 10 社以上が 741 型オペアンプとしてセカンドソースを発表しました。現在もテキサスインスツルメンツから μA741 と LM741 が販売されています。

LM741 の簡略化回路を図 20 に示します。Q1, Q2 のエミッタフォロアはベース接地の差動ペアトランジスタ Q3, Q4 (ラテラル pnp トランジスタ) のエミッタを駆動します。Q7, Q8 は Q3, Q4 のアクティブロードです。これら 6 つのトランジスタが入力部を形成し下記の機能を実現しています。

- 入力抵抗が高く、コモンモード電圧の影響が少ない、高ゲインの差動入力段を形成する。
- ラテラル pnp トランジスタは遷移周波数が低いためシグナルパスは npn トランジスタだけで形成するのが望ましい。しかし、nnp トランジスタだけではシグナルパスを負電源方向に駆動できないため、ラテラル pnp トランジスタ Q3, Q4 のコレクタ電位を常に負電源に近くにバイアスしている。
- Q7, Q8 のアクティブロードが、差動入力をシングルエンド出力に変換している。

Q19 は Q8 と Q18 の間に挿入されたエミッタフォロア・バッファです。Q18 で形成されるエミッタ接地増幅段は、定電流源で表されたアクティブロードを持ち高い電圧利得を実現します。Q12 と Q15 は AB 級出力段を形成します。

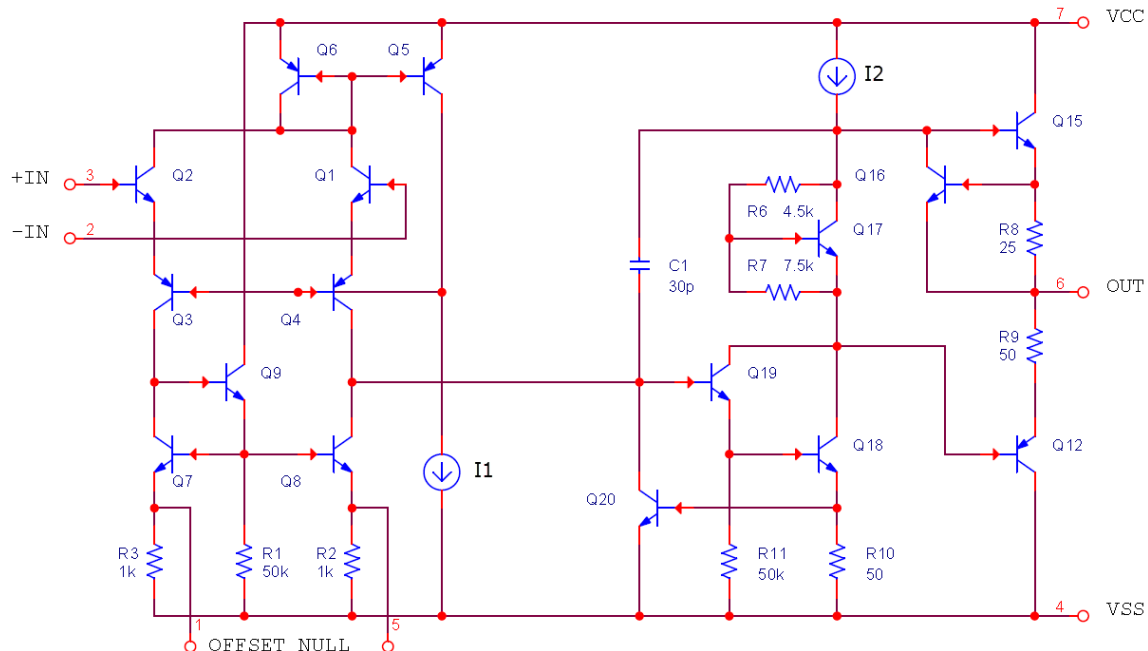


図 20 LM741 の簡略化回路 [41]

ICオペアンプの高速化技術

接合分離バイポーラプロセス

1968年にリリースされたバイポーラ IC オペアンプ $\mu A741$ の特性を、表 1、図 21、図 22 に示します。 $\mu A741$ はスルーレートの制限により使用可能な周波数帯域が限られているものの、汎用的なアプリケーションでは十分に実用的な特性を備えています。スルーレートが低いのは、ラテラル pnp トランジスタの遮断周波数 f_T が低いことによります。

表 1 $\mu A741$ の代表的な特性^[30]

入力オフセット電圧	入力オフセット電流	入力インピーダンス	出力インピーダンス	DCオープンループゲイン	スルーレート
2 mV	20 nA	2M Ω	75 Ω	106 dB	0.5 V/ μ s

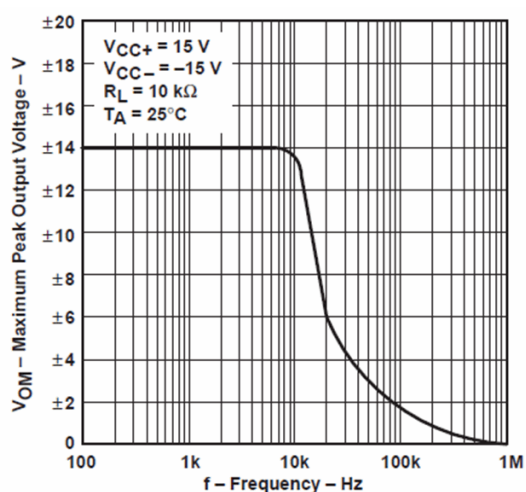


図 21 $\mu A741$ の大信号周波数応答^[30]

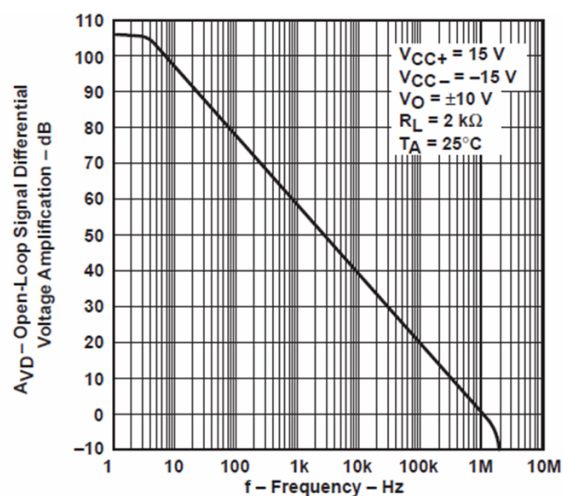


図 22 $\mu A741$ のオープンループ周波数応答^[30]

バイポーラ IC 製造工程は、エピタキシャル層に二重拡散で形成する npn トランジスタの製造工程から進化したものであり、1961年にフェアチャイルドセミコンダクタが最初に市販した IC は、抵抗と npn トランジスタだけで構成された RTL (Resistor-Transistor Logic) による 5 種類のロジック IC ファミリでした。

1962年にフェアチャイルドセミコンダクタが市販したオペアンプ IC の $\mu A702$ は、pnp トランジスタが使用できない設計上の制約により、ディスクリート素子によるオペアンプと同等の性能を達成することができませんでした。

フェアチャイルドセミコンダクタは $\mu A702$ の性能を改良するため、図 23 に示す構造のラテラル pnp トランジスタを開発し、それをバイアス回路、レベルシフト、能動負荷、プッシュプル出力回路に用いた $\mu A709$ を 1965 年に市販しました。 $\mu A709$ は、優れた性能によりディスクリート素子によるオペアンプを置き換えた最初の IC オペアンプとなりました。

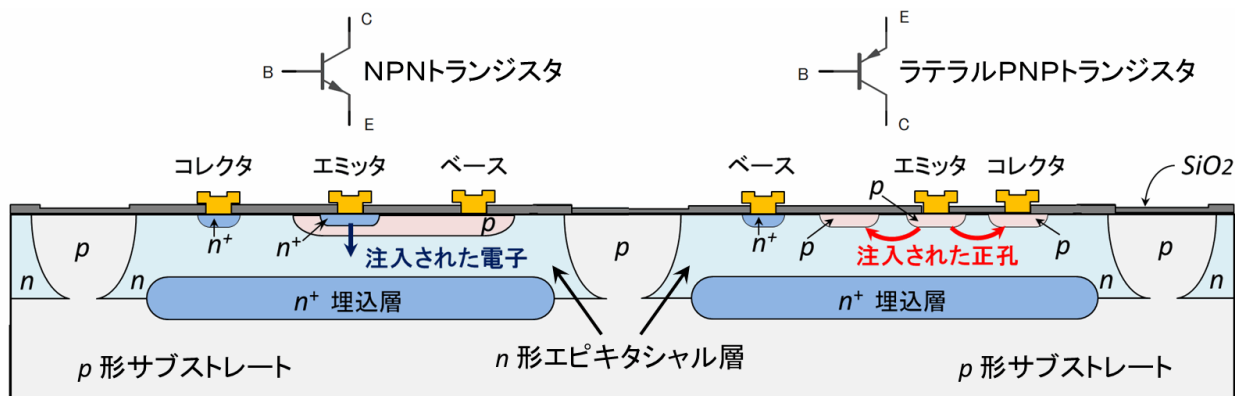


図 23 npn トランジスタとラテラル pnp トランジスタのクロスセクション (任意スケール)

ラテラル pnp トランジスタは、npn トランジスタと同様にホトマスク 6 枚の標準的なバイポーラ IC 製造工程で形成されます。これによりホトマスク数の増加によるコストの増加を抑えることができます。ただし、ラテラル pnp トランジスタの電流経路は図 23 に示すように横の方向 (Lateral direction) であるため、エミッタから注入された正孔が、コレクタに到着するまでのベース走行時間 τ_T が npn トランジスタよりも長くなります。

ベース走行時間 τ_T は式 1 で表されます。ここで、 W_B はベース幅、 D_p は正孔のベース領域における実効的な拡散定数です。ラテラル pnp トランジスタのベース幅 W_B はコレクタ-エミッタ電圧に依存します。40V バイポーラ IC 製造工程の代表例として $W_B = 7.62\mu\text{m}$ (0.3MIL)、 $D_p = 10\text{cm}^2/\text{sec}$ を代入するとベース走行時間 $\tau_T = 29\text{ns}$ が得られます。

$$\tau_T = \frac{W_B^2}{2D_p} \quad \dots \quad \text{式1}$$

バイポーラトランジスタの遷移周波数 f_T は短絡エミッタ接地電流増幅率の絶対値が 1 になる周波数として定義されています。 f_T の値はベース走行時間 τ_T と表 2 に示す各種の接合容量で決まりますが、ラテラル pnp トランジスタではベース走行時間 τ_T が支配的になり近似的には式 2 で表されます。式 2 ベース走行時間 $\tau_T = 29\text{ns}$ を代入すると遷移周波数 $f_T \cong 5.5\text{MHz}$ が得られます。

$$f_T \cong \frac{1}{2\pi\tau_T} = \frac{1}{2\pi\left(\frac{W_B^2}{2D_p}\right)} = \frac{1}{\pi} \cdot \frac{D_p}{W_B^2} \quad \dots \quad \text{式2}$$

標準的な 40V バイポーラ IC 製造工程における npn トランジスタとラテラル pnp トランジスタの特性例を表 2 に示し、その SPICE モデルによる遷移周波数 f_T のシミュレーション例を図 24 に示します。

表 2 40V バイポーラ IC 製造工程のトランジスタ特性例

パラメータ		npn	ラテラルpnp
電流増幅率	BF	150	50
順方向遷移時間	TF	300ps	15ns
アーリ電圧	VA	60V	30V
コレクタ-サブストレート接合容量	CJS	0.7pF	1.4pF

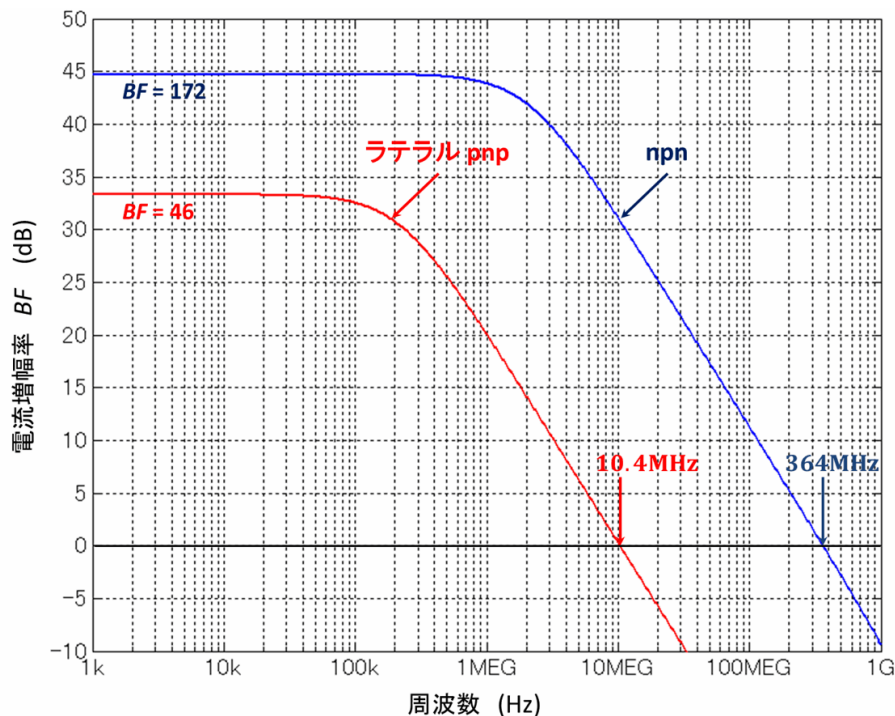


図 24 40V 標準バイポーラプロセスによるトランジスタ遮断周波数 f_T の例

LM118 高スルーレートオペアンプ

LM118 はホトマスク 6 枚の標準パイポーラプロセスを使用しながら、回路設計の工夫により $70\text{V}/\mu\text{s}$ のスルーレートと 15MHz の小信号バンド幅（ユニティゲイン）を実現しています。

図 25 に LM118 の簡略化回路を示します。ラテラル pnp トランジスタは信号の DC 成分と低周波数成分だけをレベルシフトして高周波数成分はバイパスします。Q1 と Q2 はエミッタ接地抵抗とコレクタ負荷抵抗を持つ通常の差動入力段です。Q3 と Q4 は 2 段目を形成し信号の増幅と V-側へのレベルシフトを行います。Q3 と Q4 のコレクタはカレントインバータ Q10 と Q11 をドライブして差動信号をシングルエンド信号に変換します。Q9 はカレントソース負荷による高利得増幅段を形成し B 級出力段をドライブします。周波数補償は C1, C2, C3 で行われます。C1 が差動入力の片側をロールオフさせるため、シグナルパスは高周波数ではシングルエンドとなります。また、信号の高周波数成分は C2(30pF) がラテラル pnp トランジスタを迂回するため過度な位相シフトが回避されます。そして、C3 が全体の周波数応答を図 27 に示すように $6\text{dB}/\text{オクターブ}$ に設定します。

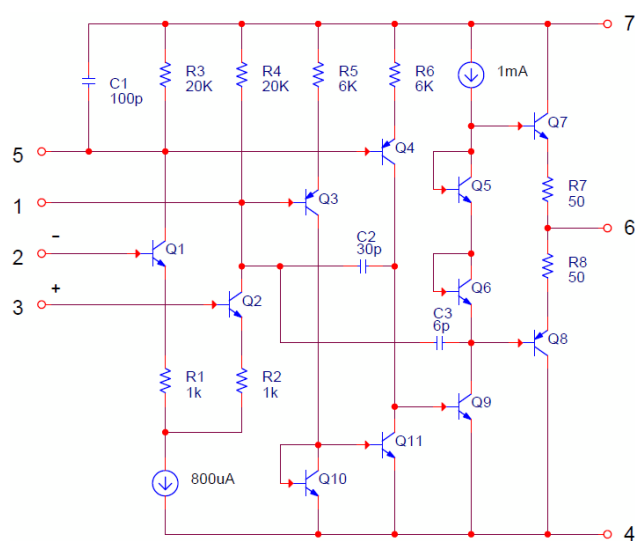


図 25 LM118 の簡略化回路 [32]

表 3 LM118 高速オペアンプの代表的特性 [31]

入力オフセット電圧	入力バイアス電流	オフセット電流	電圧ゲイン	コモンモード範囲	出力電圧	小信号バンド幅	スルーレート
2 mV	200 nA	20 nA	200k	$\pm 11.5\text{ V}$	$\pm 13\text{ V}$	15MHz	$70\text{ V}/\mu\text{s}$

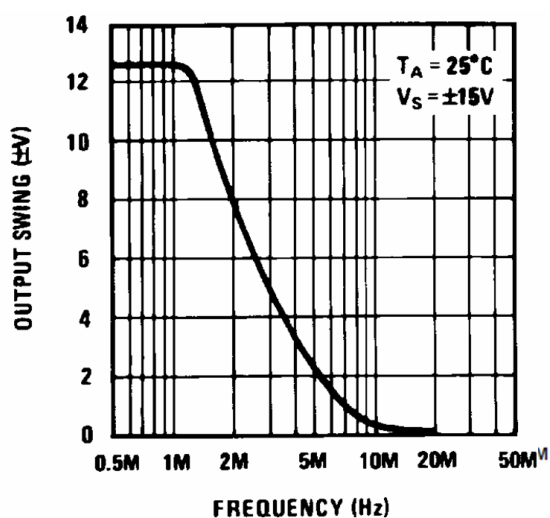


図 26 LM118 の大信号周波数応答 [31]

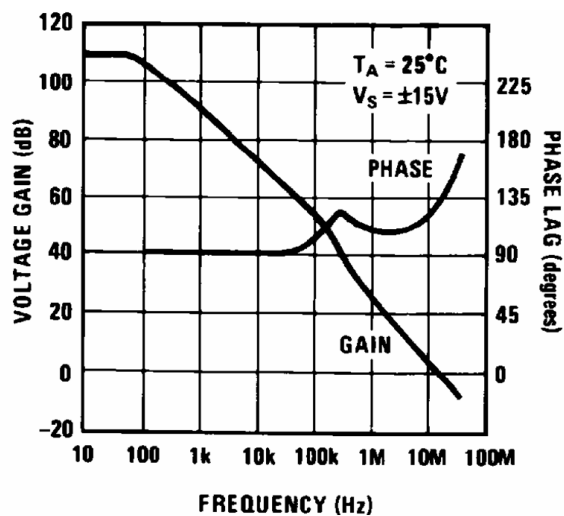


図 27 LM118 のオープンループ周波数応答 [31]

誘電体分離バイポーラプロセス

図 28 に n チャネル MOSFET のクロスセクションを示します。ソース、ドレインと p 形シリコン基板で構成される pn 接合は逆方向にバイアスされ、接合近傍の正孔と自由電子が結合して消失するため、pn 接合の近傍に正孔と自由電子が存在しない空乏層が生成されます。空乏層は負電荷を持つ p 形領域のアクセプタイオンと、正電荷を持つ n 形領域のドナーイオンによる電位差を持つ絶縁層であり、ソース、ドレインとバルクの間に、図 29 に示す寄生容量 (C_{BS} , C_{BD}) と、寄生ダイオード (V_{BS} , V_{BD}) が生成されます。寄生容量は MOSFET の信号遅延時間と高速動作時の消費電力が増加する主要因になり、寄生ダイオードは待機動作時のリーク電流を増加させる主要因になります。

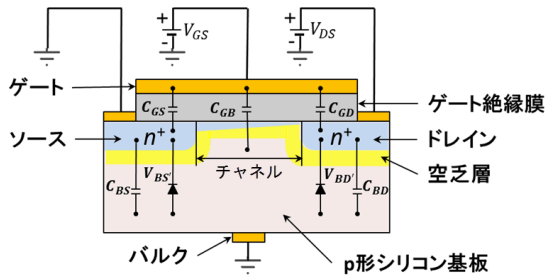


図 28 n チャネル MOSFET のクロスセクション (任意スケール)

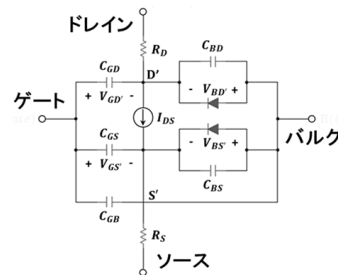


図 29 MOSFET の SPICE 大信号モデル

SOI (Silicon on Insulator) は、上記の寄生容量を低減し寄生ダイオードを除くため、ソース、ドレイン、チャンネルと基板の間に絶縁膜を形成する技術です。SOI が一般に注目されたのは IBM が 1999 年に SOI 技術を使用した PowerPC プロセッサを発表してからですが、ウェハー内部に絶縁膜を形成してトランジスタを高性能化した IC プロセスの歴史は古く 1970 年代初期には Harris Semiconductor が標準バイポーラプロセスにおける pn 接合の素子分離に代わり、酸化膜で分離する誘電体分離プロセス (DI) を開発し、npn トランジスタに近い遮断周波数を持つ pnp トランジスタを活かした、高速セトリング特性のオペアンプ IC の HA2500 シリーズを発表しました。酸化膜層は単位面積当たりの容量が低く寄生容量は僅かです。また、放射線環境下における光による寄生ダイオードのリーク電流増加を抑えることができます。

誘電体分離プロセスによる npn トランジスタの製造工程を図 30 に示します。まず、(a) に示すようにコレクタ領域となる低抵抗率の n 形ウエハに分離領域の溝を形成します。次に、(b) に示すように表面を酸化し多結晶シリコン層を表面に堆積します。この多結晶シリコン層は、完成したウエハの支持台になります。次に、(c) に示すように n 形サブストレートの上面を研磨して溝で分離された領域だけに n 形サブストレートが残るようにします。次に、図 16 に示すプレーナ技術による npn トランジスタを主体とする接合分離バイポーラプロセスの工程と同様に、ベース拡散、n+ エミッタ拡散、メタルコンタクトの工程を経て、(d) に示すように酸化膜で分離された npn トランジスタが形成されます。

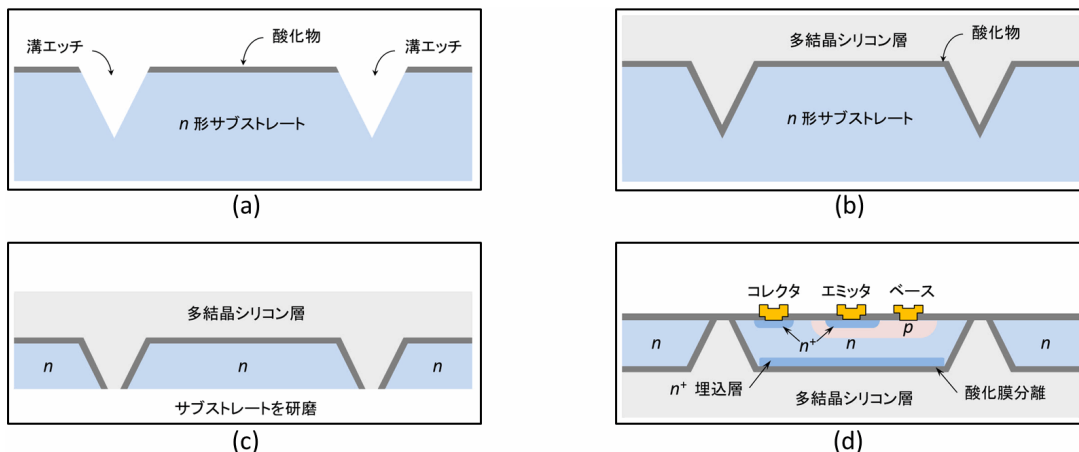


図 30 誘電体分離プロセスによる npn トランジスタの製造工程 (任意スケール)

OPA627/OPA637 誘電体分離オペアンプ

誘電体分離オペアンプの例として 1989 年に Burr-Brown Corporation が発表した OPA627/OPA637 の簡略化回路と代表的特性を図 31, 表 4 に示します。OPA627/OPA637 は遷移周波数 $f_T = 1\text{GHz}$, (600MHz) の npn, (pnp) バイポーラトランジスタ、p チャネル JFET、レーザ・トリミング付きの薄膜 N_iC_r 抵抗を持つ 40V コンプリメンタリ・バイポーラ誘電体分離プロセスを使用しています。

図 32 に示すように各素子は厚さ 20KÅ の誘電体膜 ($\text{SiO}_2\text{Si}_3\text{N}_4$) で分離されているため、サブストレートへのリーケージ電流は極めて低く、また、標準的な接合分離バイポーラプロセスにおいて電源と信号を印加するタイミングで発生する寄生 SCR によるラッチアップが防止されます。

OPA627/OPA637 は、nnp と pnp の特性の揃ったコンプリメンタリ・トランジスタの特長を活かした相補対称な回路構成により $\pm 0.01\%$, 550ns のセトリング特性に代表される優れたダイナミック特性を実現しています。また、差動入力段の p チャネル JFET と薄膜 N_iC_r 抵抗のレーザトリミングされた薄膜抵抗は、1pA の低入力バイアス電流、40μV の低入力オフセット電圧、 $0.4\mu\text{V}/^\circ\text{C}$ の低入力オフセットドリフトの優れた DC 特性を実現しています。

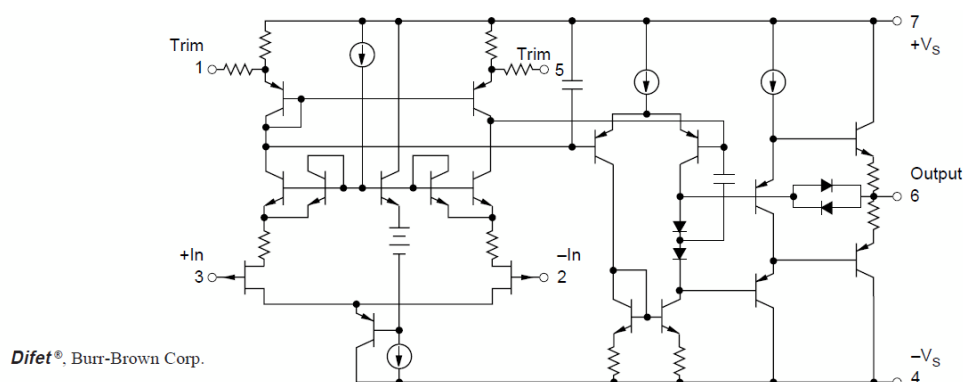


図 31 OPA627/OPA637 の簡略化回路 [43]

表 4 OPA627/OPA637 高速・高精度・誘電体分離オペアンプの代表的特性 [43]

モデル名	入力バイアス電流 (pA)	入力オフセット電圧 (μV)	入力オフセットドリフト (μV/°C)	入力電圧雑音密度, f=1kHz (nV/√Hz)	セトリングタイム ±0.01% (ns)	スレートの (V/μs)	開ループゲイン (dB)	ゲイン・バンド幅積 (MHz)	安定動作ゲイン領域 (倍)	電源電圧 (V)
OPA627	1	40	0.4	5.2	550	55	120	16 (G=1)	≥ 1	±4.5 ~ ±18
OPA637					450	135		80 (G=10)	≥ 5	

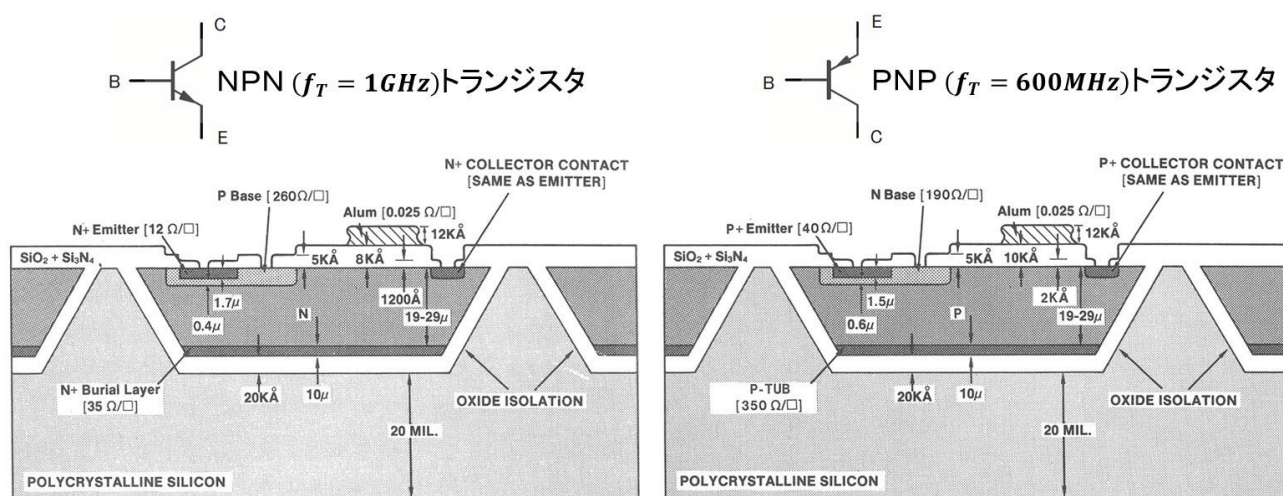


図 32 40V コンプリメンタリ・バイポーラ誘電体分離プロセスのクロスセクション (任意スケール) [44]

コンプリメンタリ・バイポーラプロセス

1960年代の前半に開発された npn トランジスタとラテラル pnp トランジスタの組み合わせによるバイポーラ IC プロセスは 6~8 回のホトマスク工程と拡散工程による低コストの特長を持ちますが、ラテラル pnp トランジスタの遮断周波数が低いため、オペアンプ IC のユニティゲインバンド幅の上限は工夫した回路でも 15MHz 位に制限されます。

1960年代の後半になり MOSFET が製品化されると、熱処理による拡散工程に代わり固体のシリコンに高電界で加速した不純物イオンを衝突させ、ドーピングされる不純物原子の濃度と深さを制御するイオン注入技術が実用化されます。イオン注入技術は不純物の注入プロセスとウェハ中の結晶損傷を回復させるアニールプロセスで構成されており、1970 年代から始まる MOS LSI 時代の基幹技術となります。

1972 年にはベル研究所の P. C. Davis と S. F. Moyer が、図 33 に示す二重拡散縦型 pnp トランジスタと npn トランジスタの組み合わせによるコンプリメンタリ・バイポーラプロセスを使用した高速オペアンプを発表しました。標準バイポーラプロセスの工程に加え ①. イオン注入技術による pnp トランジスタのコレクタとなる低濃度の p 形領域の形成、②. pnp トランジスタのベースとなる p 形領域の形成、③. pnp トランジスタのエミッタとなる p 形領域の形成の 3 種類のホトマスク工程と拡散工程を追加し、遮断周波数 $f_T = 280\text{MHz}$ の二重拡散縦型 pnp トランジスタを実現しました^[45]。

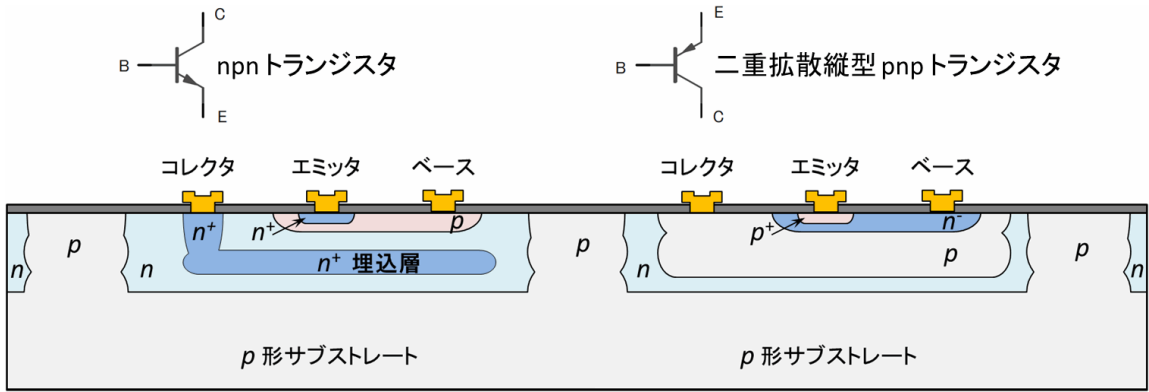


図 33 コンプリメンタリ・バイポーラトランジスタのクロスセクション (任意スケール)

1982 年に誕生した CD プレーヤーに始まり DVD、デジタルカメラなどのデジタルメディアや、xDSL、FTTH などの高速信号処理を必要とするアプリケーションの普及に支えられコンプリメンタリ・バイポーラプロセスの技術革新が続きます。一例として、ナショナルセミコンダクターの VIP (Vertically Integrated pnp) プロセスの例を表 5 に示します。

VIP1, VIP2, VIP3 は、多くの標準バイポーラプロセスと同様に p 形サブストレートのウェハを用います。二重拡散縦型 pnp トランジスタのコレクタは n 形埋込拡散層で p 形サブストレートと分離されます。n 形埋込拡散層の不純物密度は p 形サブストレートより高いため、二重拡散縦型 pnp トランジスタのサブストレート接合容量 C_{js} は npn トランジスタより大きくなります。

表 5 ナショナルセミコンダクターのコンプリメンタリ・バイポーラプロセス^[33]

プロセス	VIP1	VIP2	VIP3	VIP10	単位
リリース年	1986	1988	1994	2000	
NPN 遷移周波数 f_t	0.4	0.8	3.0	9.0	GHz
NPN 電流増幅率 β	250	250	150	100	
NPN アーリ電圧 V_a	200	150	150	120	V
PNP 遷移周波数 f_t	0.2	0.5	1.6	8.0	GHz
PNP 電流増幅率 β	150	80	60	55	
PNP アーリ電圧 V_a	60	40	50	40	V
サブストレート接合容量 C_{js}	2.0	1.5	0.5	0.005	pF
エミッタ幅	15	11	2	1	μm
最小トランジスタ領域	20000	18000	2400	300	μm^2
最大電源電圧	36	36	32	12	V
素子分離	pn 接合	pn 接合	pn 接合	誘電体	

二重拡散縦型 pnp トランジスタの遷移周波数 f_T はサブストレータ接合容量 C_{js} で制限されます。 C_{js} は電圧依存性を持つために電源電圧変化に依存する AC 特性や、出力電圧の変化による歪の原因となります。

VIP10 では、張り合わせ方式の SOI ウェハと異方向エッチングによるトレンチ (溝) 絶縁障壁による誘電体分離 (DI) 技術を採用しています。二重拡散縦型 pnp トランジスタのコレクタとサブストレータ間は誘電体で分離されるため、ミニマムサイズ・トランジスタのサブストレータ接合容量 C_{js} は僅か **5fF ($5 \times 10^{-15} F$)** となり電圧依存性が無く、二重拡散縦型 pnp トランジスタと npn トランジスタは等しい値となります [33]。

OPA640 コンプリメンタリ・バイポーラ・オペアンプ

SOI ウェハとトレンチ 絶縁障壁を採用した高速オペアンプの例として、1989 年に Burr-Brown Corporation が発表した OPA640 コンプリメンタリ・バイポーラ・オペアンプファミリの簡略化回路、代表的特性、トランジスタのクロスセクションを図 34、図 35、表 6、図 36 に示します。OPA640/OPA641 は、フォールドット・カスコード回路による電圧帰還形オペアンプで OPA644/OPA648 は、差動入力段、増幅段、出力バッファで構成される電流帰還型オペアンプです。

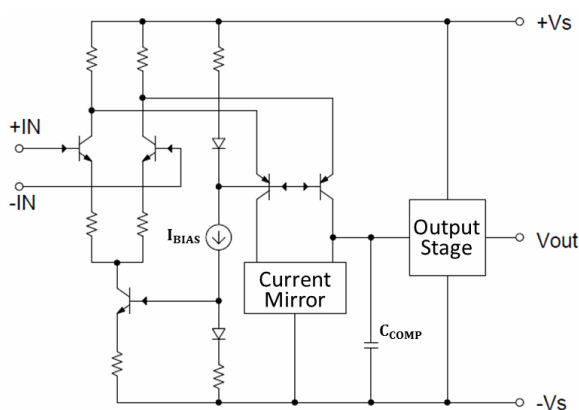


図 34 OPA640/OPA641 の簡略化回路 [35], [36]

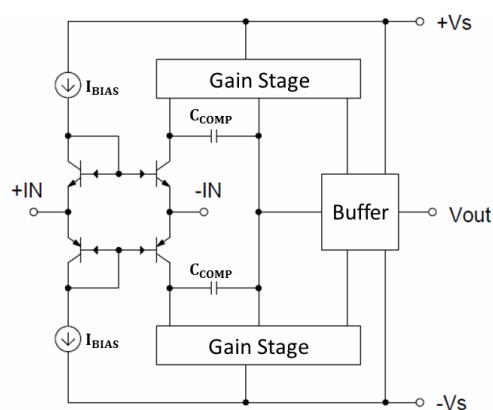


図 35 OPA644/OPA648 の簡略化回路 [37], [38]

表 6 OPA640 ファミリの代表的特性

モデル名	回路形式	閉ループ 帯域幅 Hz	スループット V/ μ s	セトリングタイム $\pm 0.01\%$ ns	入力電圧 雑音密度 nV/ $\sqrt{\text{Hz}}$	入力バイアス 電流@25°C μ A	出力電圧 (min) $\pm$ V	出力電流 (min) $\pm$ mA	電源電圧 V	消費電力 mW
OPA640 [35]	電圧 帰還	1.3G, G=1	350	22	2.8	18	2.25	22.5	± 4.5	180
OPA641 [36]		900M, G=2	700	18	2.8	25	2.25	22.5		150
OPA644 [37]	電流 帰還	500M, G=1	2500	21	1.9	20	2.75	27.5	$\sim \pm 5.5$	180
OPA648 [38]		1.0G, G=1	1200	20	2.3	65	2.75	20		130

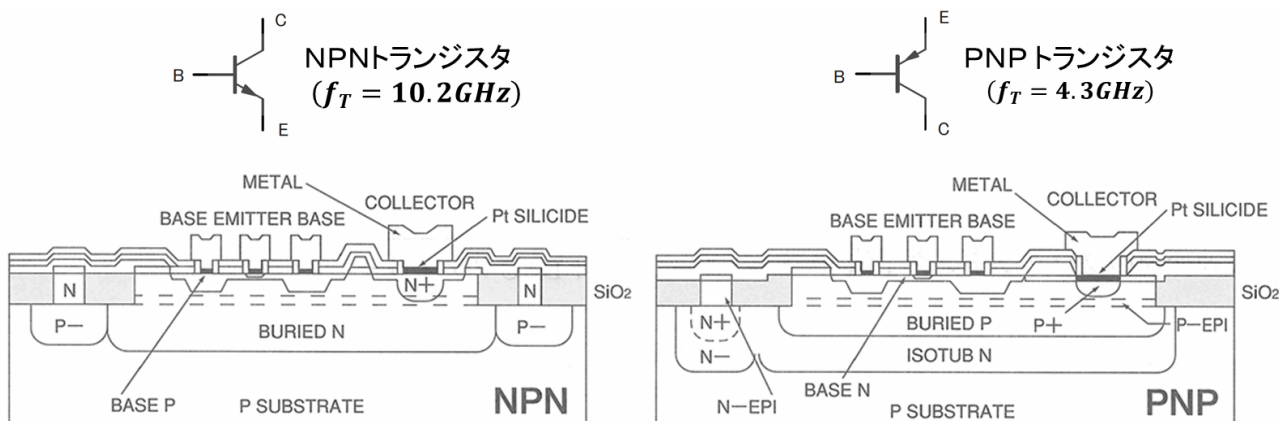


図 36 誘電体分離コンプリメンタリ・バイポーラトランジスタのクロスセクション (任意スケール) [34]

コンプリメンタリ SiGe BiCMOS プロセス

バイポーラトランジスタの寄生素子

図 38 に npn バイポーラトランジスタの寄生素子を、図 37 にバイポーラトランジスタの SPICE エバース・モデル小信号モデルを示します。ここで、 ϕ_0 は接合間のビルトイン・ポテンシャルを、RB (ゼロバイアス時のベース抵抗)、RE (エミッタ抵抗)、RC (コレクタ抵抗)、BF (順方向電流増幅率)、BR (逆方向電流増幅率)、VAF (順方向アーリー電圧)、IS (接合飽和電流)、TF (順方向遷移時間)、TR (逆方向遷移時間)、CJE (ベース-エミッタ間容量)、CJC (ベース-コレクタ間容量)、CJS (コレクタ-サブストレート間容量) は SPICE のモデルパラメータを表します。

図 37 ではベース、エミッタ、コレクタの外部電極と内部ノードを区別するため内部ノードに B, E, C の記号を用いています。ベース抵抗 r_B とベース-エミッタ間容量 C_π 、ベース-コレクタ間容量 C_μ 、コレクタ-サブストレート間容量 C_{CS} は低域フィルタを形成し遮断周波数 f_T の上限を制限する大きな要因となります。

$$g_{mF} = \frac{q}{kT} I_S e^{qV_{BE}/kT} \quad \dots \text{式 3}$$

$$g_{mR} = \frac{q}{kT} I_S e^{qV_{BC}/kT} \quad \dots \text{式 4}$$

$$r_B = RB, r_E = RE, r_C = RC \quad \dots \text{式 5}$$

$$r_\pi = \frac{BF}{g_{mF}} \quad \dots \text{式 6}$$

$$r_o = \frac{q}{kT g_{mF}} VAF \quad \dots \text{式 7}$$

$$r_\mu = \frac{BR}{g_{mR}} \quad \dots \text{式 8}$$

$$C_\pi = g_{mF} TF + CJE \quad \dots \text{式 9}$$

$$C_\mu = g_{mR} TR + CJC \quad \dots \text{式 10}$$

$$C_{CS} = CJS \quad \dots \text{式 11}$$

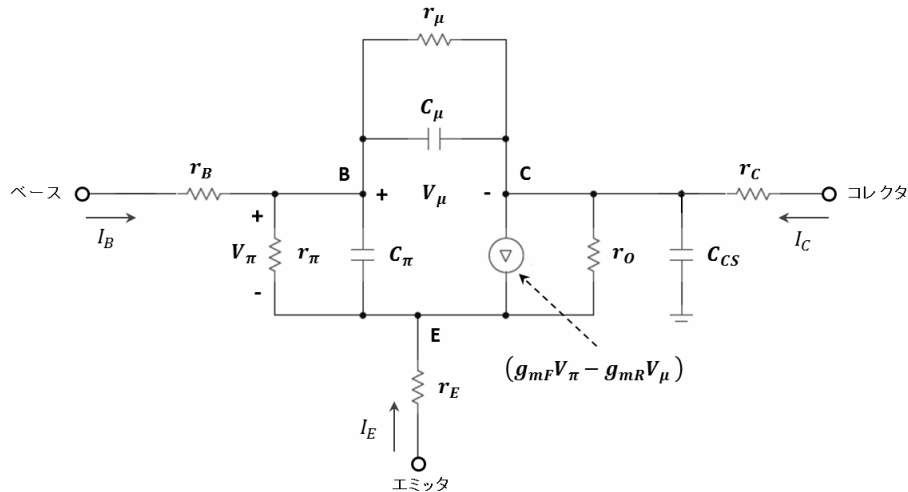


図 37 バイポーラトランジスタの SPICE エバース・モデル小信号モデル

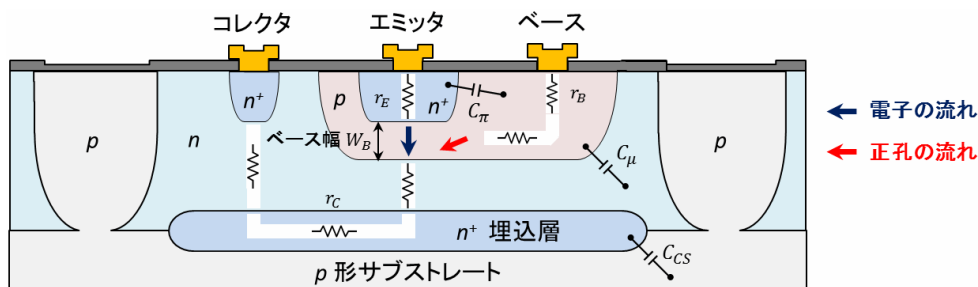


図 38 接合分離 npn バイポーラトランジスタの寄生素子 (任意スケール)

シリコン・ゲルマニウム・ヘテロ接合バイポーラトランジスタ (SiGe HBT)

npn バイポーラトランジスタの遷移周波数 f_T は、短絡エミッタ接地電流増幅率の絶対値が 1 になる周波数として定義され、エミッタからベースに注入された電子がベース領域中を拡散してコレクタに到達するまでのベース走行時間 τ_F と、図 37 に示す接合容量 C_{π} , C_{μ} , C_{CS} と寄生抵抗の時定数で決まります。ベース走行時間 τ_F で決まる遷移周波数の上限 f_{TMAX} は式 12 に示すようにベース幅 W_B と電子の拡散定数 D_n で決まります。 W_B を下げると f_{TMAX} は高くなりますが、同時にベース抵抗 r_B が増加するため r_B と C_{π} , C_{μ} , C_{CS} による時定数が増加し、実際の遷移周波数 f_T は低下します。 N_A を上げると r_B は下がりますが、式 13 に示すように順方向電流利得 β_F は低下します。ここで、 τ_b , D_p , L_p , N_A , N_D はベースの少数キャリアのライフタイム、エミッタ中の正孔の拡散定数、正孔の拡散長、ベースの不純物密度、エミッタの不純物密度を示します。

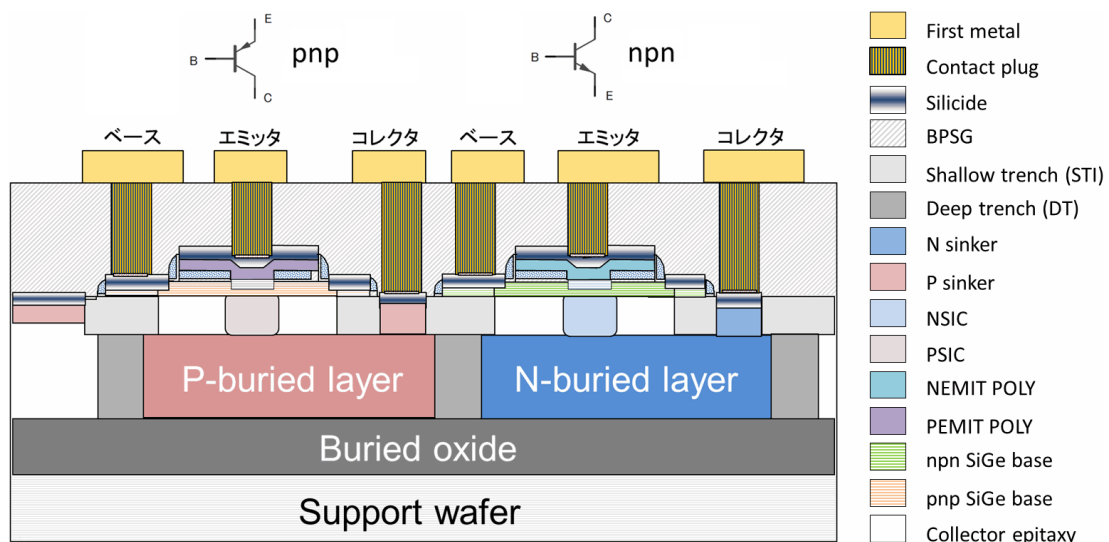
$$f_{TMAX} = \frac{1}{2\pi\tau_F} = \frac{1}{2\pi\left(\frac{W_B^2}{2D_n}\right)} = \frac{1}{\pi} \cdot \frac{D_n}{W_B^2} \quad \dots \text{式12}$$

$$\beta_F = \frac{1}{\frac{W_B^2}{2\tau_b D_n} + \frac{D_p W_B N_A}{D_n L_p N_D}} \quad \dots \text{式13}$$

シリコン・ゲルマニウムヘテロ接合バイポーラトランジスタ (SiGe HBT) は、ベースのバンドギャップをエミッタより低くして f_T と β_F のトレードオフを解消します。ゲルマニウムのバンドギャップは 0.67eV であり、シリコンの 1.11eV より低く、ベースにシリコンとゲルマニウムの混合物 (SiGe) を用いるとバンドギャップが低下します。エミッタ側の相対的に高いバンドギャップは、ベースから逆にエミッタに注入される正孔の電位障壁を高くするため、 β_F を維持するために N_A/N_D を下げる必要があります。その結果 N_A の増加が可能になり β_F を保ちながら f_T を高くすることができます。また、順方向能動領域におけるベースのベース-コレクタ間空乏層の幅が減少してベース幅変調効果が低くなるためアーリー電圧 V_A は増加します。さらに、 N_D の減少はエミッタ中のベース-エミッタ間空間電荷領域の幅を減少させ、ベース-エミッタ間容量 CJE を低減します。コンプリメンタリ SiGe HBT の特性例とクロスセクション例を表 7 と図 39 に示します。

表 7 コンプリメンタリ SiGe HBT の特性例 ^[46]

パラメータ	単位	Npn	pnp
f_T ($V_{CE} = 3V$)	GHz	19	19
f_{max} ($V_{CE} = 3V$)	GHz	60	45
β	-	200	100
V_A	V	150	100
BV_{CEO}	V	7.0	6.0
BV_{CBO}	V	19	13
BV_{EBO}	V	3.0	3.0

図 39 コンプリメンタリ SiGe HBT のクロスセクション例 (任意スケール) ^[46]

コンプリメンタリ SiGe BiCMOS プロセス

アナログ CMOS 技術の発展に伴いアナログ IC は CMOS プロセスの高集積度、低消費電力、高速動作、低コストの特長を活かし大きく進歩しました。アナログ CMOS プロセスは最終製品の様々な要求に応じて多彩なプロセスが開発されています。

テキサス・インスツルメンツのコンプリメンタリ SiGe BiCMOS プロセス BiCOM3 は、25GHz の遷移周波数と低い 1/f ノイズを持ち、ほぼ等しい電気的特性を持つコンプリメンタリ SiGe HBT、高精度薄膜抵抗、メタル間キャパシタ、低い寄生容量、SOI ウェハートとトレンチ 絶縁障壁による誘電体分離の特長を持つ BiCMOS プロセスで、高速性と高精度性の両立が必要なオペアンプ、高速・高分解能 ADC、高速インターフェイス IC などに使用されます。

主な特徴

- ◆ 0.35μm
- ◆ 5V 動作
- ◆ SOI
- ◆ トレンチ分離
- ◆ コンプリメンタリ SiGe トランジスタ
- $f_T = 25\text{GHz}$
- Low Noise
- ◆ NiCrAl 薄膜抵抗

バイポーラ・トランジスタ

- ◆ 5V NPN
- ◆ 5V PNP

CMOS

- ◆ 5V CMOS
- ◆ 3V CMOS

受動素子

- ◆ ポリシリコン抵抗
- ◆ NiCrAl 薄膜抵抗
- ◆ メタル電極キャパシタ

トリム

- ◆ ポリシリコン・ヒューズ
- ◆ メタル・ヒューズ

図 40 コンプリメンタリ SiGe BiCMOS プロセス BiCOM3 の概要 [47]

THS4304 コンプリメンタリ SiGe BiCMOS オペアンプ:

THS4304 はテキサスインスツルメンツが 2004 年にリリースした広帯域のオペアンプです。コンプリメンタリ SiGe BiCMOS プロセス BiCOM3 で製造されており +5V の単一電源または ±2.5V のデュアル電源で動作します。THS4303 は 3GHz のゲイン帯域幅を持ちながら伝統的な電圧帰還型のトポロジーを採用しており、バランスした差動入力、低オフセット電圧/電流、低ドリフト、低ノイズ、高 CMMR、高 PSRR を備えています。代表的特性を表 8、図 41、図 42 に示します。

表 8 低電圧単一電源・高帯域・電圧帰還オペアンプ THS4304 の代表的特性 [48]

閉ループ 帯域幅 Hz	スlewレート V/μs	セティングタイム ±0.01% ns	入力電圧 雑音密度 nV/√Hz	出力電圧 ±V R _L =100Ω	出力電流 (min) ±mA	電源電圧 V	消費電力 mW
3G, G=1	830	35	2.4, f=1MHz	1.1~3.9	+140 ~ -92	2.7 ~ 5.5	90

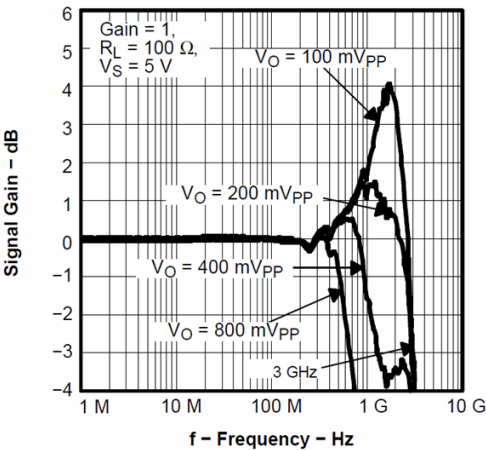


図 41 THS4304 のクローズドループ周波数応答 [48]

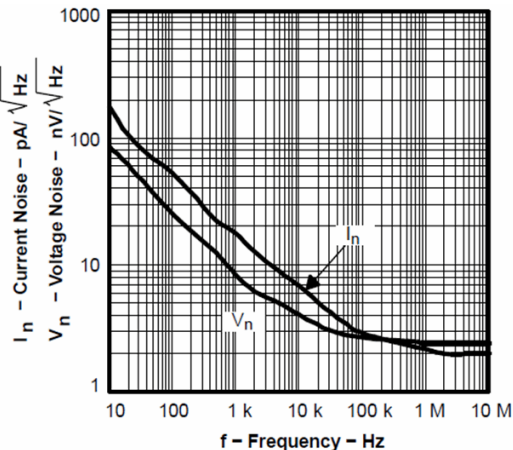


図 42 THS4304 のノイズ特性 [48]

高速オペアンプの回路技術(電圧帰還型)

図 43 に差動入力段と出力バッファで表した電圧帰還オペアンプの簡略等価回路を示します。この回路の理論的な最大スルーレートは $SR_{max} = I/C$ で表されますが、実際には回路の非対称性により正方向スルーレートと負方向スルーレートに差が生じます。したがって大振幅信号においては信号波形の立ち上がり特性と立ち下がり特性の差から波形ひずみが生じてしまいます。このひずみはビデオ信号処理のアプリケーションでは特に重要で、微分ゲイン/位相ひずみとして規定されています。

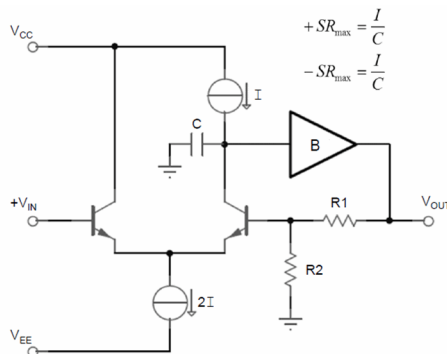


図 43 電圧帰還オペアンプの簡略化回路

スルーレート性能の非対称性は縦型トランジスタの優れた特性を利用し、入力の差動段から終段のエミッタ・フォロアに至るまでの全回路にコンプリメンタリ・シンメトリな構成を採用することにより改善することができます。この方式で作られた製品はフォールデット・カスコード・オペアンプとして知られており、ゲイン段が 1 段で構成され、ボード線図も単一極に近い安定な応答を示すため、高いゲイン・バンド幅積と、高速なセトリング特性が得られる特長を持っています。

図 44 にフォールデット・カスコード・オペアンプの簡略化回路を示します。フォールデット・カスコード・オペアンプという用語は、pnp トランジスタがカスコード・デバイスとして機能するとともに、信号を負の電源に接続された負荷に「折り返す」ことに由来しています。この回路は、位相補償を 1 個のキャパシタで行うことができるため、セトリング誤差の少ない単一極応答を実現することができます。

OPA640 ファミリの電圧帰還型モデルはフォールデット・カスコード・オペアンプの回路方式を採用しています。図 48, 50, 52 に示すトランジスタレベルの OPA640 SPICE マクロモデル(OPA640X.MOD: Simplified-Circuit SPICE Macro Model)による OPA640 特性のシミュレーション例を図 45 に示します。

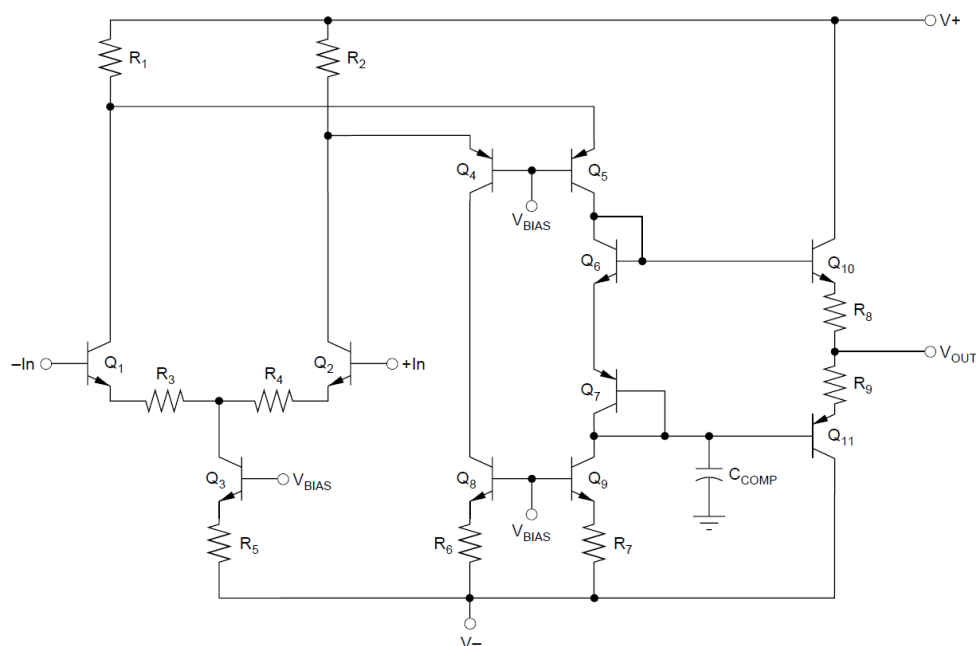
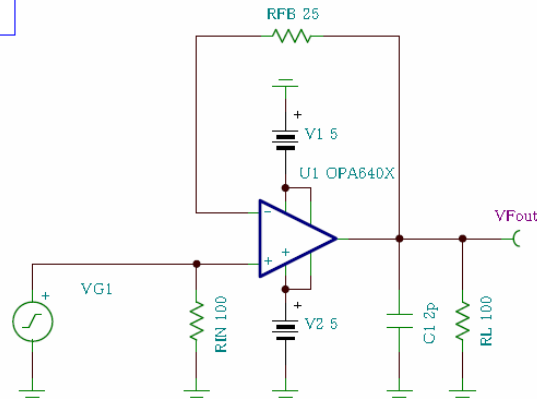
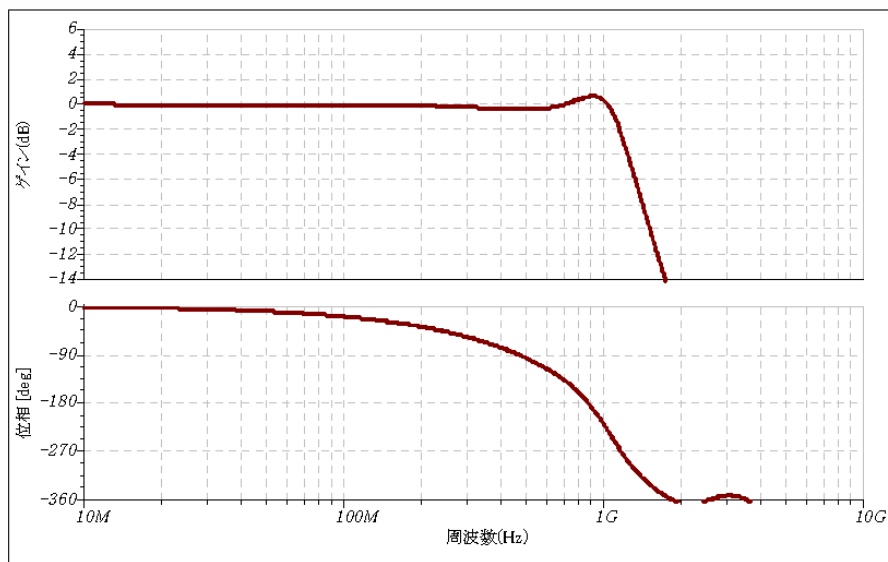


図 44 フォールデット・カスコード・オペアンプの簡略化回路 [40]

OPA640X.TSC



G = +1V/V CLOSED-LOOP SMALL SIGNAL BANDWIDTH



G = +1V/V LARGE SIGNAL TRANSIENT RESPONSE

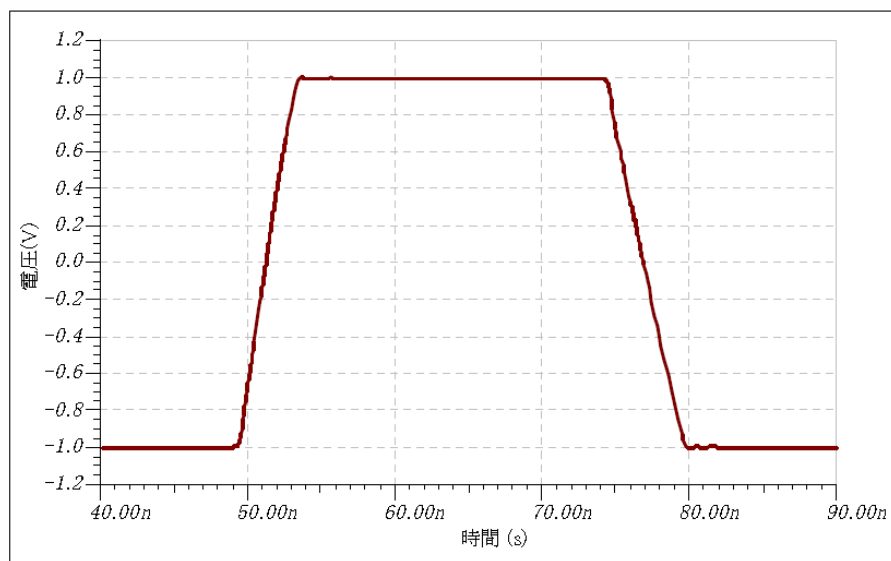


図 45 OPA640 のシミュレーション例

高速オペアンプの回路技術(電流帰還型)

OPA640 ファミリの電流帰還モデル OPA648 を差動入力段、増幅段、出力バッファで表した簡略化回路に、フィードバック抵抗 RFB を付加して構成した増幅回路 (Gain = +1) を図 46 に示します。RFB = 243Ω とすると小信号帯域幅は 1.0GHz (TYP) スルーレートは 1200V/μs (TYP) となります。

入力信号はコモン・エミッタ接続の差動ペア Q1, Q2 と Q3, Q4 に印加されます。差動入力段のバイアスは R5, Q11, ISOVR, Q14, R7 で構成されるバイアス回路から、Q13 と Q18 のベースに与えられます。R6, R8 は入力差動段の無信号時電流を決定します。Q1, Q2 を通る電流が Q3, Q4 にバイアス電圧を供給します。

電流帰還オペアンプは、過渡応答中に位相補償容量と寄生容量をスルーイングする電流を電源から引き込みます。無信号時に差動入力段を流れる電流は、Q5, Q6, Q7 と Q8, Q9, Q10 で構成されるウィルソン・カレントミラーにより、Q10 と Q7 の分岐を通して Q22 と Q24 に反映されます。入力信号がダイナミックに変化すると入力差動段の電流も変化して、Q22, Q24 から位相補償容量 CCOMP を充放電する電流が供給されます。

Q3 と Q4 のエミッタに流れる信号電流はそれらのコレクタから Q7, Q10 のベースを通りウィルソン・カレントミラーに送られます。R1, R2, R3, R4 はカレントソースを安定に動作させるためのエミッタデジェネレーション(emitter degeneration)です。図 46 のユニティゲイン・クロスオーバー 周波数は下式により与えられます。

$$\text{Unity Gain Bandwidth} \approx \frac{1}{2 \times \pi \times \text{RFB} \times \text{C1}}$$

図 49, 51, 52 に示すトランジスタレベルの OPA648 SPICE マクロモデル(OPA648X.MOD: Simplified-Circuit SPICE Macro Model) による OPA648 特性のシミュレーション例を図 47 に示します。

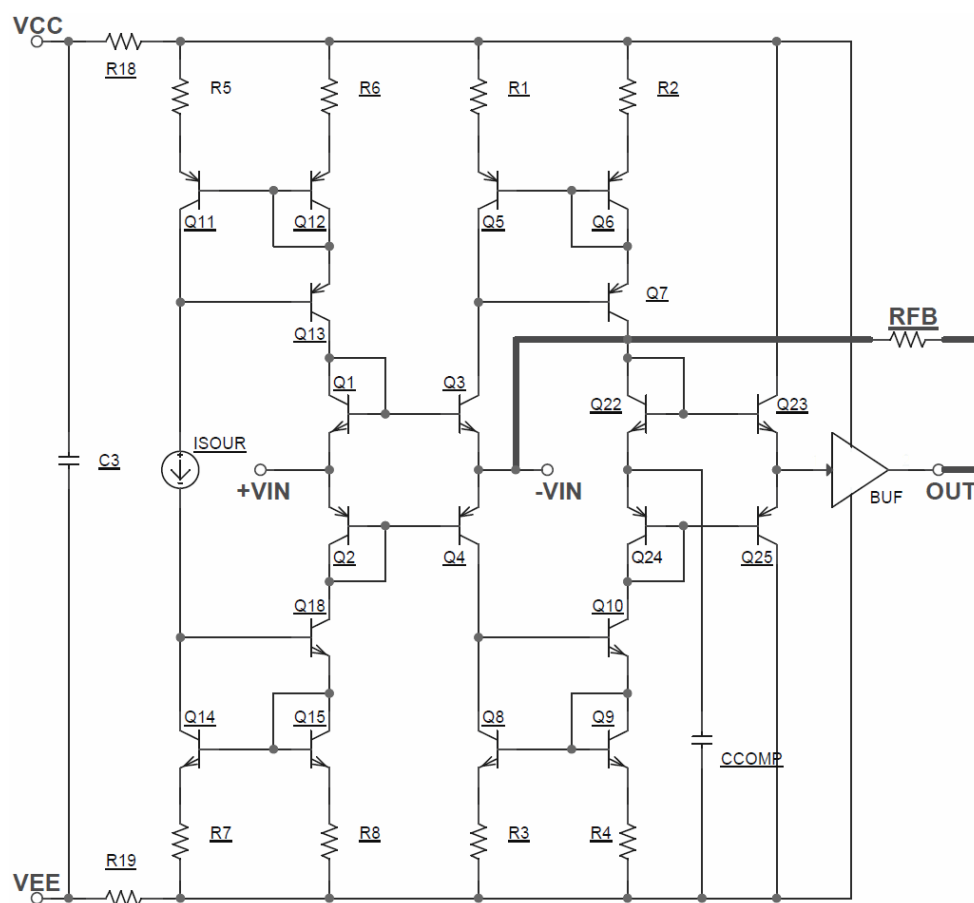
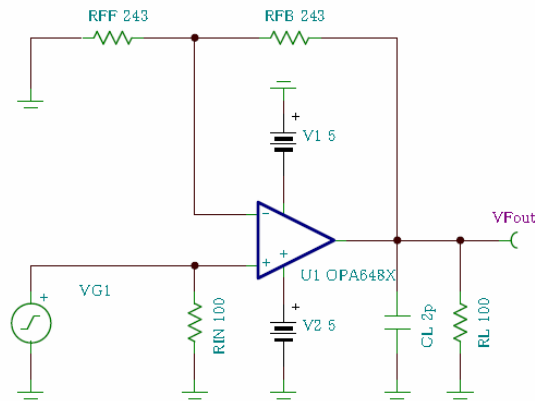
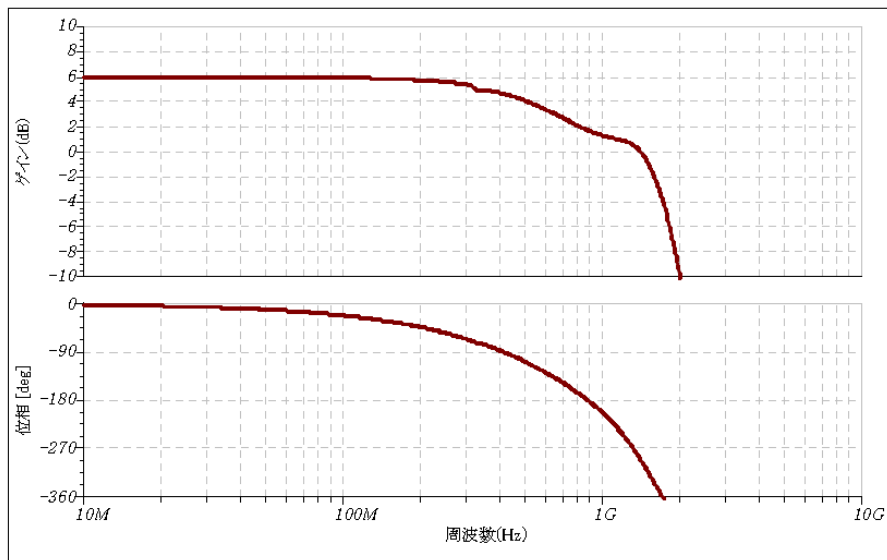


図 46 OPA648 の簡略化回路による増幅回路 (Gain = +1)

OPA648X.TSC



G = +2V/V CLOSED-LOOP SMALL SIGNAL BANDWIDTH



G = +2V/V LARGE SIGNAL TRANSIENT RESPONSE

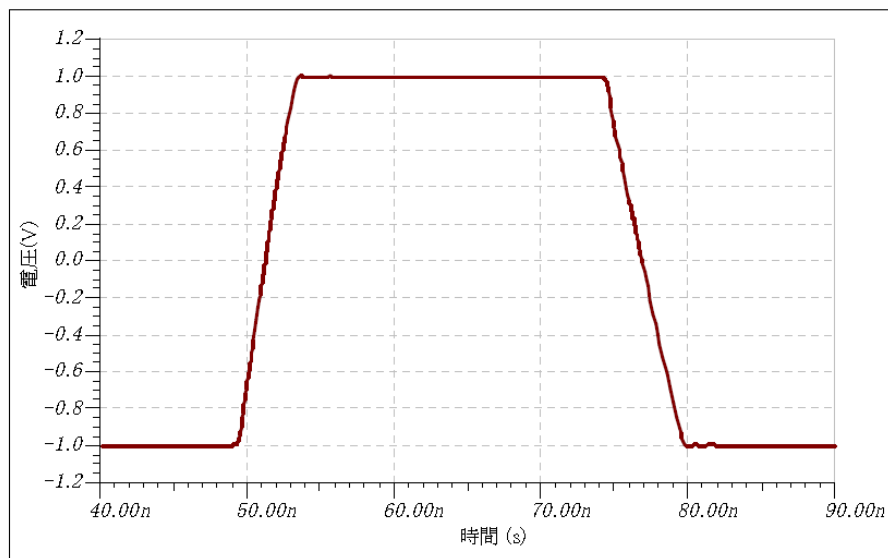


図 47 OPA648 のシミュレーション例

* OPA640X - WIDEBAND VOLTAGE FEEDBACK OPERATIONAL AMPLIFIER MACROMODEL

* CREATED 11/21/93 DS
* REV. A

NOTICE: THE INFORMATION PROVIDED HEREIN IS BELIEVED TO BE RELIABLE;
HOWEVER, BURR-BROWN ASSUMES NO RESPONSIBILITY FOR INACCURACIES OR
OMISSIONS. BURR-BROWN ASSUMES NO RESPONSIBILITY FOR THE USE OF THIS
INFORMATION, AND ALL USE OF SUCH INFORMATION SHALL BE ENTIRELY AT
THE USER'S OWN RISK. NO PATENT RIGHTS OR LICENSES TO ANY OF THE
CIRCUITS DESCRIBED HEREIN ARE IMPLIED OR GRANTED TO ANY THIRD PARTY.
BURR-BROWN DOES NOT AUTHORIZE OR WARRANT ANY BURR-BROWN PRODUCT FOR
USE IN LIFE-SUPPORT DEVICES AND/OR SYSTEMS.

This macro model is being supplied as an aid to
circuit designs. While it reflects reasonably close
similarity to the actual device in terms of performance,
it is not suggested as a replacement for breadboarding.
Simulation should be used as a forerunner or a supplement
to traditional lab testing.

* NOTE : SUGGESTED TEST CIRCUIT

X1 83 84 81 81 82 80 80 OPA640X
VCC 80 0 DC 5V
VEE 0 81 DC 5V
CFB 83 82 .15E-12
RFB 86 82 25
LFB 83 86 2.2E-9
VIN 85 0 AC 1 DC 0 PWL (ON -1 1N 1 20N 1 21N -1)
RSOURCE 85 84 25
RL 82 0 100
CL 82 0 2E-12

CONNECTIONS: INVERTING INPUT
NON-INVERTING INPUT
NEGATIVE POWER SUPPLY
NEGATIVE OUTPUT POWER SUPPLY
OUTPUT
POSITIVE POWER SUPPLY
POSITIVE OUTPUT POWER SUPPLY

.SUBCKT OPA640X 13 14 11 9 12 10 8

**
Q34 41 43 4 2 NPN1 10
Q33 41 42 1 1 PNP1 10
Q32 43 43 4 2 NPN1 20
Q31 43 40 41 1 PNP1 36
Q30 42 37 41 2 NPN1 36
Q29 42 42 1 1 PNP1 20
Q28 40 39 38 2 NPN1 2
Q15 29 30 31 2 NPN1 4
Q27 1 33 40 2 NPN1 24
Q26 4 33 37 1 PNP1 24
Q25 37 36 35 1 PNP1 2
Q24 39 38 4 2 NPN1 1
Q23 36 35 1 1 PNP1 1
Q14 28 26 17 3 PNP1 4
Q7 24 24 25 2 NPN1 1
Q18 15 26 16 3 PNP1 4
Q21 21 15 33 2 NPN1 2
Q22 33 24 34 2 NPN1 2
Q20 30 30 32 2 NPN1 4
Q19 15 29 30 2 NPN1 4
Q1 17 7 18 2 NPN1 12
Q10 26 26 44 3 PNP1 1
Q3 20 24 23 2 NPN1 8
Q2 16 6 19 2 NPN1 12
Q6 27 26 45 3 PNP1 1
Q11 22 27 26 3 PNP1 1
R3 18 20 60
R5 19 20 60
C2 21 22 20E-12
C3 1 4 28E-12
R11 21 44 2E3
R8 21 45 2E3
R12 21 17 250
R22 2 4 20
R2 2 22 20
R4 23 22 125
ISOUR 27 24 450E-6
V1 28 29 3.26
R13 31 22 80
R15 32 22 80
C8 30 22 1.0E-12
C6 15 22 4.6E-12
R16 34 22 320
R14 21 16 250
R9 25 22 1E3
R18 1 35 450
R19 38 4 450
R20 41 5 10
R21 1 3 20
R1 3 21 20
I1 36 39 500E-6

* PACKAGE PARASITICS

*
C1N1 13 0 0.75E-12
L10P 66 68 1.5E-9
L6P 63 64 1.08E-9
L2P 60 61 1.08E-9
C1P 15 2 .15E-12
C30P 77 2 .0425E-12
C29P 5 2 .15E-12
C2P 6 2 .15E-12
L5P 65 7 .7E-9
C3P 61 2 .0425E-12
C4P 61 64 .05E-12
C8P 7 2 .15E-12
C9P 64 2 .0425E-12
C10P 64 68 .05E-12
C14P 2 2 .15E-12
C15P 68 2 .0125E-12
C16P 1 2 .15E-12
C17P 71 2 .0125E-12
C18P 71 74 .05E-12
C22P 3 2 .15E-12
C23P 74 2 .0425E-12
C24P 74 77 .05E-12
C31P 77 80 .05E-12
C35P 4 2 .15E-12
C36P 80 2 .0125E-12
L1P 62 6 .7E-9
L9P 69 2 .7E-9
L14P 70 1 .7E-9
L15P 72 71 1.5E-9
L18P 73 3 .7E-9
L19P 75 74 1.08E-9
L22P 76 5 .7E-9
L23P 78 77 1.08E-9
L27P 79 4 .7E-9
L28P 81 80 1.5E-9
L31P 82 2 .7E-9
L13P 2 67 .7E-9
R1P 61 62 .01
R2P 13 60 .1
R6P 64 65 .01
R7P 14 63 .1
R11P 68 69 .01
R12P 11 66 .1
R16P 67 68 .01
R17P 71 70 .01
R18P 8 72 .1
R22P 74 73 .01
R23P 10 75 .1
R27P 77 76 .01
R28P 12 78 .1
R33P 80 79 .01
R34P 9 81 .1
R38P 80 82 .01

* MODELS USED

*
* MODEL NPN1 NPN
+ IS = 4.647E-17 BF = 2.293E+02 NF = 1.000E+00 VAF = 4.398E+01
+ IKF = 7.233E-03 ISE = 1.222E-14 NE = 2.000E+00 BR = 3.695E+01
+ NR = 1.000E+00 VAR = 1.494E+00 IKR = 1.667E+05 ISC = 1.057E-14
+ NC = 1.653E+00 RB = 3.170E+02 IRB = 0.000E+00 RBM = 1.500E+02
+ RE = 1.133E+01 RC = 2.768E+01 CJE = 2.070E-14 VJE = 7.414E-01
+ MJJE = 4.950E-01 TF = 1.150E-11 XTF = 2.452E+01 VTF = 1.029E+00
+ ITF = 1.878E-02 PTF = 0.000E+00 CJC = 3.661E-14 VJC = 6.465E-01
+ MJJC = 4.509E-01 XCJC = 1.270E-01 TR = 3.240E-10 CJS = 5.326E-14
+ VJS = 5.291E-01 MJS = 4.389E-01 XTB = 1.218E+00 EG = 1.184E+00
+ XTI = 2.000E+00 KF = 0.000E+00 AF = 1.000E+00 FC = 8.614E-01
* MODEL PNP1 PNP
+ IS = 2.628E-17 BF = 1.478E+02 NF = 1.000E+00 VAF = 3.106E+01
+ IKF = 3.115E-03 ISE = 8.930E-17 NE = 1.283E+00 BR = 3.061E+03
+ NR = 1.000E+00 VAR = 1.448E+00 IKR = 5.000E-03 ISC = 1.061E-14
+ NC = 1.634E+00 RB = 2.794E+02 IRB = 0.000E+00 RBM = 1.544E+02
+ RE = 7.452E+00 RC = 1.142E+02 CJE = 2.038E-14 VJE = 7.470E-01
+ MJJE = 4.930E-01 TF = 1.434E-11 XTF = 2.216E+01 VTF = 1.072E+00
+ ITF = 2.397E-02 PTF = 0.000E+00 CJC = 6.106E-14 VJC = 7.743E-01
+ MJJC = 5.185E-01 XCJC = 8.499E-02 TR = 6.500E-10 CJS = 2.855E-13
+ VJS = 9.063E-01 MJS = 4.931E-01 XTB = 1.181E+00 EG = 1.184E+00
+ XTI = 2.000E+00 KF = 0.000E+00 AF = 1.000E+00 FC = 9.014E-01
**
* .ENDS

図 48 OPA640X.MOD Simplified-Circuit SPICE Macro Model [39]

* OPA648X ULTRA WIDE-BAND CURRENT FEEDBACK AMPLIFIER
 * CREATED 8/24/94 DY
 * REV. A

 * NOTICE: THE INFORMATION PROVIDED HEREIN IS BELIEVED TO BE RELIABLE;
 * HOWEVER, BURR-BROWN ASSUMES NO RESPONSIBILITY FOR INACCURACIES OR
 * OMISSIONS. BURR-BROWN ASSUMES NO RESPONSIBILITY FOR THE USE OF THIS
 * INFORMATION, AND ALL USE OF SUCH INFORMATION SHALL BE ENTIRELY AT
 * THE USER'S OWN RISK. NO PATENT RIGHTS OR LICENSES TO ANY OF THE
 * CIRCUITS DESCRIBED HEREIN ARE IMPLIED OR GRANTED TO ANY THIRD PARTY.
 * BURR-BROWN DOES NOT AUTHORIZE OR WARRANT ANY BURR-BROWN PRODUCT FOR
 * USE IN LIFE-SUPPORT DEVICES AND/OR SYSTEMS.
 * -----

* CONNECTIONS: INVERTING INPUT
 * NON-INVERTING INPUT
 * NEGATIVE POWER SUPPLY
 * OUTPUT
 * POSITIVE POWER SUPPLY

.SUBCKT OPA648X 9 10 8 11 7
 *
 Q14 19 20 21 2 NPN1 2
 Q15 20 20 22 2 NPN1 2
 Q16 23 19 20 2 NPN1 2
 Q2 23 23 4 1 PNP1 2
 Q4 28 23 3 1 PNP1 2
 Q1 18 18 4 2 NPN1 2
 Q3 27 18 3 2 NPN1 2
 Q7 33 27 26 1 PNP1 2
 Q6 26 26 25 1 PNP1 2
 Q5 27 26 24 1 PNP1 2
 Q8 28 31 29 2 NPN1 2
 Q9 31 31 30 2 NPN1 2
 Q10 32 28 31 2 NPN1 2
 Q28 37 36 35 1 PNP1 2
 Q30 40 38 39 2 NPN1 2
 Q42 43 42 13 2 NPN1 36
 Q40 43 41 12 1 PNP1 36
 Q31 13 34 37 1 PNP1 20
 Q32 12 34 40 2 NPN1 20
 Q41 42 42 13 2 NPN1 20
 Q39 41 41 12 1 PNP1 20
 Q33 41 37 43 2 NPN1 20
 Q35 42 40 43 1 PNP1 20
 Q29 38 39 13 2 NPN1 2
 Q27 36 35 12 1 PNP1 2
 Q38 40 42 13 2 NPN1 1
 Q37 37 41 12 1 PNP1 1
 Q22 33 33 6 2 NPN1 4
 Q23 12 33 34 2 NPN1 2
 Q25 13 32 34 1 PNP1 2
 Q24 32 32 6 1 PNP1 4
 Q11 17 16 14 1 PNP1 2
 Q13 18 17 16 1 PNP1 2
 Q12 16 16 15 1 PNP1 2
 ISOUR 17 19 DC 0.7E-3
 R19 2 13 10
 R18 1 12 10
 R5 12 14 1K
 R6 12 15 1K
 R7 21 13 1K
 R8 22 13 1K
 R1 12 24 240
 R2 12 25 240
 R3 29 13 240
 R4 30 13 240
 CCOMP 6 13 0.7E-12
 R24 43 5 10
 I2 36 38 DC 0.5E-3
 R22 12 35 400
 R23 39 13 400
 C3 1 2 56E-12

** Package Parasitics

*
 CINV 9 0 0.75E-12
 L6P 61 62 1.5E-9
 L4P 58 59 1.08E-9
 L2P 55 56 1.08E-9
 C1P 6 2 .15E-12
 C14P 68 2 .0425E-12
 C13P 5 2 .15E-12
 C2P 3 2 .15E-12
 L3P 60 4 .7E-9
 C3P 56 2 .0425E-12
 C4P 56 59 .05E-12
 C5P 4 2 .15E-12
 C6P 59 2 .0425E-12
 C7P 59 62 .05E-12
 C8P 2 2 .15E-12
 C9P 62 2 .0125E-12
 C10P 1 2 .15E-12
 C11P 65 2 .0425E-12
 C12P 65 68 .05E-12
 L1P 57 3 .7E-9
 L5P 63 2 .7E-9
 L7P 64 1 .7E-9
 L8P 66 65 1.08E-9
 L9P 67 5 .7E-9
 L10P 69 68 1.08E-9
 L11P 2 70 .7E-9
 R1P 56 57 .01
 R2P 9 55 .1
 R3P 59 60 .01
 R4P 10 58 .1
 R5P 62 63 .01
 R6P 8 61 .1
 R16P 70 62 .01
 R7P 65 64 .01
 R8P 7 66 .1
 R9P 68 67 .01
 R10P 11 69 .1

* MODELS USED

*
 .MODEL NPN1 NPN
 + IS = 4.647E-17 BF = 2.293E+02 NF = 1.000E+00 VAF = 4.398E+01
 + IKF = 7.233E-03 ISE = 1.222E-14 NE = 2.000E+00 BR = 3.695E+01
 + NR = 1.000E+00 VAR = 1.494E+00 IKR = 1.667E+05 ISC = 1.057E-14
 + NC = 1.653E+00 RB = 3.170E+02 IRB = 0.000E+00 RBM = 1.500E+02
 + RE = 1.133E+01 RC = 2.768E+01 CJE = 2.070E-14 VJE = 7.414E-01
 + MJE = 4.950E-01 TF = 1.150E-11 XTF = 2.452E+01 VTF = 1.029E+00
 + ITF = 1.878E-02 PTF = 0.000E+00 CJC = 3.661E-14 VJC = 6.465E-01
 + MJC = 4.509E-01 XCJC = 1.270E-01 TR = 3.240E-10 CJS = 5.326E-14
 + VJS = 5.291E-01 MJS = 4.389E-01 XTB = 1.218E+00 EG = 1.184E+00
 + XTI = 2.000E+00 KF = 0.000E+00 AF = 1.000E+00 FC = 8.614E-01

.MODEL PNP1 PNP

+ IS = 2.628E-17 BF = 1.478E+02 NF = 1.000E+00 VAF = 3.106E+01
 + IKF = 3.115E-03 ISE = 8.930E-17 NE = 1.283E+00 BR = 3.061E+03
 + NR = 1.000E+00 VAR = 1.448E+00 IKR = 5.000E-03 ISC = 1.061E-14
 + NC = 1.634E+00 RB = 2.794E+02 IRB = 0.000E+00 RBM = 1.544E+02
 + RE = 7.452E+00 RC = 1.142E+02 CJE = 2.038E-14 VJE = 7.470E-01
 + MJE = 4.930E-01 TF = 1.434E-11 XTF = 2.216E+01 VTF = 1.072E+00
 + ITF = 2.397E-02 PTF = 0.000E+00 CJC = 6.106E-14 VJC = 7.743E-01
 + MJC = 5.185E-01 XCJC = 8.499E-02 TR = 6.500E-10 CJS = 2.855E-13
 + VJS = 9.063E-01 MJS = 4.931E-01 XTB = 1.181E+00 EG = 1.184E+00
 + XTI = 2.000E+00 KF = 0.000E+00 AF = 1.000E+00 FC = 9.014E-01

**

.ENDS OPA648X

図 49 OPA648X.MOD Simplified-Circuit SPICE Macro Model [39]

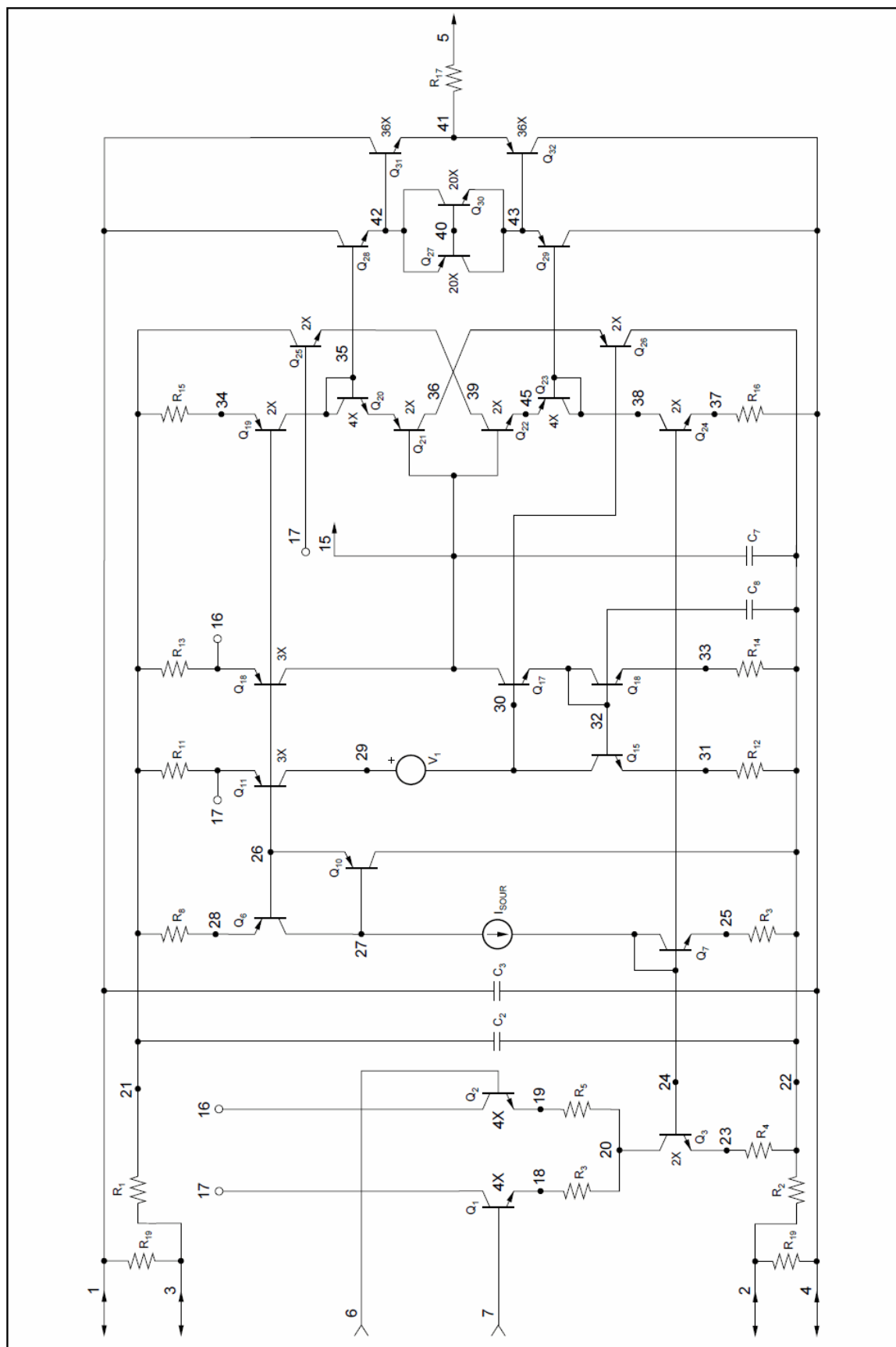


図 50 Schematic to OPA640X.MOD Simplified-Circuit SPICE Macro Model ^[39]

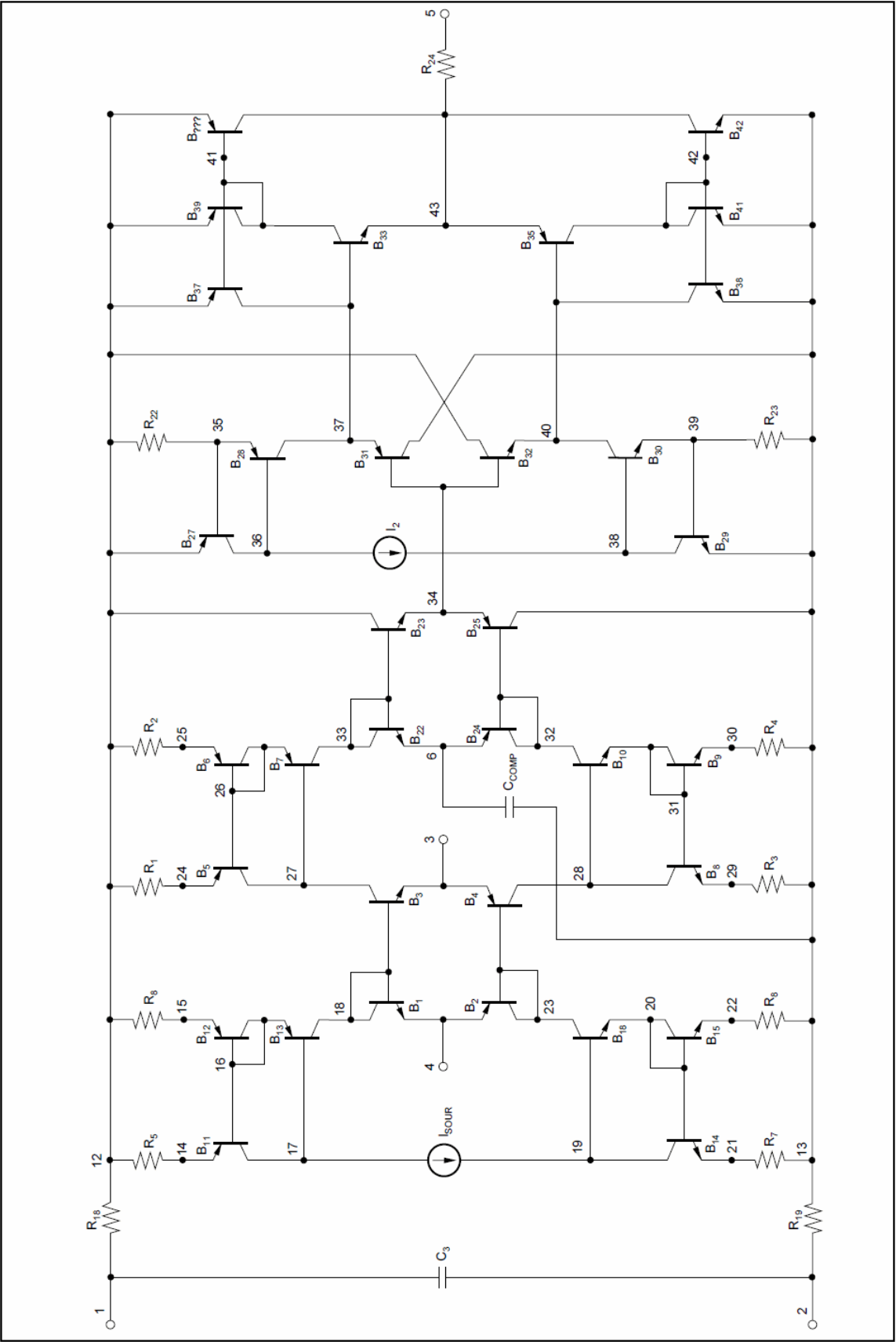
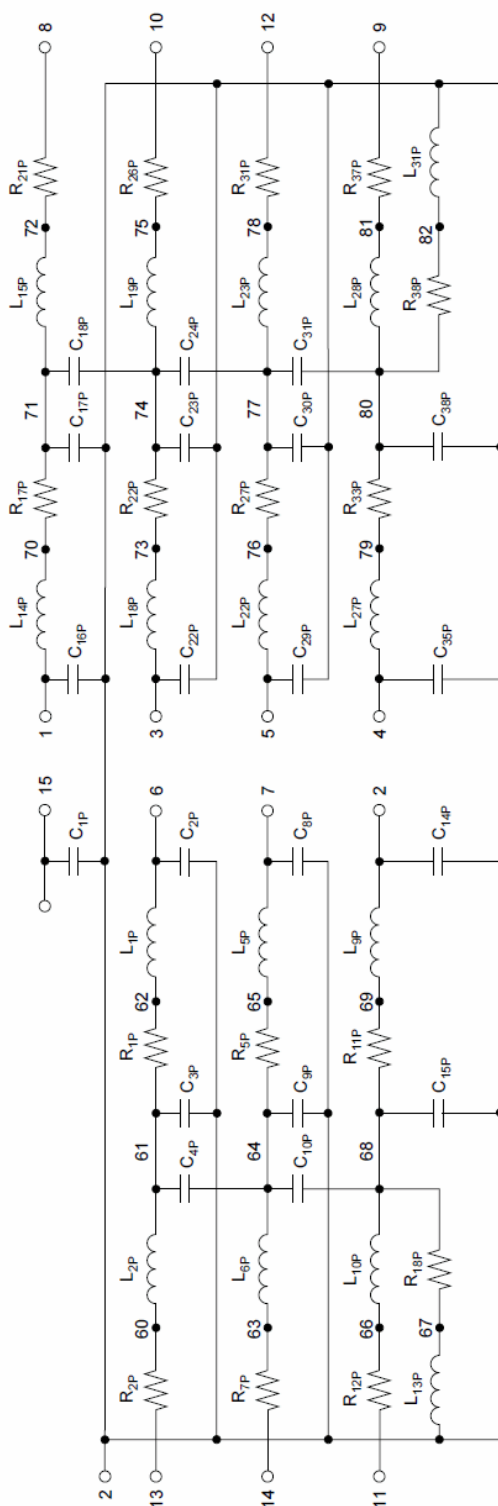


図 51 Schematic to OPA648X.MOD Simplified-Circuit SPICE Macro Model [39]



参考文献

- [1] Pestrikov, V.M. "Edison's effect - The invention that surpassed scientific and technical progress"
Microwave and Telecommunication Technology, 2012 22nd International Crimean Conference
Publication Year: 2012, Page(s): 40-41
- [2] David Cassidy, Gerald Holton and James Rutherford "Understanding Physics"
Springer © 2002 (855 pages) Citation, Chapter 13: Probing the Atom
- [3] T.A. Edison, "Electrical Indicator." US Patent 307,031, filed November 15, 1883, issued October 21, 1884.
- [4] J. A. Fleming, "Instrument for Converting Alternating Electric Currents into Continuous Currents,"
US Patent 803,684, filed April 19, 1905, issued Nov. 7, 1905.
- [5] Lee de Forest, "Device for Amplifying Feeble Electrical Currents,"
US Patent 841,387, filed October 25, 1906, issued January 15, 1907.
- [6] E.H. Armstrong, "Signaling System"
US Patent 1,424,065, filed June 27, 1921, issued July 25, 1922.
- [7] Jon B. Hagen "Radio-Frequency Electronics: Circuits and Applications, Second Edition"
Cambridge University Press © 2009 (452 pages) Citation,
Radio Receivers (7.4: The Superheterodyne Receiver)
- [8] Harold S. Black, "Stabilized feedback amplifiers," Bell System Technical Journal, vol. 13, pp. 1–18, Jan. 1934.
- [9] Harold Black, "Inventing the negative feedback amplifier", IEEE Spectrum, pp.55-60, Dec. 1977.
- [10] Harry Nyquist, "Regeneration theory," Bell System Technical Journal, vol. 11, pp. 126–147, Jan. 1932.
- [11] Hendrik W. Bode, "Relations between attenuation and phase in feedback amplifier design,"
Bell System Technical Journal, vol. 19, pp. 412–454, July 1940.
- [12] Thomson, James, "Collected papers in physics and engineering", Cambridge, University press, p.p. 452-456, 1912.
- [13] Analog Computers: RCA Typhoon, 1951 - Radiomuseum.org
- [14] Irv Englander, "The Architecture of Computer Hardware, System Software, and Networking: An Information
Technology Approach, Fourth Edition", John Wiley & Sons, pp. 25-28, May 2009
- [15] Scaff J. H. and Ohl, R. S. "Development of Silicon Crystal Rectifiers for Microwave Radar Receivers", Bell System
Technical Journal, Vol. 26, No. 1 (January 1947) pp.1-30.
- [16] Walter Houser Brattain, John Bardeen, "Three-Electrode Circuit Element Utilizing Semiconductive Materials"
U.S. Patent 2,524,035, filed June 17, 1948, issued October 3, 1950
- [17] W.SHOCKLEY, "Circuit element utilizing semiconductive material"
U.S. Patent 2,569,347, filed June 26, 1948, issued September 25, 1951
- [18] H.CHRISTENSEN, et al., "METHOD OF FABRICATING GERMANIUM BODIES"
U.S. Patent 2,692,839, filed April 7, 1951, issued October 26, 1954
- [19] IAN M. ROSS, "The Invention of the Transistor", PROCEEDINGS OF THE IEEE, VOL. 86, NO. 1, JANUARY 1998
- [20] Texas Instruments incorporated, "Engineering the World", pp. 55-113, Dockery Publishing Inc., 2005
- [21] Teal, Gordon K. "Single Crystals of Germanium and Silicon - Basic to the Transistor and Integrated Circuit," IEEE
Transactions on Electron Devices, Vol. ED-23, No. 7 (July 1976) pp. 621–39.
- [22] M. Tannenbaum and D. E. Thomas, "Diffused emitter and base silicon transistors,"
Bell Syst. Tech. J., vol. 35, pp. 1401–1406, Jan. 1956.
- [23] Hoerni, J. A, "Method of Manufacturing Semiconductor Devices"
US Patent 3,025,589, filed May 1, 1959, issued March 20, 1962
- [24] Moore, Gordon E. "The role of Fairchild in silicon technology in the early days of "Silicon Valley",
Proceedings of the IEEE, Volume: 86, Issue: 1, Publication Year: 1998, Page(s): 53 – 62
- [25] Jack S. Kilby, "Miniature Semiconductor Integrated Circuit"
U.S. Patent 3,115,581, filed May 6, 1959, issued December 24, 1963
- [26] Robert N. Noyce, "Semiconductor Device and Lead Structure"
US Patent 2,981,877, filed July 30, 1959, issued April 25, 1961

- [27] “TYPE μ A702M Data Sheet”, D1004, JUNE 1975, Texas Instruments Inc.
- [28] “ μ A709C, μ A709M, μ A709AM Data Sheet”, SLOS096, FEBRUARY 1971, Texas Instruments Inc.
- [29] “LM101A-N, LM201A-N, LM301A-N Data Sheet”, SNOSBS0D, SEPTEMBER 1999, Texas Instruments Inc.
- [30] “ μ A741, μ A741Y Data Sheet”, SLOS094B, NOVEMBER 1970, Texas Instruments Inc.
- [31] “LM118-N, LM218-N, LM318-N Data Sheet”, SNOBSBS8C, MARCH 1998, Texas Instruments Inc.
- [32] “LM118 Op Amp Slews 70 V/sec”, LB-17, AN006831, 2002, National Semiconductor Corporation
- [33] “National Semiconductor Develops New Complementary Bipolar Process for High Speed, High Performance Analog”
LB-10, SNOA843, 2011, Texas Instruments Inc.
- [34] “Burr-Brown Update” 1997 Vol.4, Burr-Brown Japan Ltd.
- [35] “OPA640 Data Sheet”, PDS-1179B, July 1993, Burr-Brown Corporation.
- [36] “OPA641 Data Sheet”, PDS-1189B, July 1994, Burr-Brown Corporation.
- [37] “OPA644 Data Sheet”, PDS-1187B, May 1993, Burr-Brown Corporation.
- [38] “OPA648 Data Sheet”, PDS-1253A, July 1994, Burr-Brown Corporation.
- [39] “SPICE BASED MACROMODELS, REV. F”, AB-020F, Burr-Brown Corporation.
- [40] Mike Koen, “HIGH SPEED DATA CONVERSION”, SBAA045, June, 1991, Texas Instruments Inc.
- [41] “LM741 Operational Amplifier Data Sheet”, SNOSC25B, MAY 2004, Texas Instruments Inc.
- [42] 宇田達広, “TINA-TI によるオペアンプ回路設計入門 (第6回) 1.3.1 オペアンプの基礎”,
アプリケーションノート, JAJA483, 2014年11月, 日本テキサス・インスツルメンツ株式会社
- [43] “OPA627/OPA637 Data Sheet”, SBOS165, March 1998, Texas Instruments Inc.
- [44] “バー・ブラウン 1987 テクニカルセミナー”, 1987年12月, 日本バー・ブラウン株式会社
- [45] Davis, P.C. ; Moyer, S.F. ; Saari, V.R. “High slew rate monolithic operational amplifier using compatible
complementary P-N-P's”, Solid-State Circuits, IEEE Journal of Volume:9, Issue: 6, DOI: 10.1109/JSSC.1974.1050526 ,
Publication Year: 1974 , Page(s): 340- 347, Cited by: Papers (6) | Patents (1), IEEE JOURNALS & MAGAZINES
- [46] El-Kareh, Balster, S, et al., “A 5V complementary-SiGe BiCMOS technology for high-speed precision analog circuits
Bipolar/BiCMOS Circuits and Technology Meeting, 2003, Proceedings of the Year: 2003 Pages: 211 - 214,
DOI: 10.1109/BIPOL.2003.1274968, Cited by: Papers (20) | Patents (3), IEEE Conference Publications
- [47] 高精度アナログセミナー2010・テキスト, 2010年11月, 日本テキサス・インスツルメンツ株式会社
- [48] “THS4304 Data Sheet”, SLOS436A, MARCH 2004, Texas Instruments Inc.