

TINA-TI™によるオペアンプ回路設計入門 (第11回)

2.1 入力オフセット電圧

宇田達広

MARKETING

はじめに

この連載はアナログシグナルチェーンの基本素子とも言うべきオペアンプの基本理論と応用回路技術の習得を目的とします。本格的な電子回路シミュレーション・ツールであるTINA-TIを自分の手で実際に動かすことで直感的な理解が得られるよう工夫しています。TINA-TI (Ver. 9.x) のインストール方法と基本操作方法については下記のリンクを参照して下さい。

- [クイック・スタート・ガイド](#) (TINA-TI 操作入門)
- [TINA-TI 9 に関する FAQ](#)

今回は実践編として入力オフセット電圧を取り上げます。

目次

2.1 入力オフセット電圧	2
2.1.1 入力オフセット電圧 – V_{OS}	2
2.1.2 V_{OS} の仕様と分布	4
2.1.3 V_{OS} のシミュレーション	5
2.1.4 V_{OS} ドリフト – dV_{OS}/dT	6
2.1.5 オフセット電圧を低減するための技術	7
抵抗トリミング	7
チョツパ・アンプ	8
オートゼロ・アンプ	9
2.1.6 e-trim™	10
2.1.7 マイクロパワー・ゼロドリフト・オペアンプ	12
参考文献	17

2.1 入力オフセット電圧

2.1.1 入力オフセット電圧 – V_{OS}

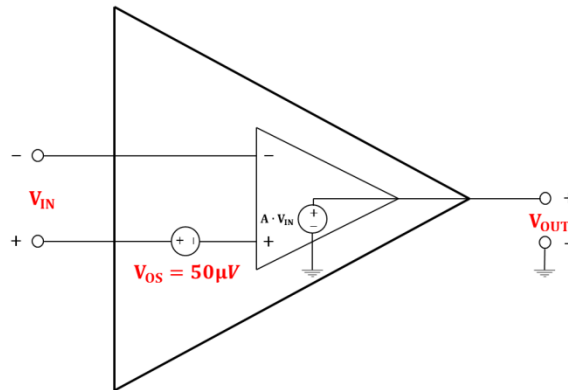


図 2.1.1 入力オフセット電圧 V_{OS}

入力オフセット電圧 V_{OS} は、オペアンプ出力を 0V にするために印加される差動入力電圧です。入力オフセット電圧の標準値は、オペアンプのモデルに応じて、数 mV から数 μ V までさまざまです。入力オフセットは、図 2.1.1 に示す DC 電源 V_{OS} としてモデル化できます。オペアンプの電源電圧や同相モード電圧が変化すると入力オフセット電圧も変化します。

図 2.1.2 に 741 型オペアンプの SPICE マクロ・モデル(ボイルモデル^[1])を示します。バイポーラ・トランジスタ Q_1, Q_2 により差動入力段の非線形特性、ダイオード $D_1 \sim D_4$ により出力段の非線形特性をモデル化し、実回路に比べ素子数を **16/23**、ノード数を **16/23** まで低減したシンプルなマクロ・モデルながら、下記の特性を高精度にモデル化しています。

- ① バイポーラトランジスタによる差動入力特性
- ② 非線形な DC 特性と AC 特性
- ③ 電圧／電流オフセット
- ④ 差動／同相ゲイン周波数特性
- ⑤ スルーレート
- ⑥ 出力電圧の大振幅特性
- ⑦ 出力短絡電流制限特性
- ⑧ 出力インピーダンス

図 2.1.2 のマクロ・モデルにおいて、差動入力トランジスタペア Q_1, Q_2 のコレクタ電流 I_{C1}, I_{C2} は下式で表されます。

$$I_{C1} = I_{S1} \left(e^{\frac{qV_{BE1}}{kT}} - 1 \right) \approx I_{S1} e^{\frac{qV_{BE1}}{kT}}, \quad I_{C2} = I_{S2} \left(e^{\frac{qV_{BE2}}{kT}} - 1 \right) \approx I_{S2} e^{\frac{qV_{BE2}}{kT}} \quad \dots \text{式 2.1.1}$$

ここで、 V_{BE1}, V_{BE2} は Q_1 と Q_2 のベース - エミッタ間電圧、 I_{S1}, I_{S2} は逆方向バイアス時の飽和電流、 T は絶対温度、 q は電子電荷、 k はボルツマン定数です。

図 2.1.2 のマクロ・モデルでは、 $I_{C1} = I_{C2} = I_{EE}/2$ であり、入力オフセット電圧 V_{OS} は下式で表されます。

$$V_{OS} = V_{BE2} - V_{BE1} = \frac{kT}{q} \ln \frac{I_{C2}}{I_{S2}} - \frac{kT}{q} \ln \frac{I_{C1}}{I_{S1}} = \frac{kT}{q} \ln \left(\frac{I_{S2}}{I_{S1}} \right) = 25.865 \times 10^{-3} [\text{V}] \times \ln \left(\frac{831 \times 10^{-18} [\text{A}]}{800 \times 10^{-18} [\text{A}]} \right) \approx 1 \text{mV} \quad \dots \text{式 2.1.2}$$

実際のオペアンプでは、入力オフセット電圧 V_{OS} が回路素子の偏差で大きく変わるため、テキサスインスツルメンツの高精度オペアンプは、①. ウエハ上の薄膜抵抗の高精度なレーザ・トリミング、②. ウエハ段階のトリムと、パッケージ後のオペアンプに内蔵したデジタル回路によるトリムを併用した e-trim™、③. アナログ CMOS 回路の特長を活かす Zero-Drift 技術などにより、表 2.1.1 に示すように、入力オフセット電圧 V_{OS} と、オフセット・ドリフト V_{OS}/dT を抑えています。

2.1.2 V_{OS} の仕様と分布

図 2.1.4 に、高精度バイポーラ・オペアンプ OPA211 の V_{OS} 仕様と分布（代表的特性）の一部を示します。仕様表の上には測定条件が記載されています。この例では、温度 $T_A = 25^\circ\text{C}$ 、負荷抵抗 $R_L = 10\text{k}\Omega$ 、出力電圧 V_{OUT} と同相モード電圧 V_{CM} は電源中点に接続されています。仕様表には追加のテスト条件が記載されています。電源電圧は $V_S = \pm 15\text{V}$ です。また、 V_{OS} のドリフト仕様 (dV_{OS}/dT) が $\mu\text{V}/^\circ\text{C}$ 単位で規定されています。

標準 (TYP) 値は、ガウス分布での ± 1 標準偏差値 ($\pm\sigma$) が考慮されています。これは、デバイスの母集団の 68% が標準偏差未満となることを意味しています。最大 (MAX) 値は、テスト済みの値であり、どのデバイスでも V_{OS} が最大 (MAX) 値を超えることはありません。

各種のテクノロジーによる代表的なオペアンプの V_{OS} 範囲を表 2.1.1 に示します。

Electrical Characteristics: $V_S = \pm 2.25$ to ± 18 V for High Grade OPA211I

at $T_A = 25^\circ\text{C}$, $R_L = 10\text{k}\Omega$ connected to midsupply, $V_{CM} = V_{OUT} = \text{Midsupply}$, unless otherwise noted.

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
OFFSET VOLTAGE					
V_{OS}	Input offset voltage		± 20	± 50	μV
dV_{OS}/dT	Input offset drift		0.15	0.85	$\mu\text{V}/^\circ\text{C}$

Electrical Characteristics: $V_S = \pm 2.25$ to ± 18 V for Standard Grade OPA211AI, OPA2211AI

at $T_A = 25^\circ\text{C}$, $R_L = 10\text{k}\Omega$ connected to midsupply, $V_{CM} = V_{OUT} = \text{Midsupply}$, unless otherwise noted.

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
OFFSET VOLTAGE					
V_{OS}	Input offset voltage	OPA211AI, $V_S = \pm 15\text{V}$	± 30	± 125	μV
		OPA2211AI, $V_S = \pm 15\text{V}$	± 50	± 150	μV
dV_{OS}/dT	Input offset drift		0.35	1.5	$\mu\text{V}/^\circ\text{C}$

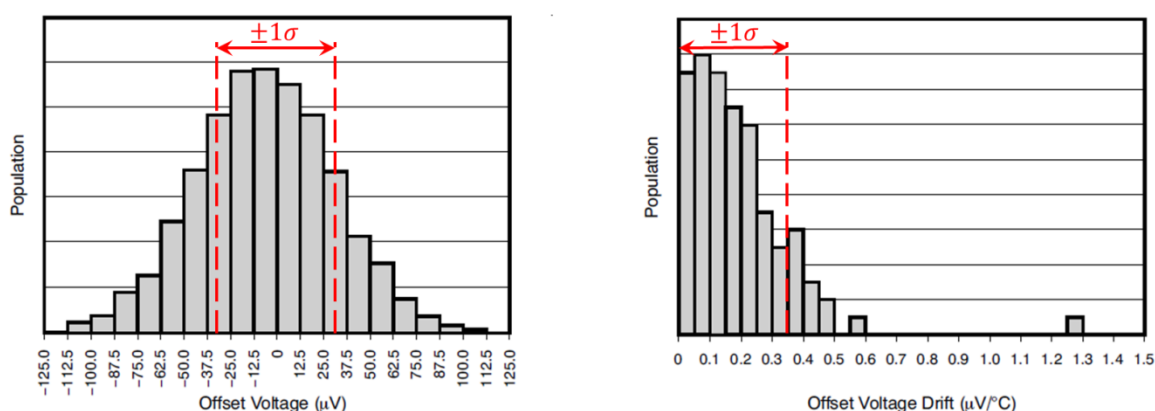


図 2.1.4 OPA211 の V_{OS} 仕様と分布

表 2.1.1 V_{OS} 範囲 - $\mu\text{V} \sim \text{mV}$

オペアンプ	V_{OS} (最大) (ハイ・グレード)	V_{OS} ドリフト (最大) (ハイ・グレード)	テクノロジー -
OPA333 ^[2]	$\pm 10\mu\text{V}$	$\pm 0.05\mu\text{V}/^\circ\text{C}$	CMOS, Zero-Drift Series
OPA277 ^[3]	$\pm 20\mu\text{V}$	$\pm 0.15\mu\text{V}/^\circ\text{C}$	高精度バイポーラ
OPA188 ^[4]	$\pm 25\mu\text{V}$	$\pm 0.085\mu\text{V}/^\circ\text{C}$	CMOS, Zero-Drift Series
OPA192 ^[5]	$\pm 25\mu\text{V}$	$\pm 0.5\mu\text{V}/^\circ\text{C}$	CMOS, e-trim TM
OPA211 ^[6]	$\pm 50\mu\text{V}$	$\pm 0.85\mu\text{V}/^\circ\text{C}$	高精度バイポーラ
OPA827 ^[7]	$\pm 150\mu\text{V}$	$\pm 2.0\mu\text{V}/^\circ\text{C}$	高精度バイポーラ、JEFT input
OPA350 ^[8]	$\pm 500\mu\text{V}$	$\pm 4\mu\text{V}/^\circ\text{C}$ (標準)	CMOS
OPA690 ^[9]	$\pm 4\text{mV}$	$\pm 10\mu\text{V}/^\circ\text{C}$	高速バイポーラ
LM741A ^[10]	$\pm 3\text{mV}$	$\pm 15\mu\text{V}/^\circ\text{C}$	汎用バイポーラ、低コスト

2.1.3 V_{OS} のシミュレーション

2.1.1 項で述べたように、ほとんどのオペアンプ・マクロモデルでは、 V_{OS} がモデル化されています。実際のデバイスでは、電源電圧 V_S や同相モード電圧 V_{COM} などのテスト条件が V_{OS} に影響を与えます。

図 2.1.6 の V_{OS} シミュレーションでは、OPA350 の電源電圧 V_S と、コモンモード電圧 V_{COM} を、図 2.1.5 の V_{OS} テスト条件に一致させています。シミュレーション結果 (VM1, VM2) は、図 2.1.5 の V_{OS} (TYP) 仕様に一致しています。

Electrical Characteristics

$V_S = 2.7\text{ V to }5.5\text{ V}$; All specifications at $T_A = 25^\circ\text{C}$, $R_L = 1\text{ k}\Omega$ connected to $V_S/2$ and $V_{OUT} = V_S/2$, unless otherwise noted.

PARAMETER		TEST CONDITIONS	MIN	TYP ⁽¹⁾	MAX	UNIT
OFFSET VOLTAGE						
V_{OS}	Input offset voltage	$V_S = 5\text{ V}$		± 150	± 500	μV
		$T_A = -40^\circ\text{C to }85^\circ\text{C}$			± 1	mV
		vs Temperature	$T_A = -40^\circ\text{C to }85^\circ\text{C}$		± 4	

図 2.1.5 OPA350 の V_{OS} 仕様

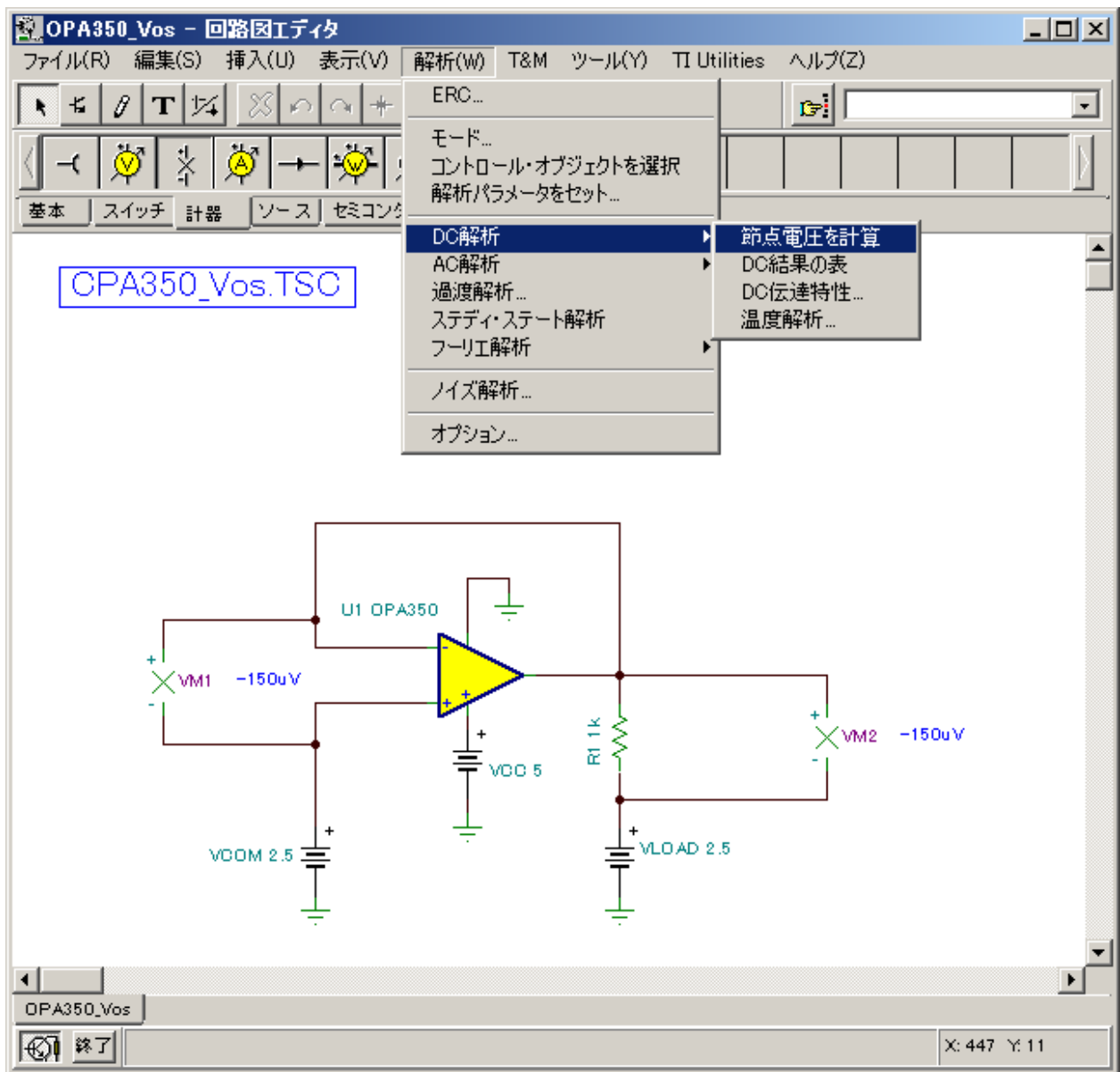


図 2.1.6 OPA350 の V_{OS} シミュレーション

2.1.4 V_{OS} ドリフト – dV_{OS}/dT

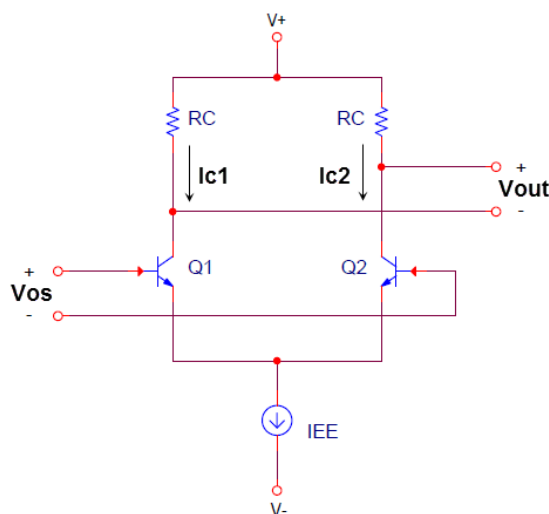


図 2.1.7 バイポーラオペアンプの V_{OS} ドリフトを計算するための簡略化回路

図 2.1.7 に示したバイポーラオペアンプの V_{OS} ドリフトを計算するための簡略化回路において、 Q_2 のベース - エミッタ間電圧 V_{BE2} は下式で表されます。

$$V_{BE2} = \frac{kT}{q} \ln \frac{I_{C2}}{I_{S2}} \quad \dots \text{式 2.1.3}$$

上式から、 V_{BE2} の温度係数 dV_{BE2}/dT は下式で表されます。

$$\frac{dV_{BE2}}{dT} = \frac{k}{q} \ln \left(\frac{I_{C2}}{I_{S2}} \right) - \frac{kT}{qI_{S2}} \frac{dI_{S2}}{dT} = \frac{V_{BE2}}{T} - \frac{kT}{qI_{S2}} \frac{dI_{S2}}{dT} \quad \dots \text{式 2.1.4}$$

上式の第 2 項は、 Q_2 の逆方向バイアス飽和電流、 I_{S2} の温度係数を示します。

式 2.1.4 から、入力オフセット電圧 V_{OS} の温度ドリフト dV_{OS}/dT は下式で表されます。

$$\frac{dV_{OS}}{dT} \approx \frac{dV_{BE2}}{dT} - \frac{dV_{BE1}}{dT} = \left(\frac{V_{BE2} - V_{BE1}}{T} \right) - \frac{kT}{qI_{S2}} \frac{dI_{S2}}{dT} + \frac{kT}{qI_{S1}} \frac{dI_{S1}}{dT} \quad \dots \text{式 2.1.5}$$

IC オペアンプの特性がマッチングした差動ペア・トランジスタは $I_{S1} \approx I_{S2}$ であるため、上式は下式で近似することができます。

$$\frac{dV_{OS}}{dT} \approx \frac{V_{BE2} - V_{BE1}}{T} \approx \frac{V_{OS}}{T} \quad \dots \text{式 2.1.6}$$

表 2.1.1 に示す汎用バイポーラ・オペアンプ LM741A の、室温 25°C (298°K) における最大入力オフセット電圧 ($V_{OS} = 3mV$) を上式に代入すると、最大温度ドリフトは、およそ 10 $\mu V/^{\circ}C$ となります。

$$\frac{dV_{OS}}{dT} \approx \frac{V_{OS}}{T} \approx \frac{3 [mV]}{298 [^{\circ}K]} \approx 10 \left[\frac{\mu V}{^{\circ}K} \right] \quad \dots \text{式 2.1.7}$$

2.1.5 オフセット電圧を低減するための技術 抵抗トリミング

高精度オペアンプを開発する時の基本的な目標は、入力オフセット電圧を可能な限り低く抑えることです。そのためにはまず差動入力段を構成する部品のはらつきを低く抑える必要があります。トランジスタや抵抗のはらつきは、フォトリソグラフィの解像度や拡散工程の精度の限界で変動し、標準で数 mV の入力オフセット電圧が発生しますが、表 2.1.2 に示す抵抗トリミングの手法を用いることにより、表 2.1.1 に示す高精度オペアンプの例のように、最大で数 10 μ V まで低減することが可能です。

表 2.1.2 オペアンプ IC のオフセット電圧をトリミングするための主な手法

トリム手法	処理	工程
レーザ	薄膜抵抗にレーザ光を照射し、選択的に溶断して、抵抗値を連続的に変化させる。	ウエハ工程
リンク	2進加重された抵抗を直列に接続し、各抵抗の両端に、電流パルスで溶断できる幅のアルミニウム配線、または逆方向の大電流で短絡するツェナー・ダイオードによるリンクを配置し、リンクをプログラムして直列抵抗値をステップ状に変化させる。	
パッケージレベル	ウエハ工程のリンク・トリムに加え、チップ上のプログラマブル・リードオンリー・メモリ (PROM) を使用して、パッケージング後に最終的なリンク・トリムを実施。	ウエハ工程とパッケージング後

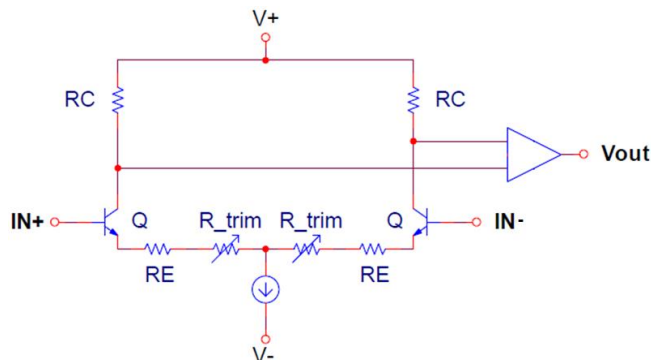


図 2.1.8 レーザ・トリム

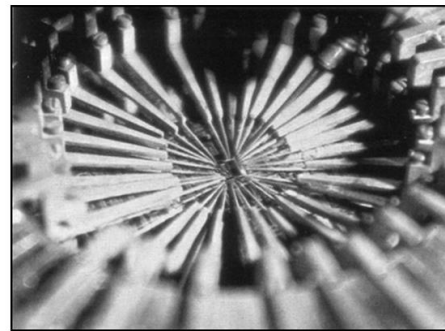


図 2.1.9 レーザ・トリマ^[11]

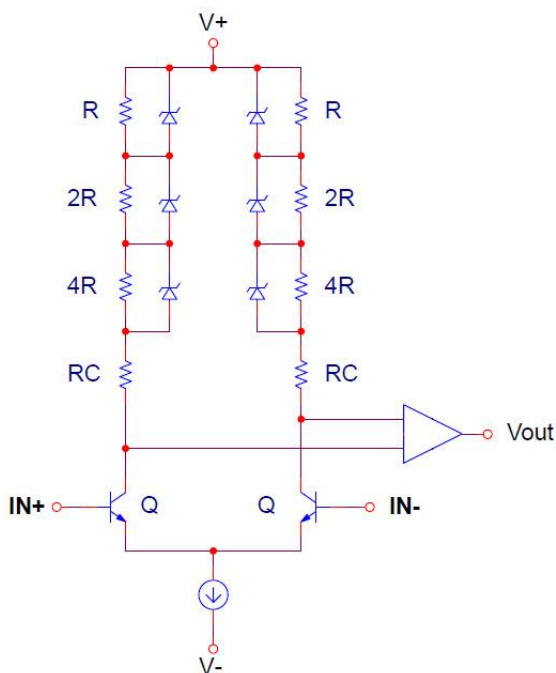


図 2.1.10 リンク・トリム (ツェナー・ダイオード)

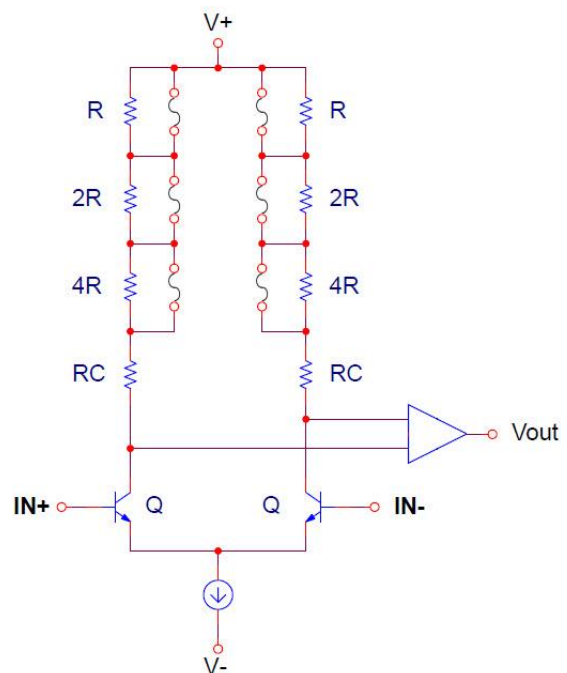


図 2.1.11 リンク・トリム (アルミニウム配線)

チョッパ・アンプ

熱電対による温度測定や、ひずみゲージによる重さ測定など、微弱なセンサー出力を増幅するアプリケーションの歴史は古く増幅作用を持つ最初の能動素子である真空管の時代には、図 2.1.12 に示すチョッパアンプが考案されました。これは、DC 信号をチョッピングして AC 結合で出力段に送り、同期整流器で DC 信号に戻して入力オフセット電圧をキャンセルする方式でした。

この方式は、非常に低いオフセットとオフセット・ドリフトが得られる一方で、DC 信号をチョッピングするメカニカル振動子の応答時間と、チョッパ・ノイズを低減するための低域フィルタの過渡応答時間により、帯域幅が大きく制限されました。

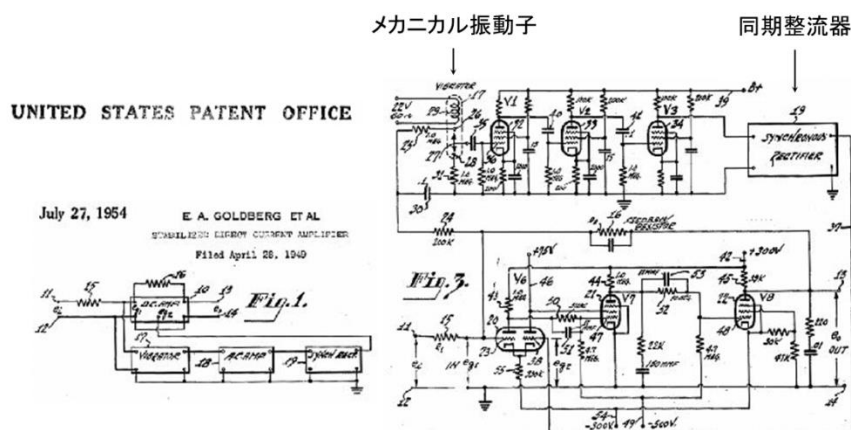


図 2.1.12 チョッパアンプの考案 [12]

バイポーラ・プロセスを使用した最初のモノリシック・オペアンプの $\mu\text{A}702$ は 1963 年に発表されました。1970 年代になると、バイポーラ・プロセスに MOS FET や CMOS FET を組み込んだ BiMOS や BiCMOS のプロセスによるオペアンプが実用化されます。

テキサスインスツルメンツが 1988 年に発表したチョッパオペアンプ TLC2654 は、LinCMOS™ プロセスの特長を活かす新方式のチョッパオペアンプです。TLC2654 は、図 2.1.13 の簡略化ブロック図に示すように、Main アンプ、Null アンプ、内部発振器制御のスイッチ A, B を内蔵し、外付キャパシタ C_{XA} , C_{XB} との組み合わせで、入力オフセット電圧 $V_{OS} = 10\mu\text{V}(\text{MAX})$ 、温度ドリフト $V_{OS}/dT = 0.05\mu\text{V}(\text{MAX})/^\circ\text{C}$ を達成しています。

スイッチ A が ON (B は OFF) の状態では Null アンプの入力が短絡されているため、出力には Null アンプ自身のオフセット電圧が発生し、その電圧は Null アンプ自身にフィードバックされ Null アンプのオフセット電圧をキャンセルします。この電圧は C_{XA} のコンデンサにチャージされ、スイッチが切り替わっても保持されます。次に、スイッチ A が OFF (B は ON) の状態では、Main アンプのオフセット電圧を含んだ信号を Null アンプが増幅し、Main アンプのオフセットをキャンセルします。この電圧は C_{XB} にチャージされスイッチが切り替わっても保持されます。この動作を繰り返すことによりメインアンプの優れたオフセット特性を実現します。

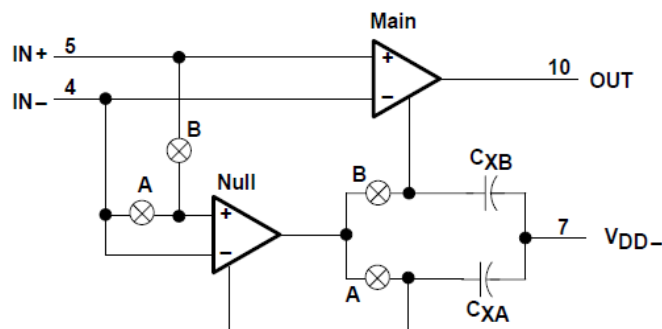


図 2.1.13 チョッパオペアンプ TLC2654 の簡略化ブロック図 [13]

オートゼロ・アンプ

1990年代前半にCMOSプロセスのテクノロジーノードはサブミクロンに到達し、1990年代後半にはデジタルCMOSプロセスにアナログ素子を混載した大規模なシステム・オン・チップLSIの実用化が始まります。テキサスインスツルメンツが2006年に発表したDDC264は医療用CT用に開発されたアナログフロントエンドLSIです。図2.1.15のブロック図に示すように、微弱なフォトダイオード電流を電圧に変換する64chのフロントエンド積分アンプと32個の20bitデルタシグマADCを集積しています。図2.1.14に示すようにフロントエンド積分アンプは2回路(A/B)あり、積分期間とリセット期間で交互に切り替えられます。

積分アンプの入力オフセット電圧はオートゼロ・サイクルで低減されます。図2.1.15に示す、期間a)では積分キャパシタがVREFとGNDに接続され出力電圧はVREFにリセットされます。期間b)では、入力と出力が解放されADCは交互に動作する他方の積分アンプ出力電圧を変換します。期間c)では、入力が接続され入力電流の積分が始まります。期間d)では、積分出力が接続されAD変換が行われます。上記のサイクルにより、入力オフセット電圧は±0.001% of FSR (最大値)まで低減されます。

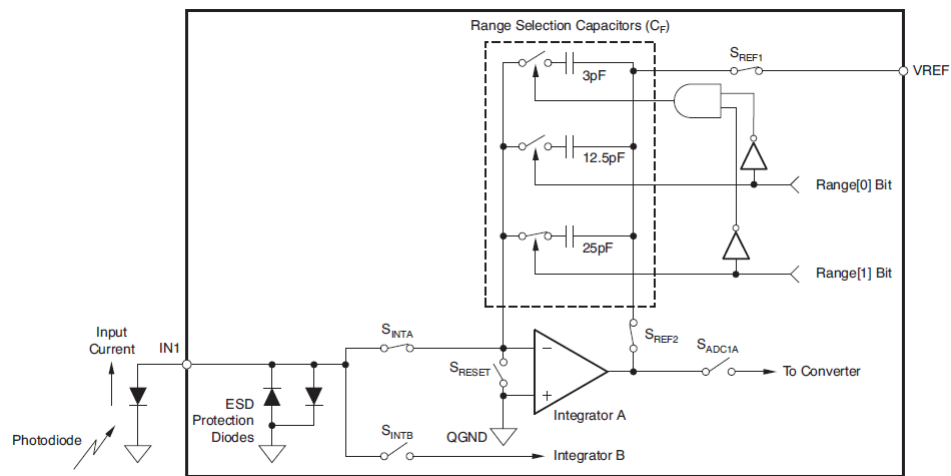


図 2.1.14 DDC264 フロントエンド積分アンプ [14]

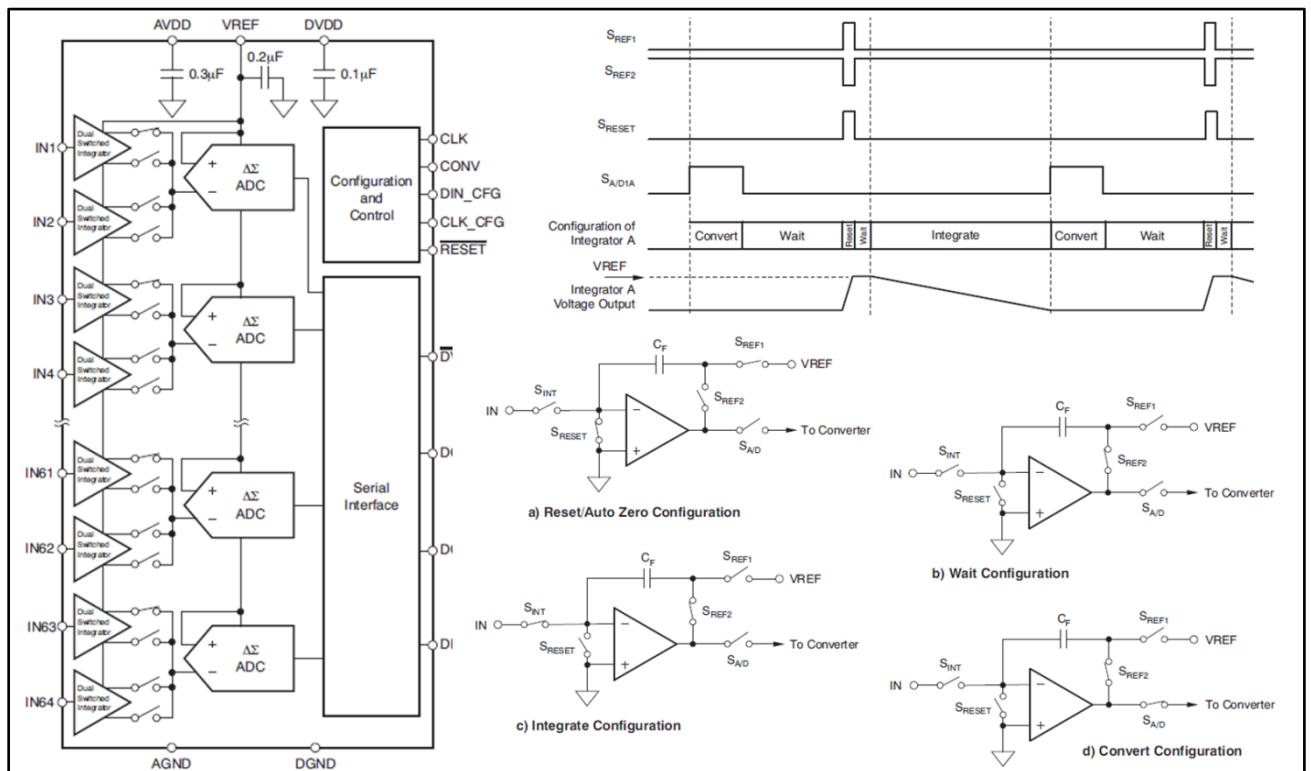


図 2.1.15 DDC264 のブロック図とフロントエンド積分アンプのオートゼロ・サイクル [14]

2.1.6 e-trim™

e-trim™ は、ウエハ・プロービング工程と、パッケージ後の出荷検査工程において、IC 内のデバイス・パラメータを調整するテキサス・インスツルメンツのプロプライエタリなパッケージレベル・トリム技術です。表 2.1.1 の OPA192 は、e-trim™ 技術を使用することにより、 $T_A = 25^\circ\text{C}$ における入力オフセット電圧を $V_{OS} = \pm 25\mu\text{V}$ (最大値) に、 $T_A = -45^\circ\text{C} \sim +125^\circ\text{C}$ における入力オフセット電圧・ドリフトを $V_{OS}/dT = \pm 0.5\mu\text{V}/^\circ\text{C}$ (最大値) に低減しています。

入力オフセット電圧ドリフトをトリムするとデバイスの線形ドリフト誤差がゼロになります。その結果、入力オフセット電圧ドリフトによる入力オフセット電圧 V_{OS} の誤差は、図 2.1.16 の、 **V_{OS} After e-trim** に示す、非線形誤差成分だけになります。

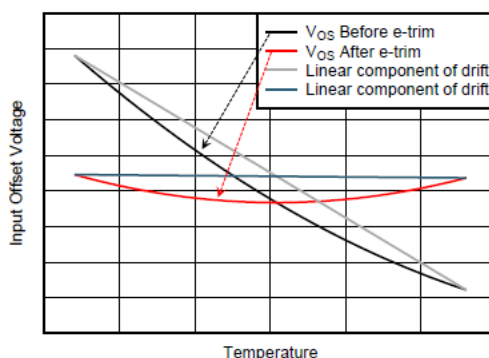


図 2.1.16 オフセット・ドリフト V_{OS}/dT をトリムする前と後の入力オフセット電圧 V_{OS} [5]

入力オフセット電圧ドリフトを規定する一般的な方法はボックス法です。ボックス法は入力オフセット電圧対温度曲線に境界ボックスを定義し、そのコーナーからドリフトを決定します。ボックスの対角を結ぶ線の傾きが入力オフセット電圧ドリフトに相当します。図 2.1.17 にボックス法を使用して OPA192 の入力オフセット電圧対温度特性をプロットした例を示します。

ボックス法は、比較的大きな線形の入力オフセット電圧ドリフトを解析するには有効ですが、OPA192 のように e-trim™ 技術により線形成分が取り除かれた、非線形の微小な入力オフセット電圧ドリフトを解析する目的には、あまり有効ではありません。

図 2.1.17 に OPA192 の入力オフセット電圧ドリフト対温度特性をボックス法でプロットした例を示します。ボックスの横軸は仕様温度範囲 ($T_A = -45^\circ\text{C}$ to $+125^\circ\text{C}$) を示し、縦軸は仕様温度範囲における最大入力オフセット電圧仕様 ($\pm 75\mu\text{V}$) を示します。ボックス法から算出された入力オフセット電圧ドリフトは $150\mu\text{V}/170^\circ\text{C} \approx 0.9\mu\text{V}/^\circ\text{C}$ となります。

図 2.1.17 に示すように、実際のオフセット電圧対温度特性の変化幅は、ボックス法から算出された値よりも、かなり小さくなります。ボックス法は、最大入力オフセット電圧仕様に基づいた、ワーストケースの入力オフセット電圧ドリフトを予測する方法であり、微小な入力オフセット電圧ドリフト特性の誤差解析には、あまり有効ではありません。

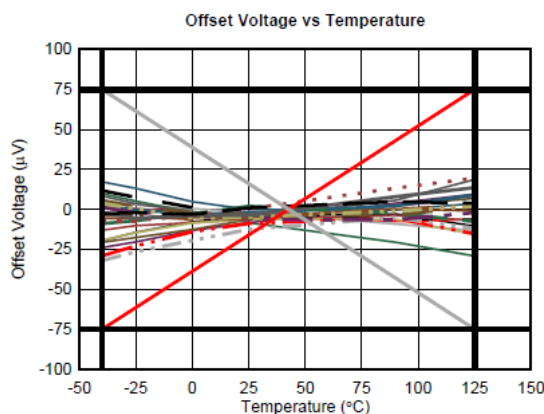


図 2.1.17 OPA192 の入力オフセット電圧ドリフト対温度特性をボックス法でプロットした例 [5]
(30 個の代表的な OPA192 ユニットを使用)

ボックス法に対し、微小な入力オフセット電圧ドリフト特性を解析する便利な方法として、入力オフセット電圧対温度曲線の傾斜を計算する方法があります。これは、入力オフセット電圧対温度曲線上の各点における、入力オフセットドリフトの計算に相当します。図 2.1.18 と図 2.1.19 に、OPAx192 ファミリによる上記の評価結果を示します。

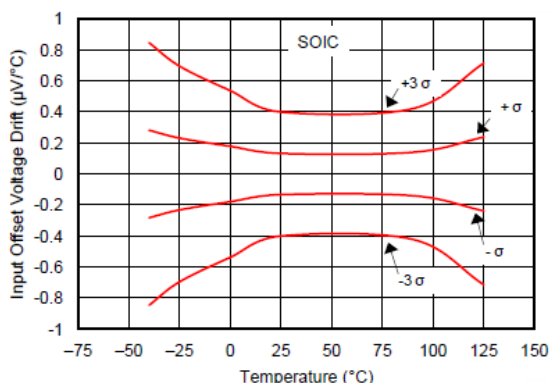


図 2.1.18 入力オフセット電圧ドリフト対温度特性^[5]
(OPA192ID, OPA2192ID)

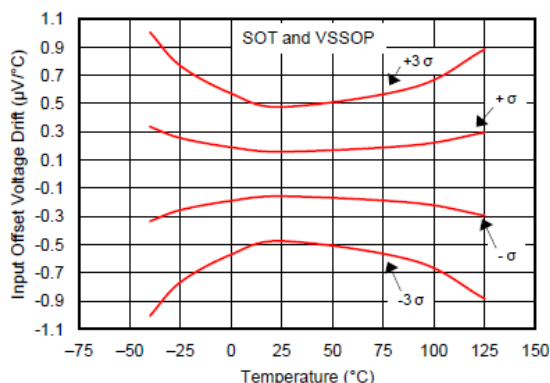


図 2.1.19 入力オフセット電圧ドリフト対温度特性^[5]
(OPA192IDBV, OPA192IDGK, OPA2192IDGK, OPA4192IPW)

図 2.1.18 に示すように、 -40°C から $+125^{\circ}\text{C}$ の全温度範囲仕様における入力オフセットドリフトの標準値 ($\pm\sigma$) は $\pm 0.3\mu\text{V}/^{\circ}\text{C}$ 以下です。全温度範囲仕様の誤差解析には、データシートの電気的特性表に記載された入力オフセットドリフトの標準値と、最大値を用います。軽減された温度範囲における誤差解析には、図 2.1.18 と図 2.1.19 の入力オフセットドリフトを用います。

入力オフセット電圧の変化 ΔV_{OS} は、下式で表されます。

$$\Delta V_{OS} = \Delta T \times dV_{OS}/dT \quad \dots \text{式 2.1.8}$$

ここで、

- ΔV_{OS} = 入力オフセット電圧の変化 [μV]
- ΔT = 温度の変化 [$^{\circ}\text{C}$]
- dV_{OS}/dT = 入力オフセット電圧ドリフト [$\mu\text{V}/^{\circ}\text{C}$]

例として、OPA192ID の温度範囲 $+25^{\circ}\text{C} \sim +75^{\circ}\text{C}$ における、入力オフセット電圧 V_{OS} の $1\sigma = 68\%$ 変化を計算します。図 2.1.18 から、 $+25^{\circ}\text{C} \sim +75^{\circ}\text{C}$ において、 1σ の入力オフセット電圧ドリフトは $0.15\mu\text{V}/^{\circ}\text{C}$ であり、入力オフセット電圧の 1σ 変化は $(75^{\circ}\text{C} - 25^{\circ}\text{C}) \times 0.15\mu\text{V}/^{\circ}\text{C} = 7.5\mu\text{V}$ となります。

同様に、 $3\sigma = 99.7\%$ 変化を計算すると、 3σ の入力オフセット電圧ドリフトは $0.4\mu\text{V}/^{\circ}\text{C}$ であり、入力オフセット電圧の 3σ 変化は $(75^{\circ}\text{C} - 25^{\circ}\text{C}) \times 0.4\mu\text{V}/^{\circ}\text{C} = 20\mu\text{V}$ となります。

図 2.1.20 に OPA192ID の入力オフセット電圧対温度特性を示します。

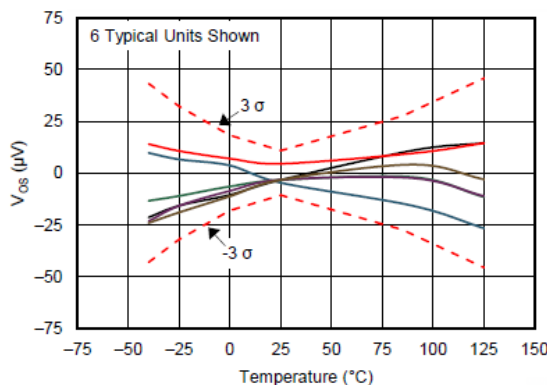


図 2.1.20 入力オフセット電圧対温度特性 (OPA192ID)^[5]

2.1.7 マイクロパワー・ゼロドリフト・オペアンプ

OPA333は、オートゼロ・トポロジーによる新世代のマイクロパワー・ゼロドリフト・オペアンプです。図2.1.21と図2.1.22に示すように、高精度アナログCMOSプロセスの特長を活かす、入出力間の同期通信機能を持つチョップ入力段と同期積分機能を持つスイッチドキャパシタ(SC)ノッチフィルタの採用により、表2.1.3に示す優れたDC特性、ノイズ特性、僅か17 μ Aの静的消費電流、1.8V~5.5Vの電源電圧範囲を達成しています。

表 2.1.3 マイクロパワー・ゼロドリフト・オペアンプ OPA333 の代表的特性^[2]

入力オフセット電圧 (最大値) [μ V]	ゼロドリフト (最大値) [μ V/ $^{\circ}$ C]	0.01 – 10Hz / 1 λ^2 (標準値) [μ Vpp]	GBW (標準値) [kHz]	静的消費電流 (標準値) [μ A]	電源電圧範囲 [V]
10	0.05	1.1	350	17	1.8~5.5

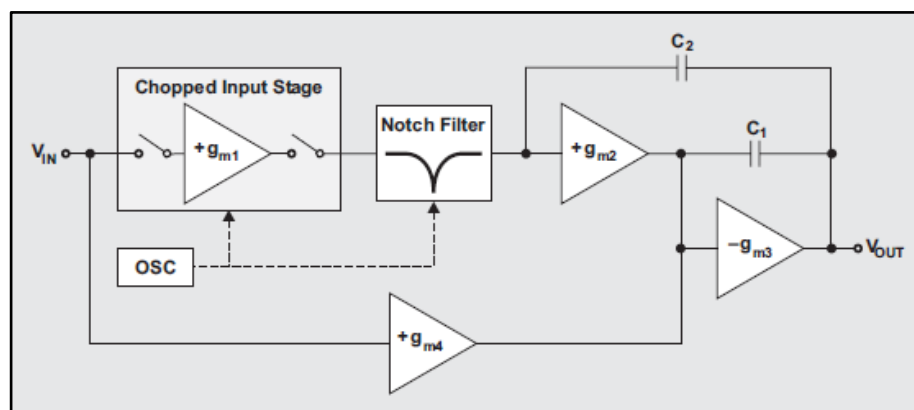


図 2.1.21 ゼロドリフトオペアンプ OPA333 の簡略化ブロック・ダイアグラム^[15]

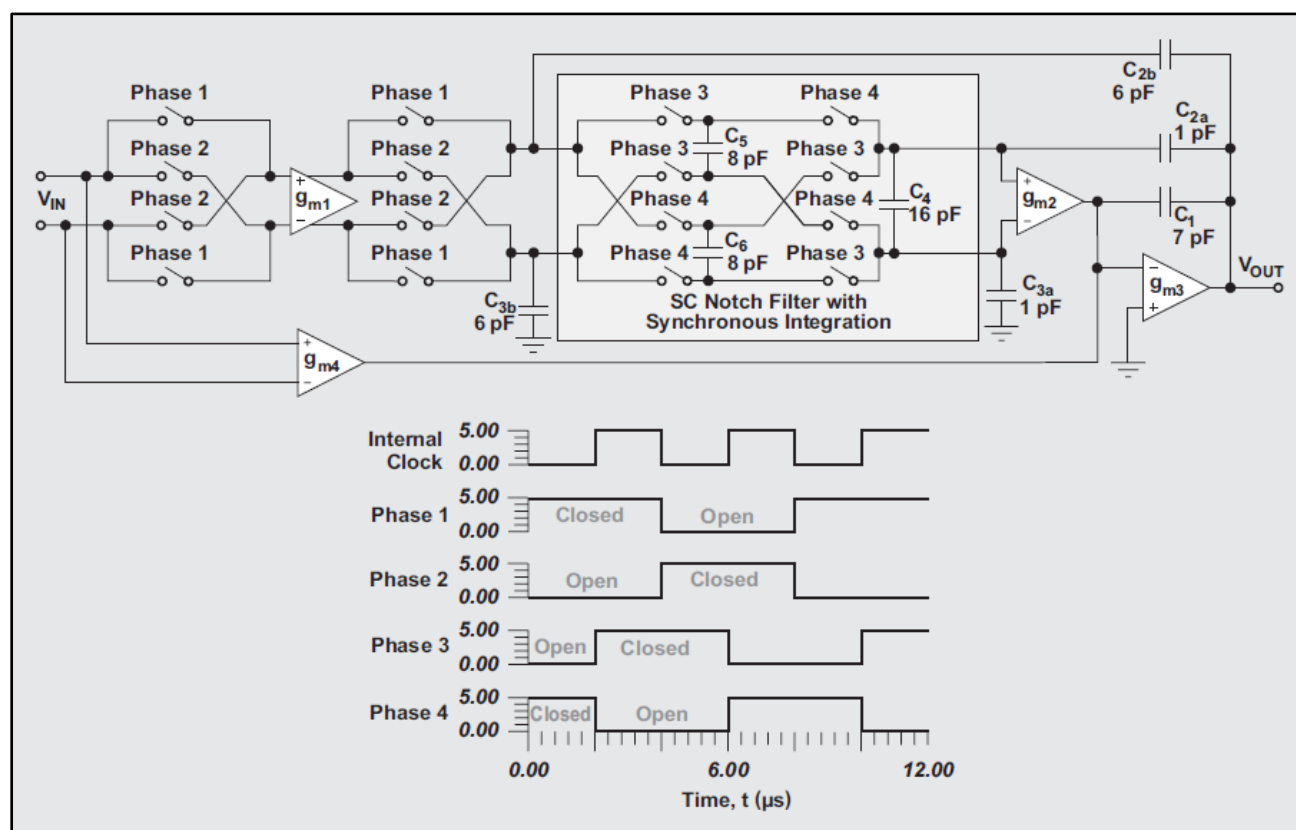


図 2.1.22 ゼロドリフトオペアンプ OPA333 の簡略化回路と動作タイミング^[15]

図 2.1.23 にチョッパ入力段の動作原理を示します。チョッパ入力段の出力オフセットは Phase1 と Phase2 の半サイクル毎に反転するため平均出力オフセットはゼロになります。アンプ自体は SC ノイズが発生しない連続時間アンプであるため、ワイドバンド・ノイズの折り返しが起こりません。チョッピングで発生する三角波電流がキャパシタ V_c を充放電しノイズを発生します。このノイズは、チョッパ・クロックに同期する三角波リップル電圧であり、そのピーク・ツー・ピーク振幅は入力オフセット電圧 V_{os} に比例します。リップル電圧の平均値はゼロとなり、後段の SC ノッチフィルタを通して周期性ノイズを除去すれば、出力電圧のオフセット電圧をゼロにできます。

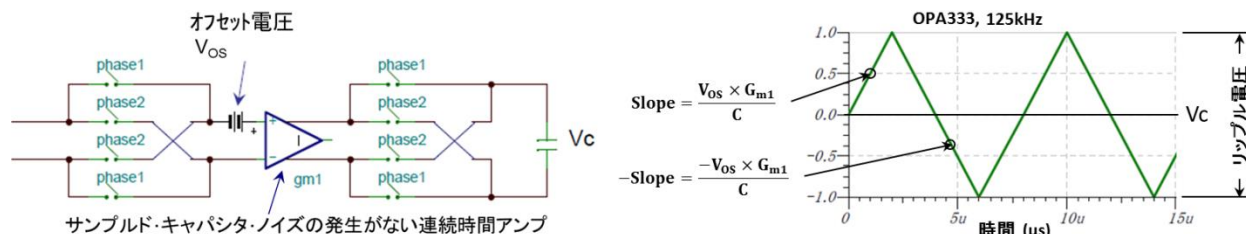


図 2.1.23 新しいチョッピングの原理

チョッピングで発生する三角波リップル電圧は、チョッピング周波数とその高調波に同期したシステムテックなノイズです。正確な 2 分周クロックによるシンメトリ・チョッピングでは奇数次高調波だけが発生します。OPA333 の基本クロック周波数はゲイン・バンド幅の 350kHz より低い 125kHz であるため、従来のチョッパ・アンプ技術ではノイズ が大きな問題になります。

SC ノッチフィルタのクロックとチョッピングのクロックは同期しているため、図 2.1.24 に示すように、チョッピングノイズの基本波と高調波の周波数はノッチ周波数に一致します。チョッピングノイズの基本周波数はフィルタ応答の最初のゼロ に対応し、続く奇数次高調波は一つ飛びのゼロ に対応します。この結果 チョッピング・ノイズはアンプのブロードバンド・ノイズ よりも小さくなり、時間領域の波形では観察できないほど小さくなります。

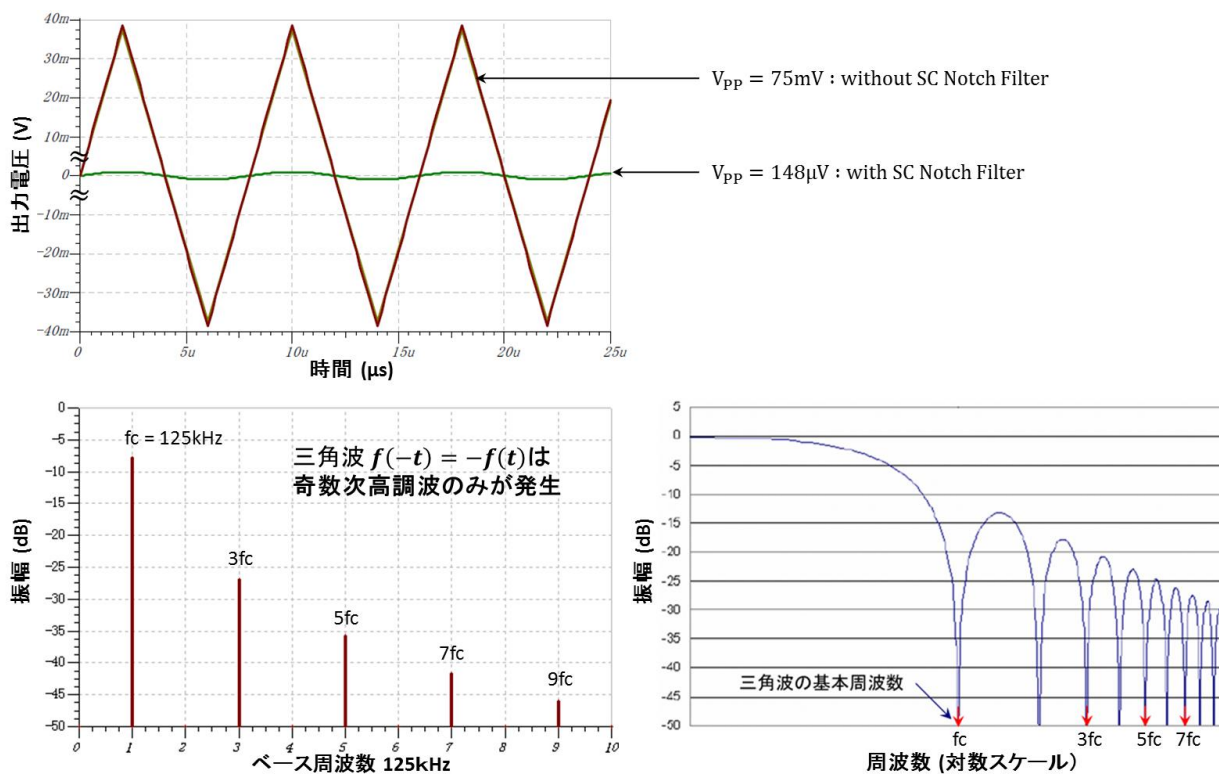


図 2.1.24 チョッパスプリアスノイズとスイッチドキャパシタパンタ (SC) 同期フィルタの特性

ここで、ゼロドリフト・アンプのノイズ特性を検討します。ノイズ成分に相関が無いと仮定すると、ゼロドリフト・アンプのノイズは、平坦で一様に分布するホワイト・ノイズ になります。通常のノンゼロ・アンプのノイズにはフリッカ・ノイズ が含まれます。フリッカ・ノイズは $1/f$ ノイズとも呼ばれ、低周波成分が強調されるために不安定性が表れます。ノイズ成分は周波数が低くなればなるほど増加するため、そのピーク・ツー・ピーク値は時間の増加につれて大きくなります。これがノンゼロ・アンプ・システムの長時間安定性に基本的な限界を与えています。

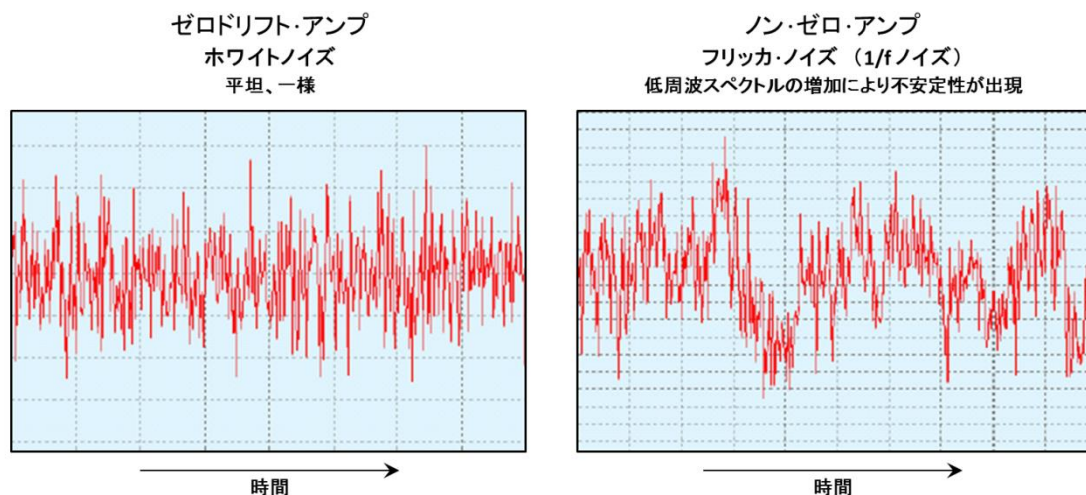


図 2.1.25 ホワイトノイズ対フリッカノイズ^[12]

通常のノンゼロ・アンプは周波数が下がるにしたがって単調に増加するフリッカ・ノイズを持ちます。オートゼロとチョッパ・アンプはフリッカ・ノイズ成分を持ちません。通常の高精度アンプのワイドバンド・ノイズは非常に低いもののフリッカ・ノイズは経時変化と温度変化に対して不安定です。

図 2.1.26 に示すプロットは、OPA277 高精度バイポーラ・オペアンプの低周波ノイズを OPA333 と比較したものです。静止電流が OPA333 よりおよそ 50 倍大きい OPA277 は、明らかに優れたワイドバンド・ノイズ特性を持っています。しかしながら、温度や圧力など、低速計測のアプリケーションでは、フリッカ・ノイズを持たない OPA333 が優れた長時間安定性と、低温度ドリフトの優位性を発揮します。

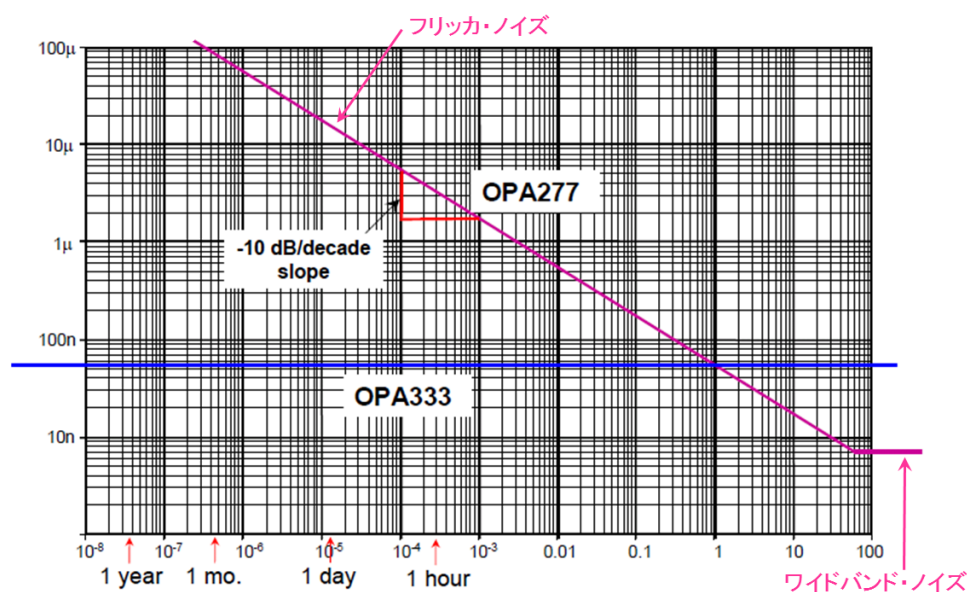


図 2.1.26 雑音密度^[12]

図 2.1.27 に OPA333 の 0.1Hz~10Hz ノイズを示します。オートゼロ・アンプはすべての周波数の強度が等しいホワイトノイズ・スペクトラル密度を示します。ノイズの振幅分布は、実用的な目的では正規分布とみなすことができるため、ノイズの実効値からピーク値を規定することができます。たとえば、実効値振幅の 6.6 倍をピーク値と規定すると、ノイズがピーク値を超える確率は僅か 0.1% です。

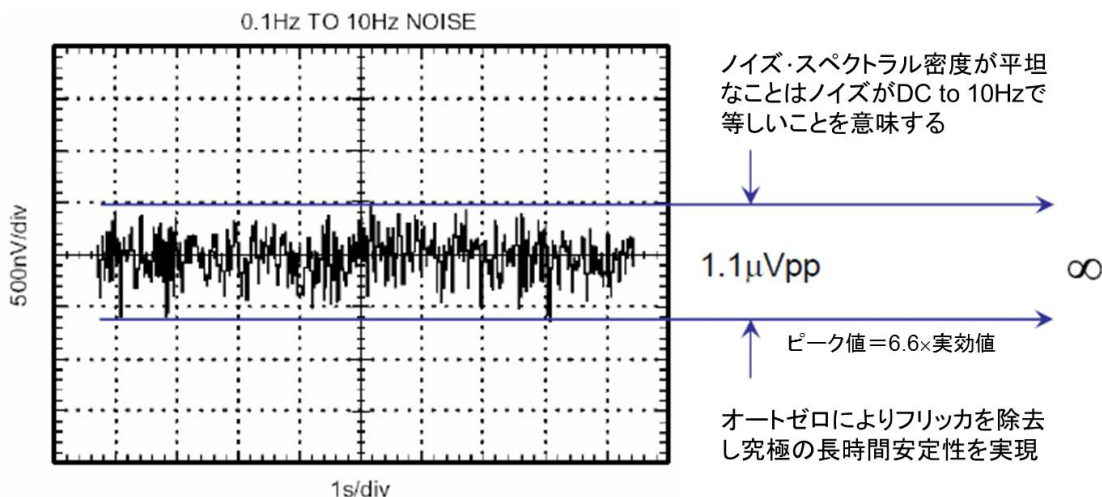


図 2.1.27 優れたフリッカノイズ除去性能 [12]

表 2.1.4 にテキサスインスツルメンツの代表的な高精度オペアンプの特性を示します。ドリフトとフリッカノイズ特性に優れ、1.8V の低電源電圧動作と僅か 17µA の静的消費電流を達成した OPA333 は、図 2.1.28 のポータブル計測システムや、図 2.1.28 のポータブル・メディカル・システムなどに最適です。

2013 年に発表された OPA188 は 36V 工業用電源に対応した、2MHz のゲイン・バンド幅 (GBW) を持つ、最新のゼロドリフト・オペアンプです。

表 2.1.4 代表的な高精度オペアンプの特性

モデル	OPA333	OPA277	OPA188	OPA192	OPA211	OPA827
発表年	2006	1999	2013	2013	2006	2006
入力オフセット電圧 [µV] (最大値)	±10	±20	±25	±25	±50	±150
入力オフセット・ドリフト [µV/°C] (最大値)	±0.05	±0.15	±0.085	±0.5	±0.85	±2
入力バイアス電流 [nA] (最大値)	±0.2	±1	±1.4	±0.02	±175	±0.01
入力電圧雑音密度 @1kHz [nV/√Hz] (標準値)	-	8	8.8	5.5	1.1	4
0.01Hz~10Hz ノイズ [µVpp] (標準値)	1.1	0.22	0.25	1.3	0.08	0.25
GBW [MHz] (標準値)	0.35	1	2	10	80	22
静的消費電流 [mA] (標準値)	0.017	0.79	0.45	1.2	3.6	5.2
電源電圧範囲 [V]	1.8~5.5	±2~±18	4~36, ±2~±18	4.5~36, ±2.25~±18	4.5~36, ±2.25~±18	±4~±18

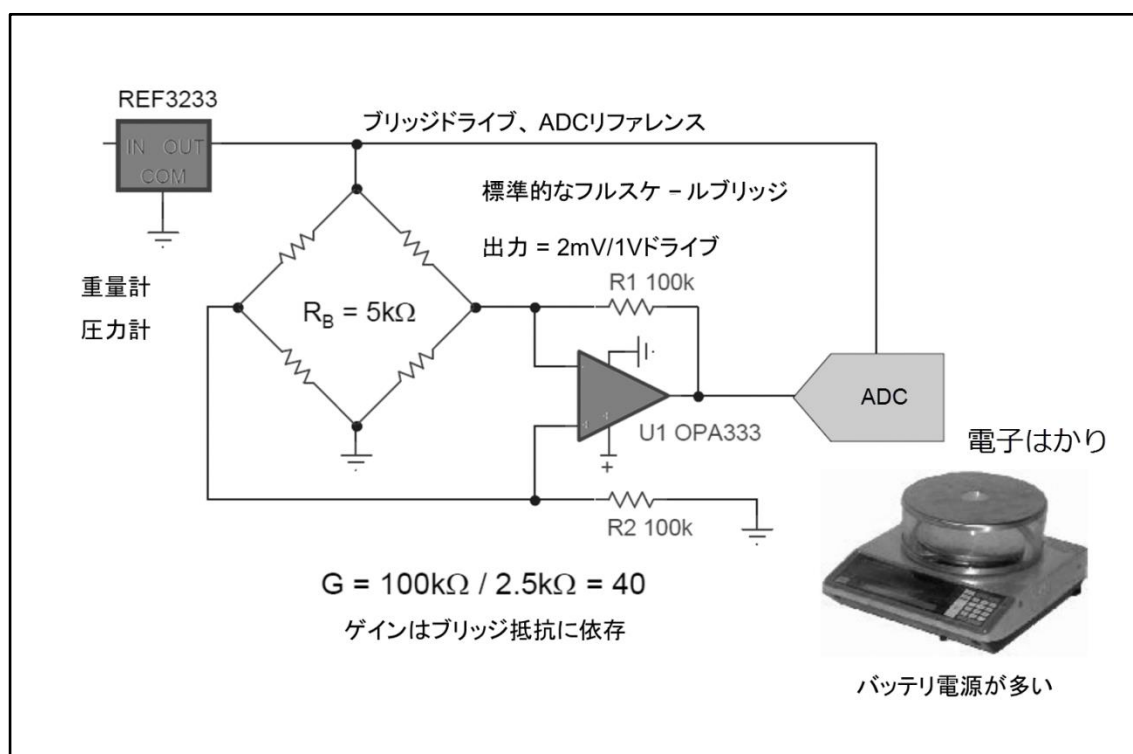


図 2.1.28 OPA333 のアプリケーション回路例 (ポータブル計測システム) [12]

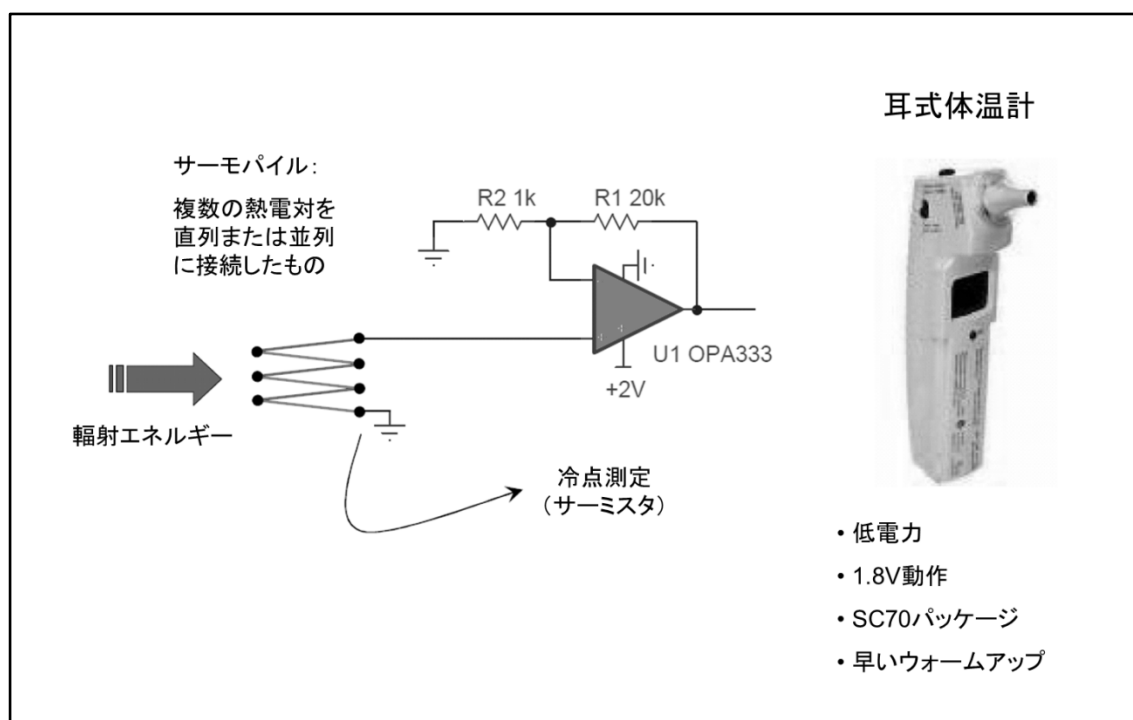


図 2.1.29 OPA333 のアプリケーション回路例 (ポータブル・メディカル・システム) [12]

参考文献

- [1] [TINA-TI によるオペアンプ回路設計入門 \(第7回\) 1.3.2 ボイルのオペアンプ・マクロモデル](#)
- [2] “OPAx333 Data Sheet”, SBOS351E, DECEMBER 2015, Texas Instruments Inc.
- [3] “OPAx277 Data Sheet”, SBOS079B, JUNE 2015, Texas Instruments Inc.
- [4] “OPA188 Data Sheet”, SBOS642A, MARCH 2013, Texas Instruments Inc.
- [5] “OPAx192 Data Sheet”, SBOS620E, NOVEMBER 2015, Texas Instruments Inc.
- [6] “OPAx2x11 Data Sheet”, SBOS377H, NOVEMBER 2015, Texas Instruments Inc.
- [7] “OPA827 Data Sheet”, SBOS376H, MAY 2012, Texas Instruments Inc.
- [8] “OPAx350 Data Sheet”, SBOS099D, DECEMBER 2015, Texas Instruments Inc.
- [9] “OPA690 Data Sheet”, SBOS223F, FEBRAURY 2010, Texas Instruments Inc.
- [10] “LM741 Data Sheet”, SBOSC25D, MAY 2015, Texas Instruments Inc.
- [11] “バー・ブラウン 1987 テクニカルセミナー・テキスト”, 1987年12月, 日本バー・ブラウン
- [12] “高精度アナログセミナー2010・テキスト”, JAJP013, November 2010, 日本テキサス・インスツルメンツ
- [13] “TLC2654 Data Sheet”, SLOS20G, APLIL 2011, Texas Instruments Inc.
- [14] “DDC264 Data Sheet”, SBAS368C, JULY 2011, Texas Instruments Inc.
- [15] “New zero-drift amplifier has an I_q of $17\mu A$ ”, SLYT272, Analog Application Journal 2Q 2007, Texas Instruments Inc.