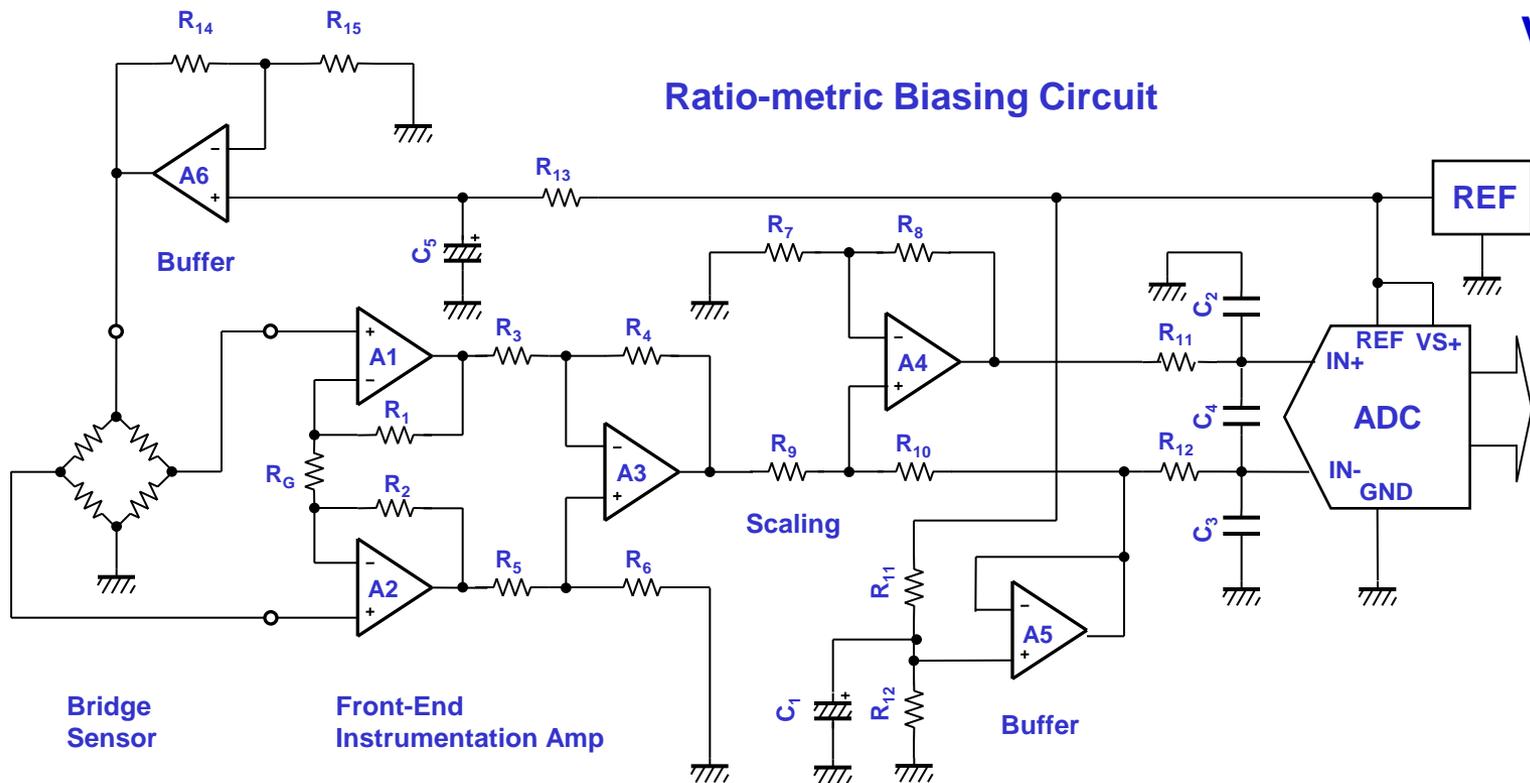


Let's learn Signal Chain

セッション8: A/Dコンバータの変換原理とその長所と短所

Ver.-2



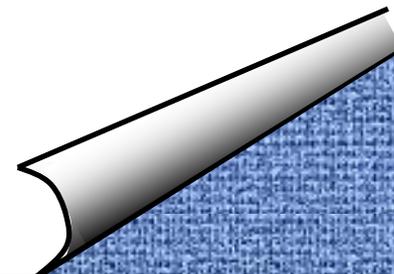
セッション・インデックス

✚ 8.1 各種の変換方式

- (1) 変換原理による達成可能な分解と変換速度
- (2) 変換原理による長所・短所比較
- (3) パイプライン型の変換原理
- (4) SAR (逐次比較) 型の変換原理
- (5) $\Delta\Sigma$ (デルタ・シグマ) 型の変換原理

✚ 8.2 $\Delta\Sigma$ (デルタ・シグマ) と SAR (逐次比較) の使い分け

- (1) 消費電流の比較
- (2) SARの長所と短所
- (3) $\Delta\Sigma$ の長所と短所
- (4) 使い分けのまとめとして...

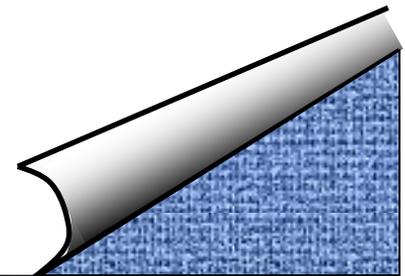


✚ 8.1 各種の変換方式

- (1) 変換原理による達成可能な分解と変換速度
- (2) 変換原理による長所・短所比較
- (3) パイプライン型の変換原理
- (4) SAR (逐次比較) 型の変換原理
- (5) $\Delta\Sigma$ (デルタ・シグマ) 型の変換原理

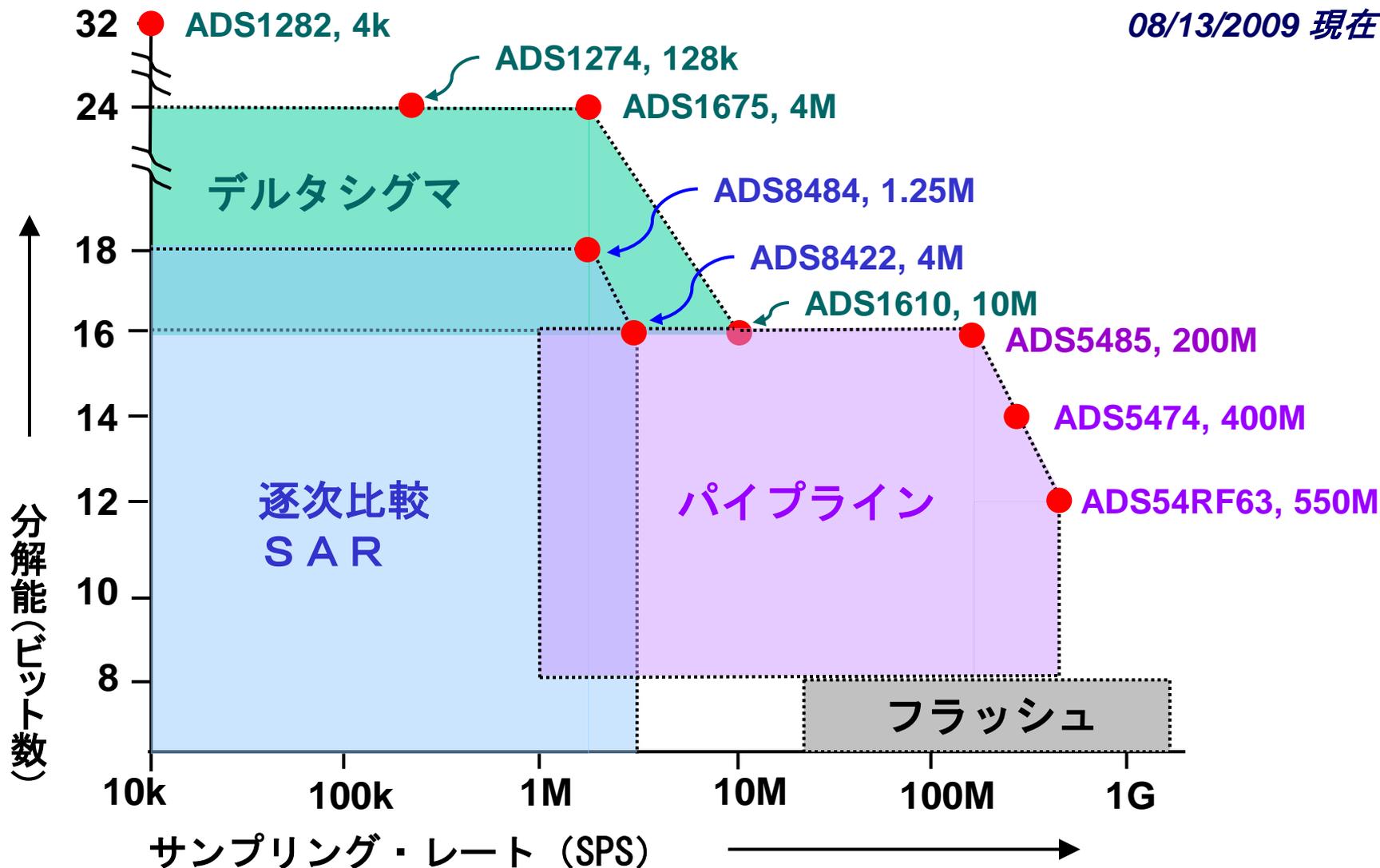
✚ 8.2 $\Delta\Sigma$ (デルタ・シグマ) と SAR (逐次比較) の使い分け

- (1) 消費電流の比較
- (2) SARの長所と短所
- (3) $\Delta\Sigma$ の長所と短所
- (4) 使い分けのまとめとして...



各種の変換方式：変換原理による達成可能な分解と変換速度

08/13/2009 現在

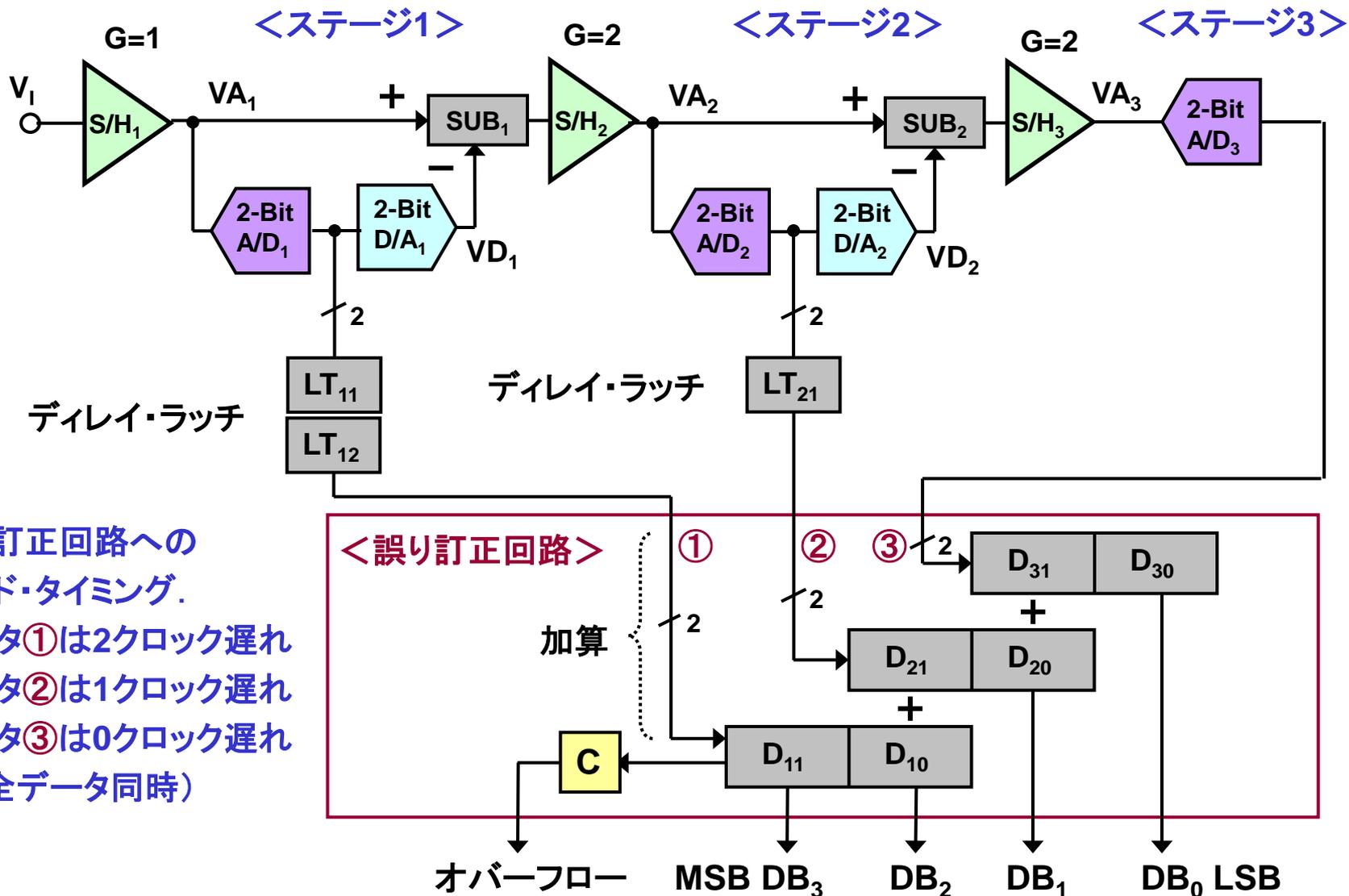


各種の変換方式: 変換原理による長所・短所の比較

方式	長所	短所	用途
逐次比較	変換スタートと変換間隔が管理できる	ラダー抵抗の積み重ね誤差で高分解能ではミッシングコードが発生	中速で多チャンネル入力用途。
パイプライン	高速な変換が可能	データ待ち受け時間がある	ビデオ帯域信号処理
デルタ・シグマ	高分解なA/Dが作成可能. ミッシングコードが発生しない	変換は低速で、変換データの時間軸上でのつき合わせができない。 (注)	DC的信号の高精度測定

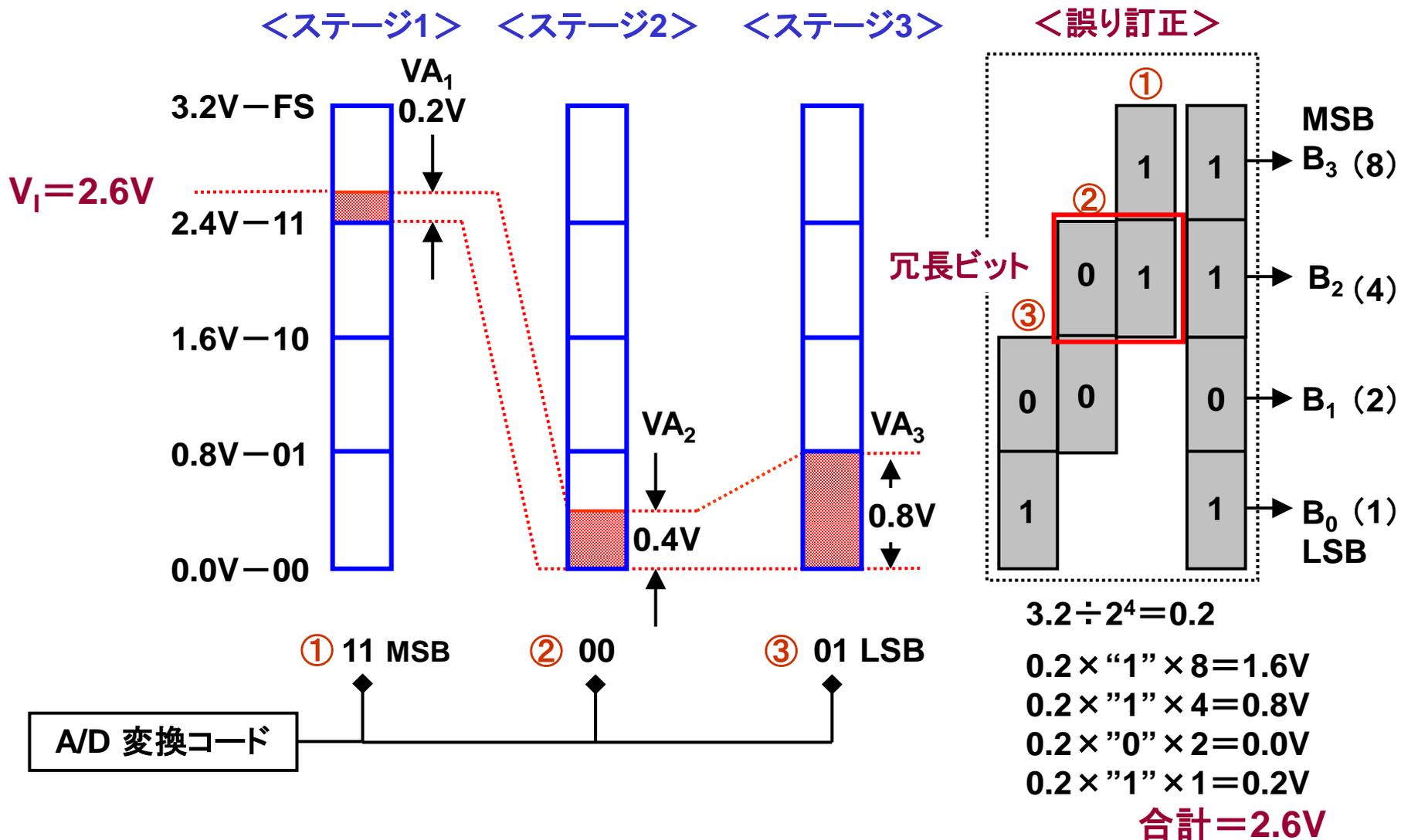
記事：TI製品では同期端子を利用して変換データの時間軸上の管理ができるものもある。

パイプライン型の変換原理: 機能ブロック図, 4ビットの例



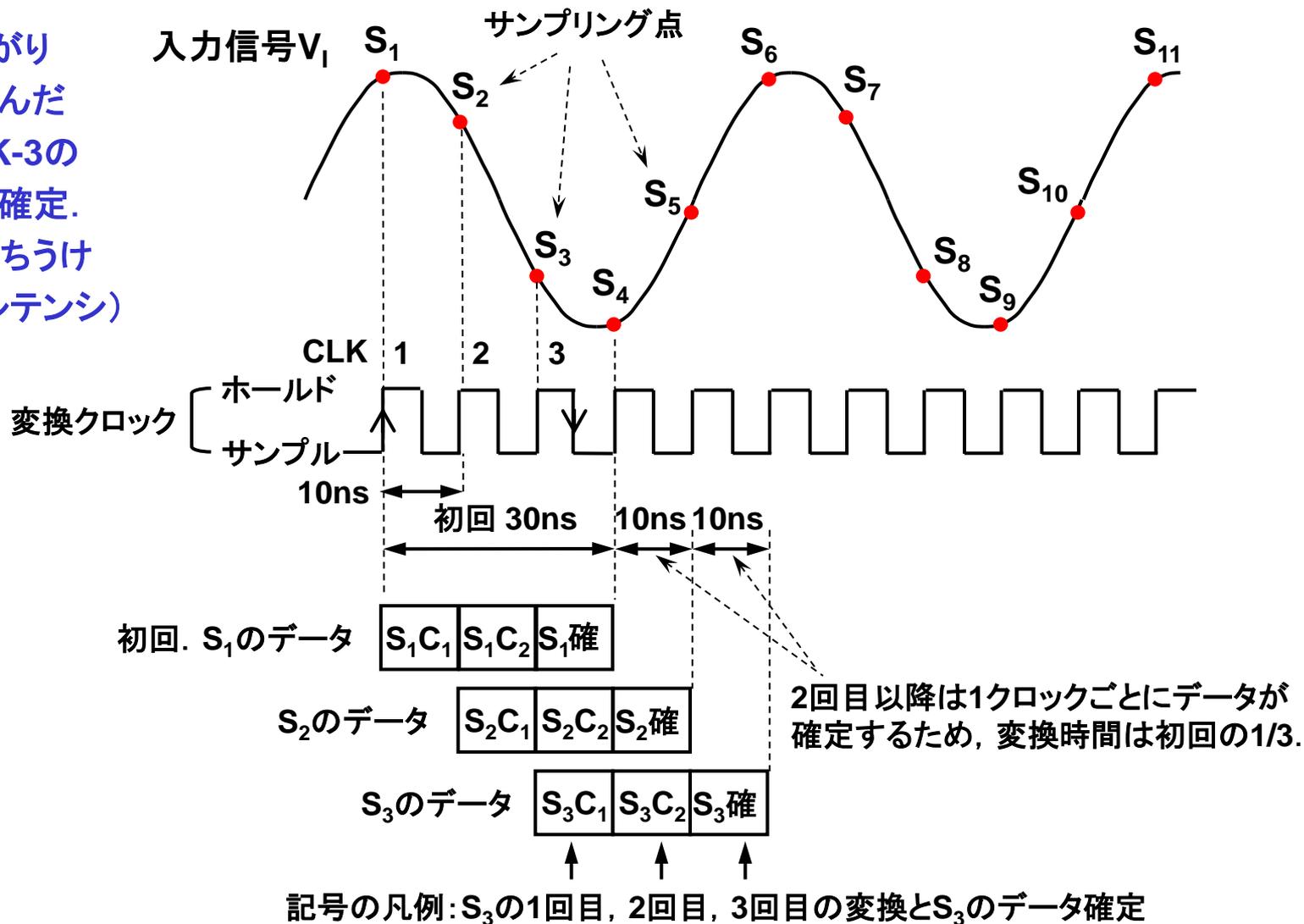
誤り訂正回路への
ロード・タイミング。
データ①は2クロック遅れ
データ②は1クロック遅れ
データ③は0クロック遅れ
(=全データ同時)

パイプライン型の変換原理: 数値化概念, 4ビットの例

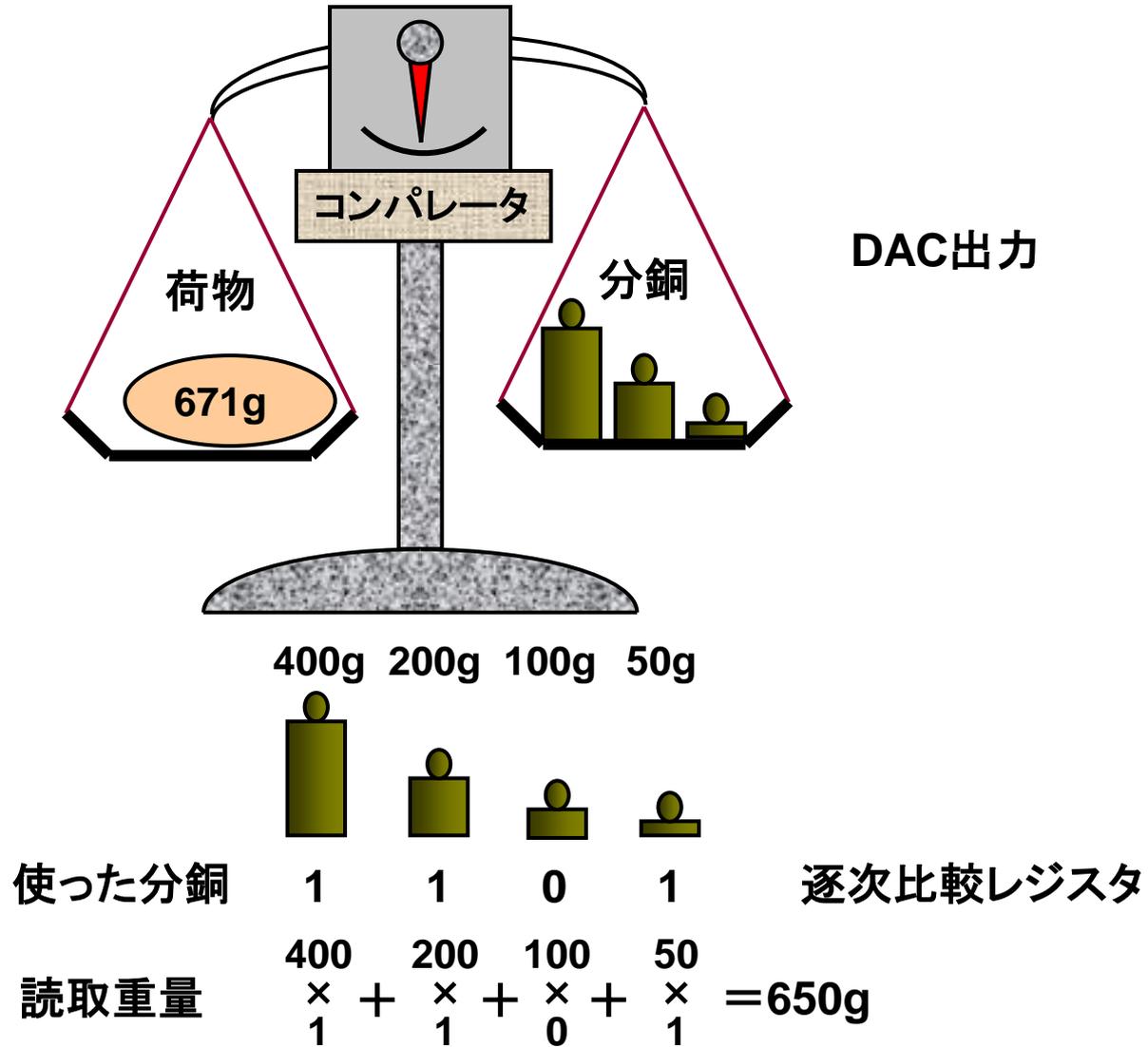


パイプライン型の変換原理: 信号波形と変換確定タイミング

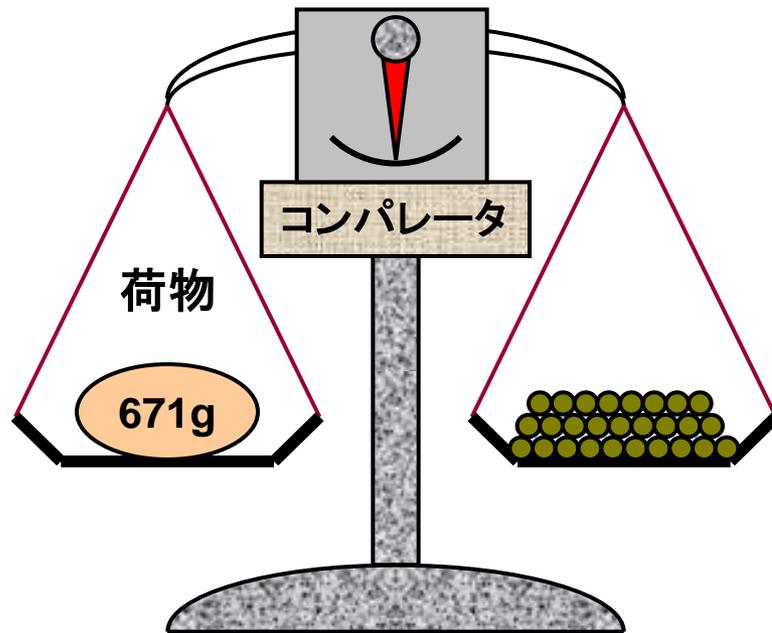
CLK-1の立上がりエッジで取り込んだ S_1 の V_i が, CLK-3の立下りエッジで確定. 故に, データ待ち受け時間(データ・レテンシ)は2.5クロック.



SAR (逐次比較) 型の変換原理: 数値化概念, 4ビットの例

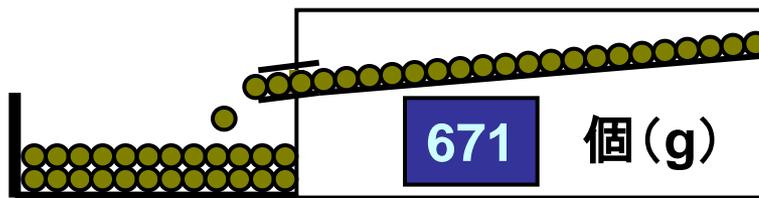


$\Delta\Sigma$ (デルタ・シグマ)型の変換原理: 数値化概念図



$\Delta\Sigma$ モジュレータ

1個1gのマチンコ玉 ●

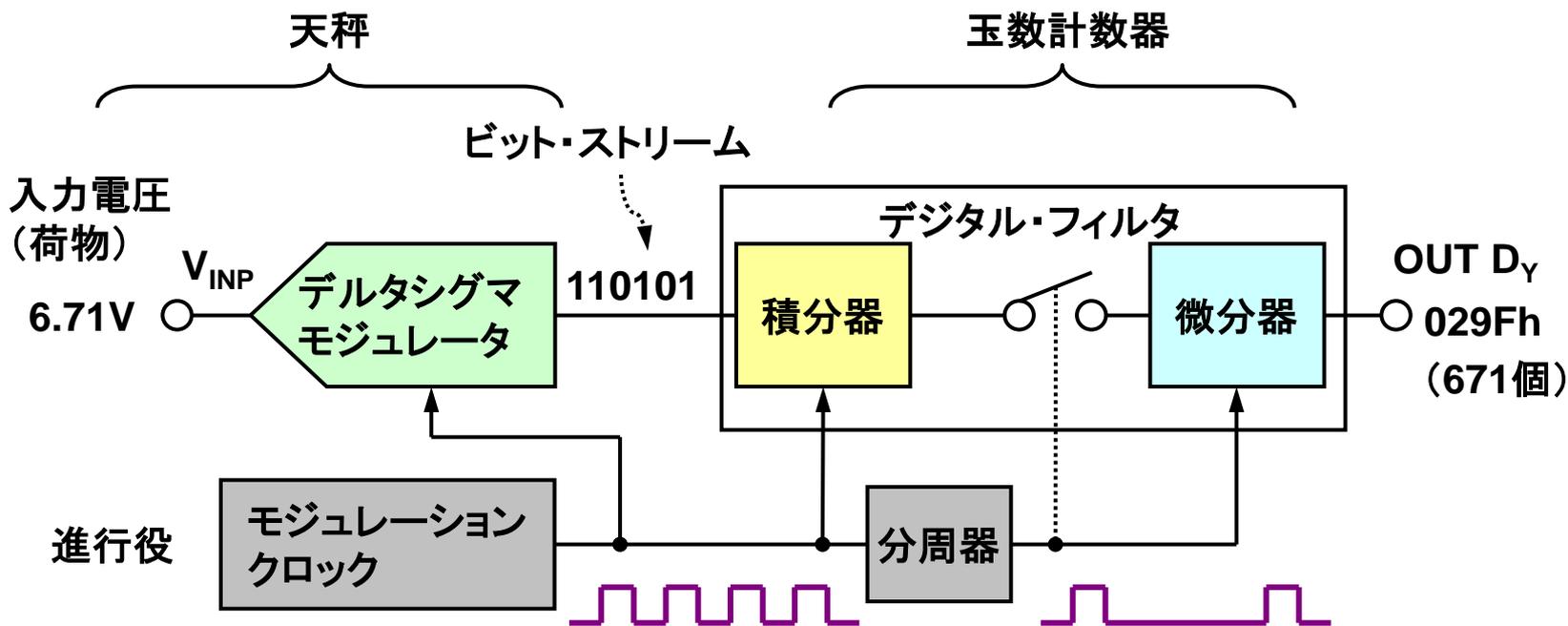


デジタル・フィルタ

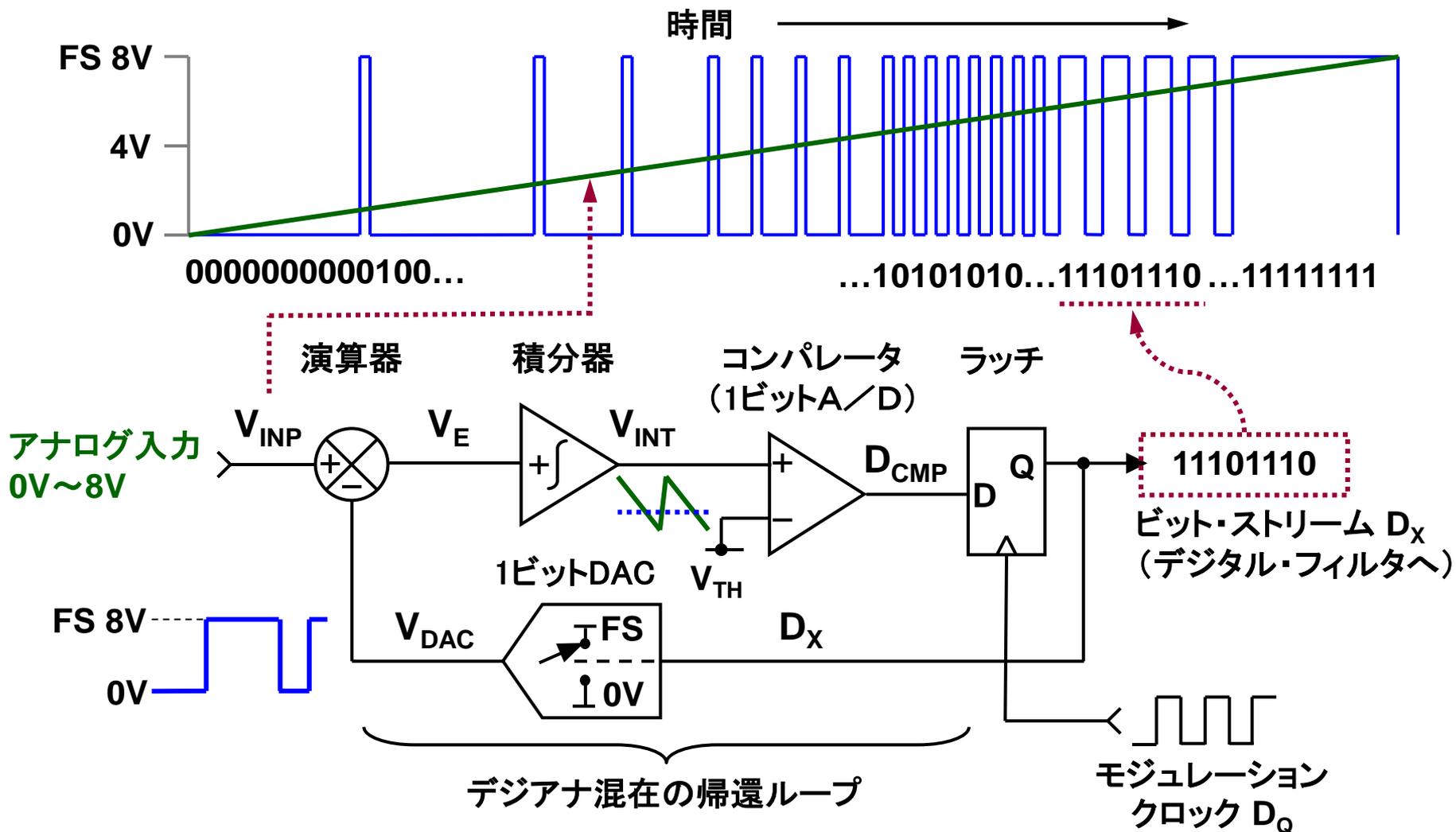
玉数計数器

△Σ型の変換原理:コンバータ全体の機能ブロック図

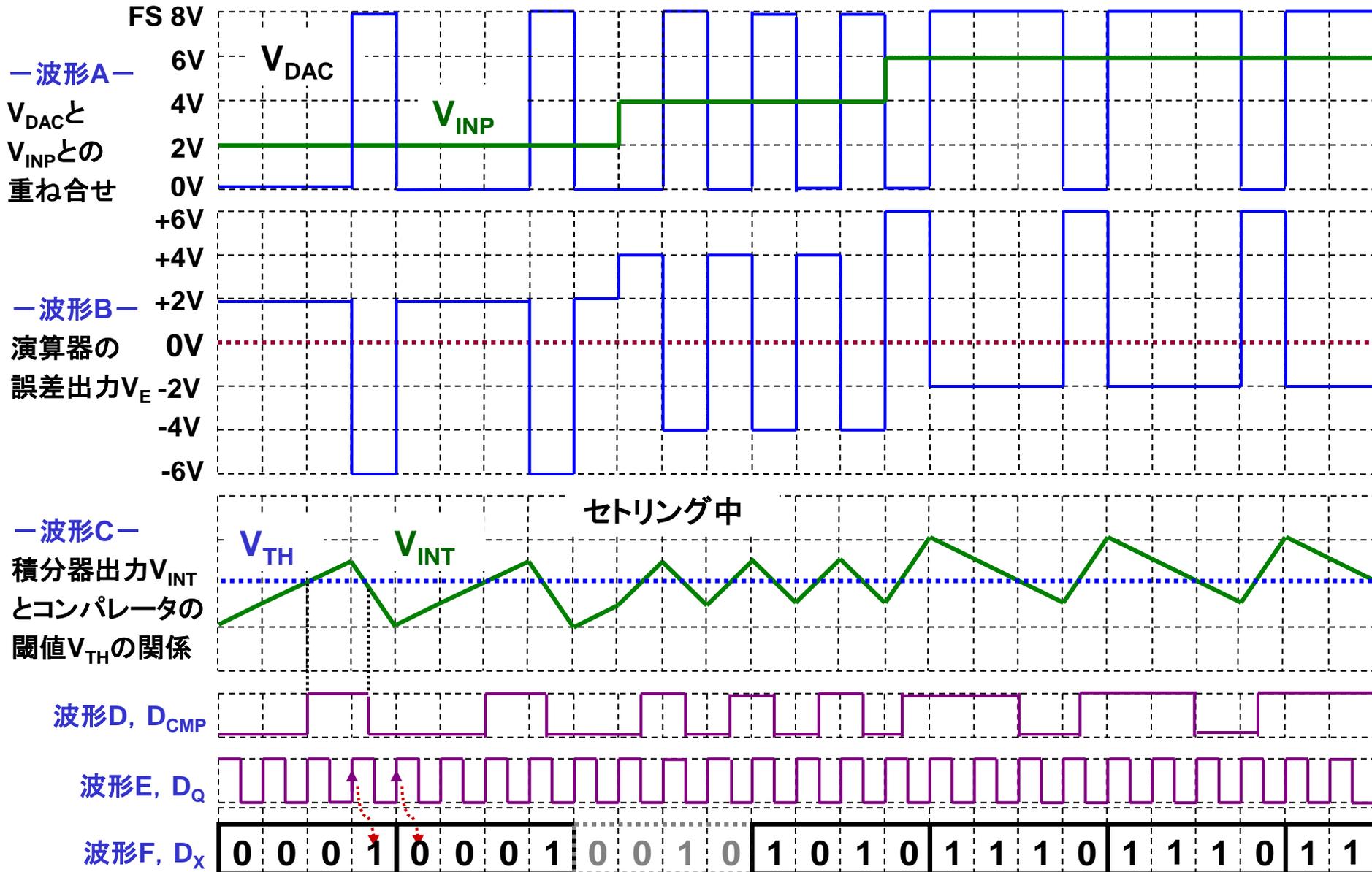
- デルタシグマA/Dの主要機能は、モジュレータとデジタル・フィルタに大別できる。
- モジュレータからは1と0で構成されるビット・ストリーム(ビット列)が出力される。
- モジュレータと V_{INP} (荷物)が釣り合ったときの1(パチンコ玉)の数が荷物の重量。



△Σ型の変換原理: △Σモジュレータのブロック図と各部の波形

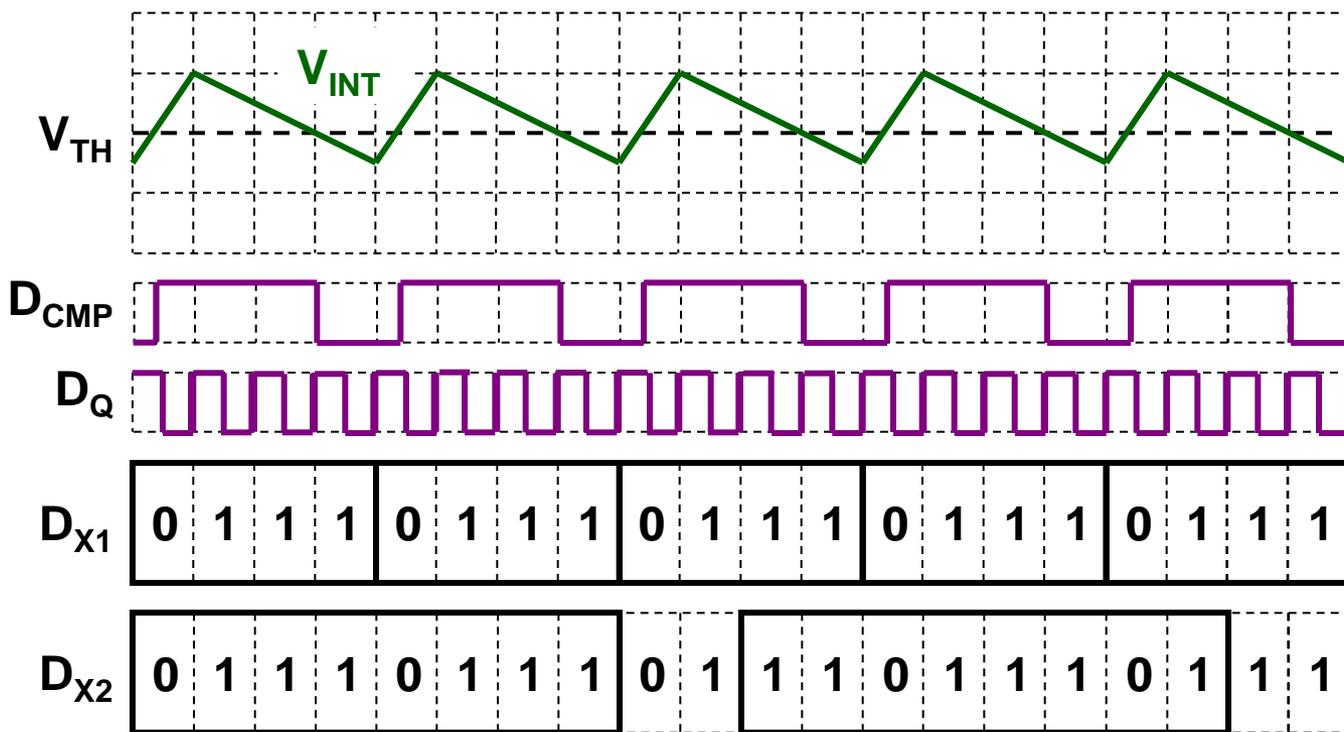


△Σ型の変換原理：△Σモジュレータの各波形とタイミング



△Σ型の変換原理:ビット・ストリーム D_X の区切りと1/0の比

- D_{X1} のように積分器波形 V_{INT} の1周期と、1フレームのビット数を一致させる必要がある。
- D_{X2} のように2倍、4倍の関係を持たせるのは問題ない。
- ループがバランス状態では、フレームの始まりをどこに置いても、“1”と“0”の比率は同じ。

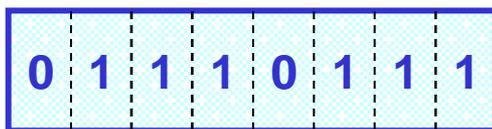


△Σ型の変換原理: ビット・ストリームD_xと入力電圧の関係

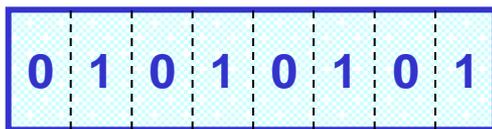
- フレームあたりのビット数(図は8ビット)と, D_xに含まれる1の数との比が情報.
- 2進数ではないので1の桁位置に意味はない.

入力電圧との関係は...

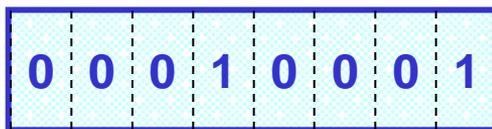
$$\text{入力電圧} = \frac{\text{1の数}}{\text{ビット桁数}} \times \text{フルスケール電圧(V)}$$



$$\frac{6}{8} \times 8 = 6V$$



$$\frac{4}{8} \times 8 = 4V$$

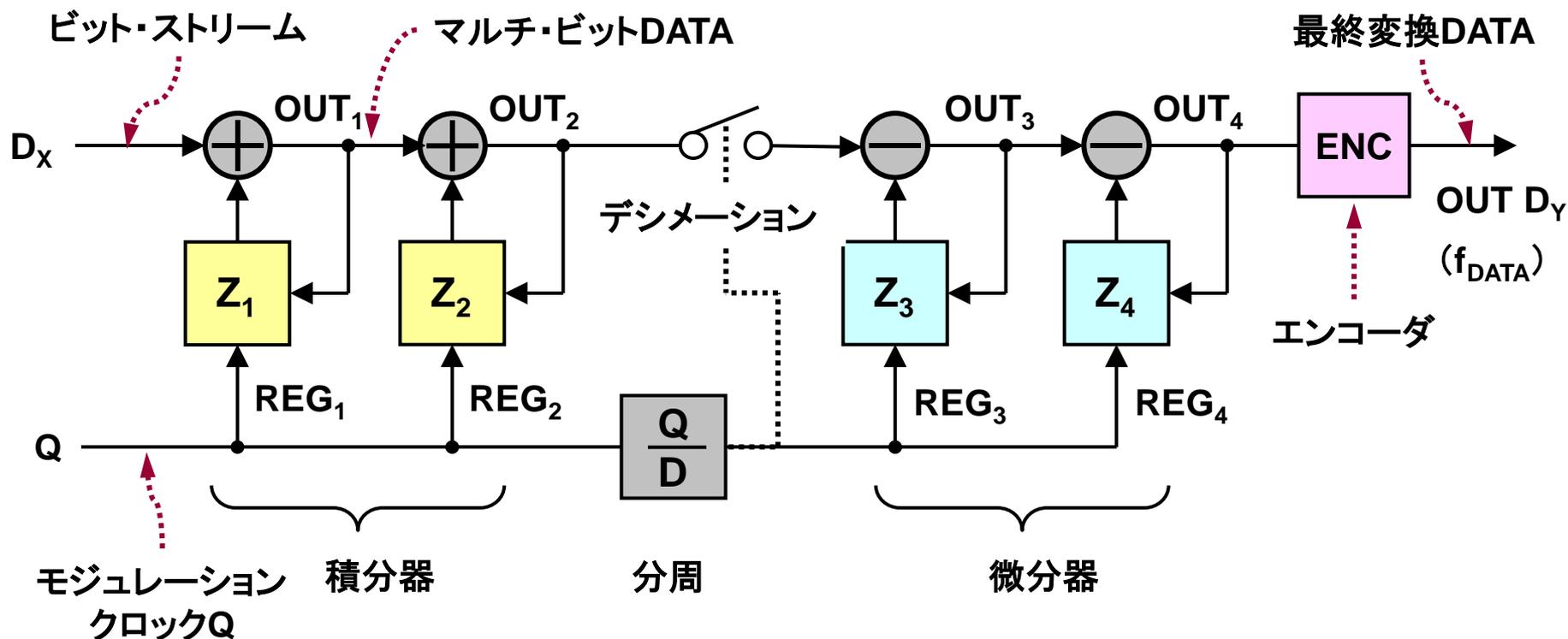


$$\frac{2}{8} \times 8 = 2V$$

△Σ型の変換原理: デジタル・フィルタの機能ブロック図

2次のSINCフィルタ, 次数Kは... $K \geq 1 + (\text{モジュレータの次数})$ で決まる.

デシメーション・レシオ $M = \frac{1}{D}$, データ・レート $DR(f_{\text{DATA}}) = \frac{1}{M} \cdot f_Q$
 (データ数/秒)



△Σ型の変換原理: レジスタZ₁~Z₄の値と動き, V_{INP}=2V

- 表は1フレームを1回の変換としている。
- フィルタ段数が2段なので, V_{INP}の急激な変化に対し変換データ確定 ⑥ に2回の変換が必要。
- D_Qが8と16のところでDRDY(データ・レディ)のフラグが立つ製品があるので要注意。

DQ	VINP	DX	Z1	Z2	Z3	Z4	ENC
0	0	0	0	0	0	0	0
1	2	0	0	0	0	0	0
2	2	0	0	0	0	0	0
3	2	0	0	0	0	0	0
4	2	1	1	1	0	0	0
5	2	0	1	2	0	0	0
6	2	0	1	3	0	0	0
7	2	0	1	4	0	0	0
8	2	1	2	① 6	④ 6	6	0.75
9	2	0	2	8	6	6	0.75
10	2	0	2	10	6	6	0.75
11	2	0	2	12	6	6	0.75
12	2	1	3	15	6	6	0.75
13	2	0	3	18	6	6	0.75
14	2	0	3	21	6	6	0.75
15	2	0	3	24	6	6	0.75
16	2	1	4	② 28	③ 22	⑤ 16	⑥ 2

レジスタの演算内容

$$\textcircled{3} = \textcircled{2} - \textcircled{1}$$

$$\textcircled{5} = \textcircled{3} - \textcircled{4}$$

$$\textcircled{6} = \textcircled{5} \div 8$$

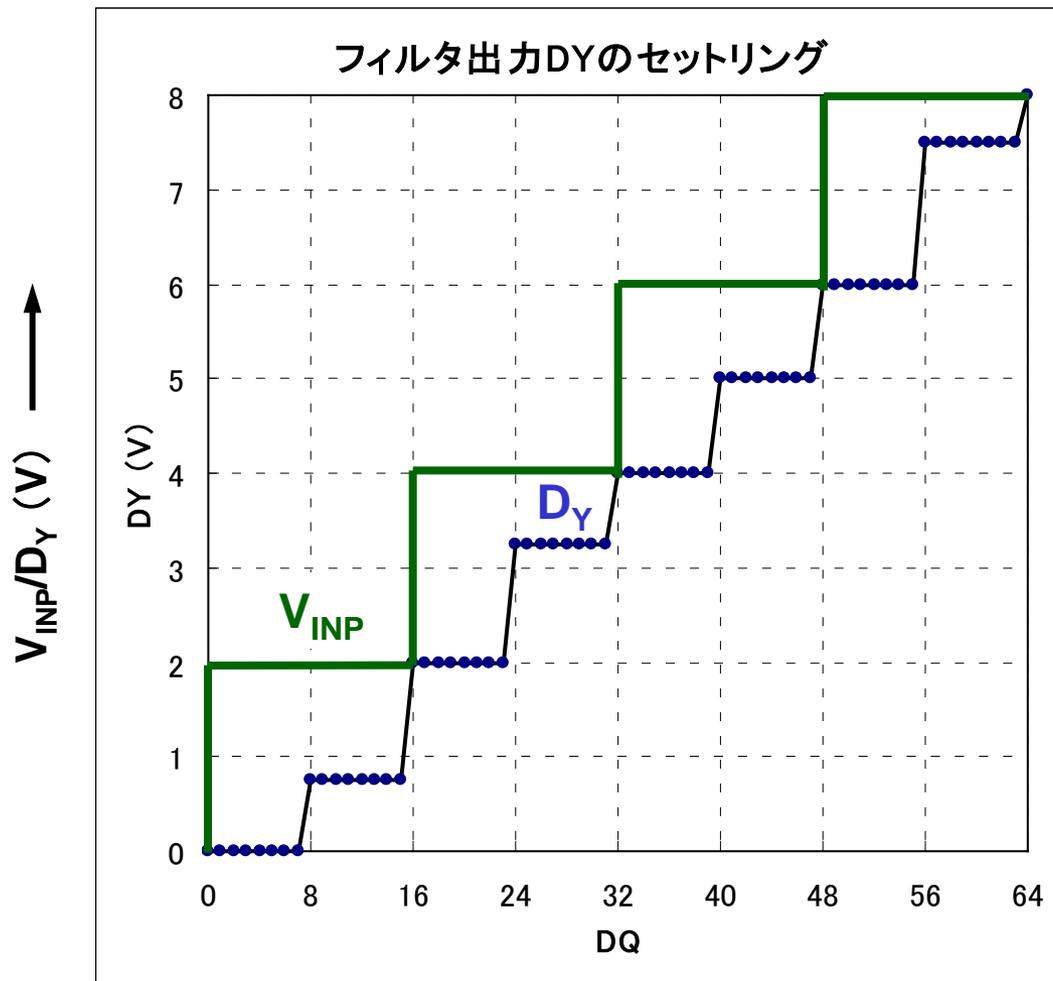
フレーム1
変換1回目

ここで
スライド16の
SWが閉じる

フレーム2
変換2回目

△Σ型の変換原理: ステップ入力電圧と変換データ D_Y のセtring

ステップ電圧2V~8Vにおける
変換データ D_Y のセtring.



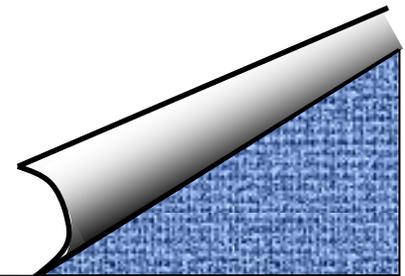
モジュレーション・クロック D_Q のカウント →

✚ 8.1 各種の変換方式

- (1) 変換原理による達成可能な分解と変換速度
- (2) 変換原理による長所・短所比較
- (3) パイプライン型の変換原理
- (4) SAR (逐次比較) 型の変換原理
- (5) $\Delta\Sigma$ (デルタ・シグマ) 型の変換原理

✚ 8.2 $\Delta\Sigma$ (デルタ・シグマ) と SAR (逐次比較) の使い分け

- (1) 消費電流の比較
- (2) SARの長所と短所
- (3) $\Delta\Sigma$ の長所と短所
- (4) 使い分けのまとめとして...

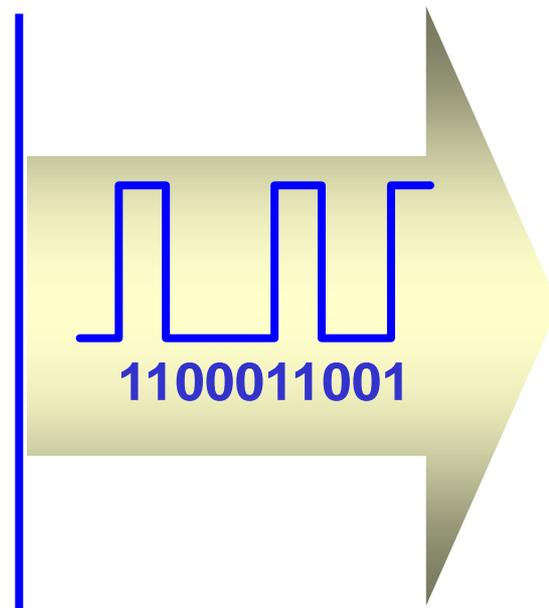
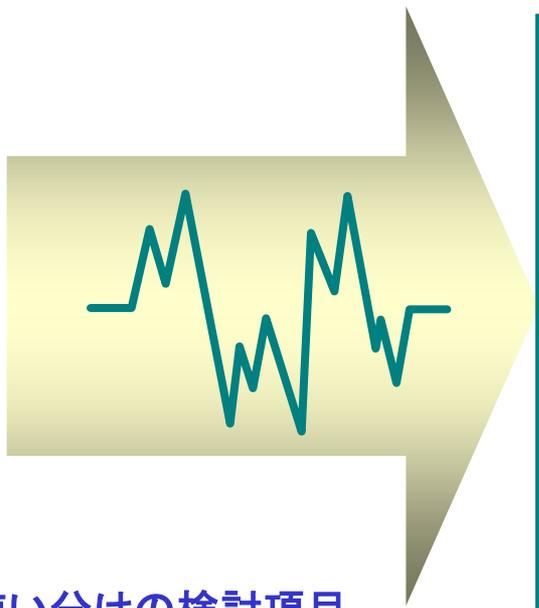


$\Delta\Sigma$ (デルタ・シグマ) と SAR (逐次比較) の使い分け

どちらもA/Dコンバータ



使い分けを知る



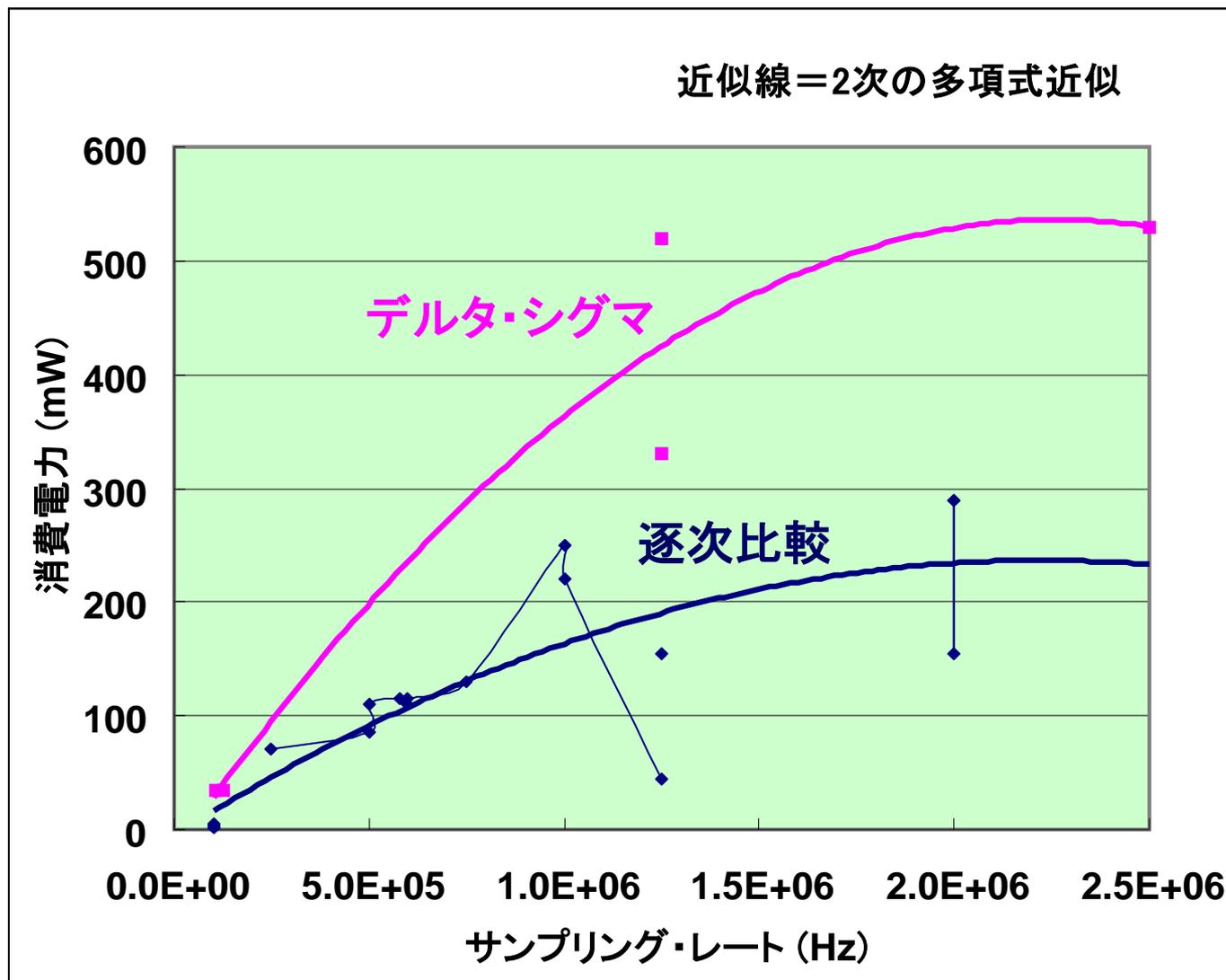
使い分けの検討項目

- ✦ ステップ応答
- ✦ 前置フィルタの次数

- ✦ 分解能の限界
- ✦ 変換間隔自由度
- ✦ 変換速度対SNR
- ✦ 消費電力

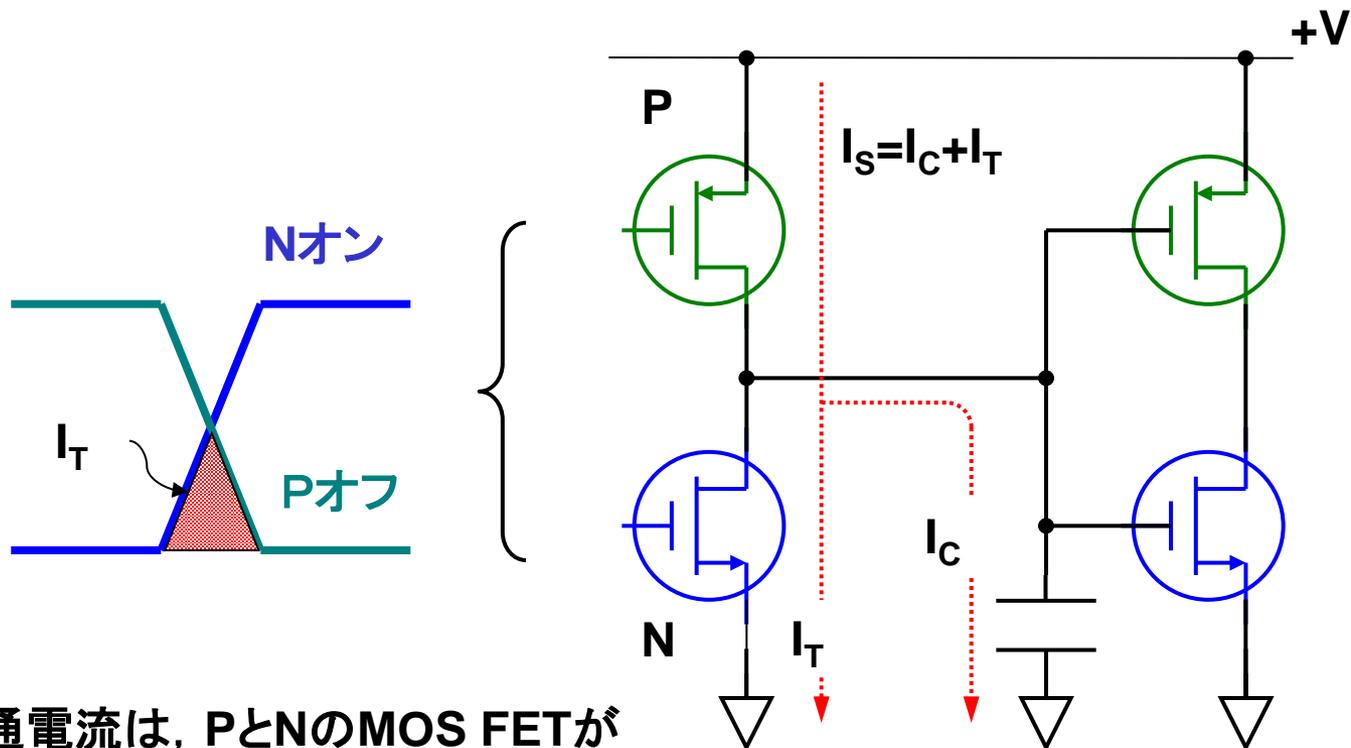
- ✦ データ・レテンシ
- ✦ パラレル／シリアル
- ✦ ミッシング・コードの有無

消費電流の比較: サンプルング・レート 対 消費電力



消費電流の比較: CMOSゲートのスイッチング電流

スイッチング周波数が増大すると消費電流も増大.

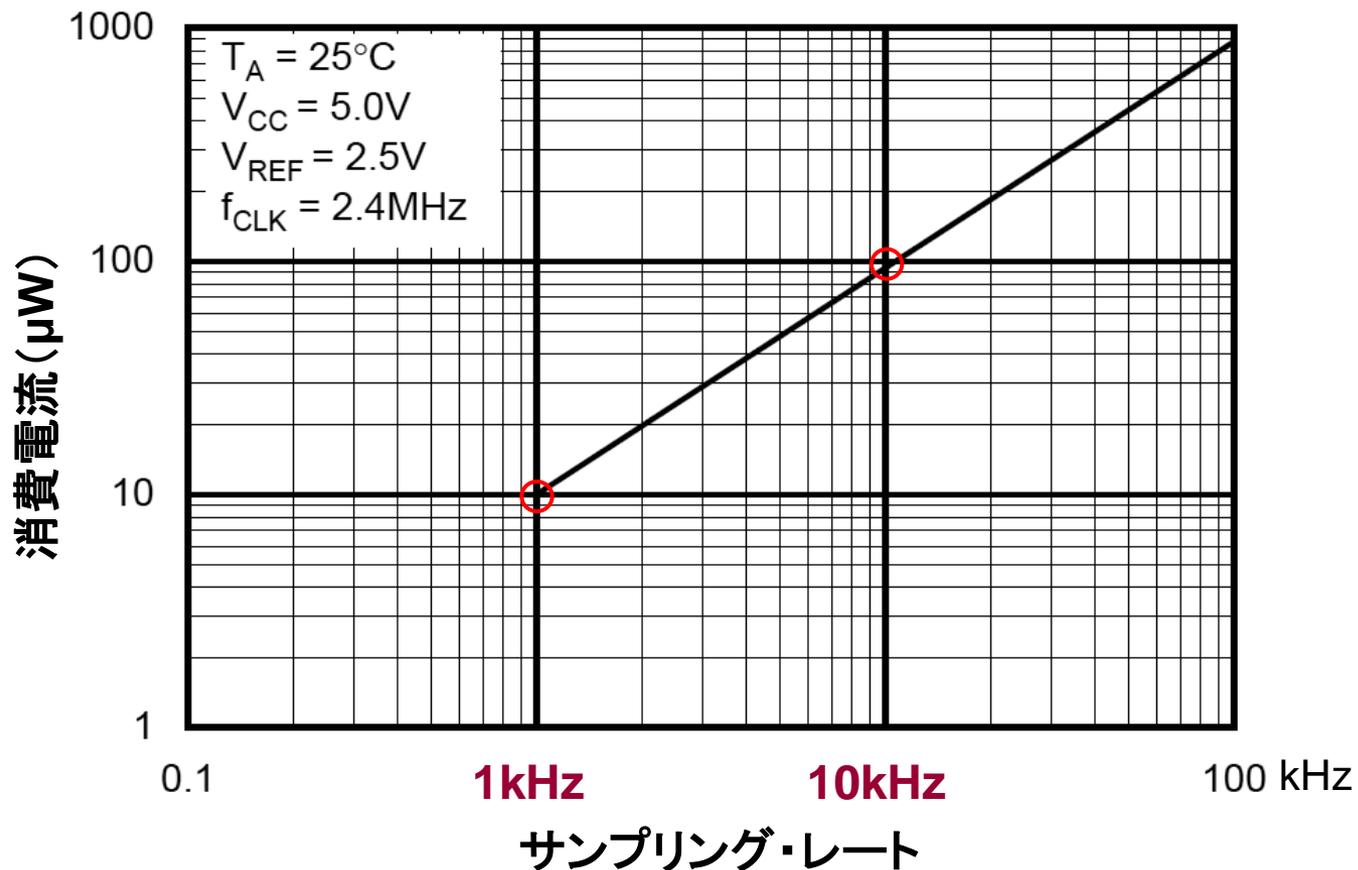


貫通電流は、PとNのMOS FETが
スイッチングの瞬間に共にオンと
なる時間があり発生する。

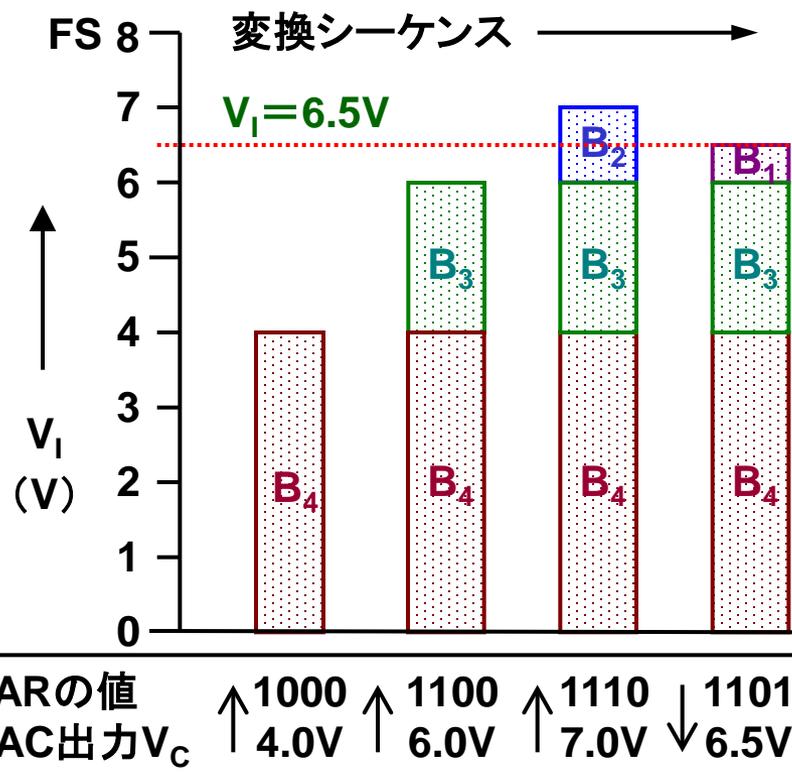
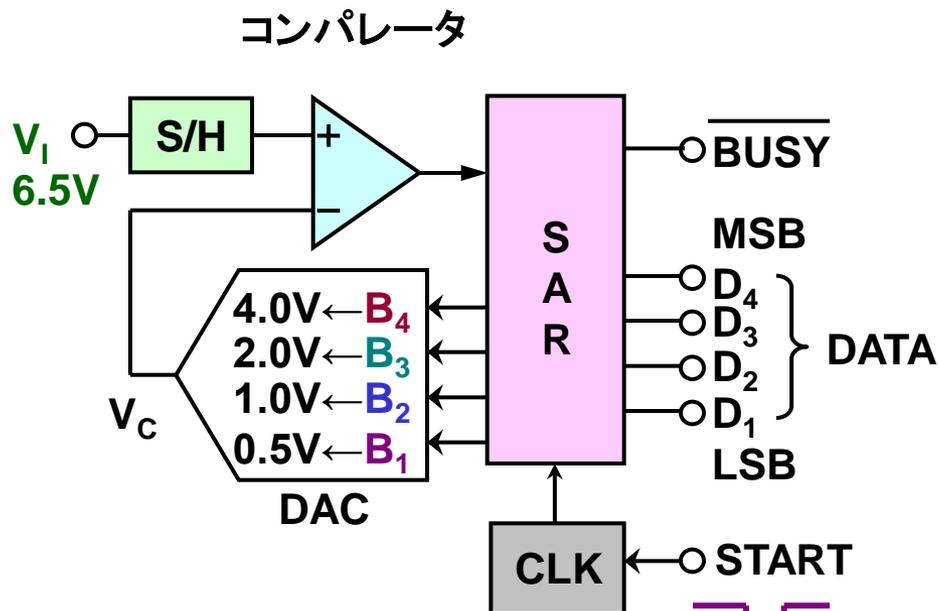
消費電流の比較: SAR型の変換速度 対 消費電流

ADS8320 (16ビット, 100ksps) の例

サンプリング・レートが10倍になると消費電流も10倍



SARの長所と短所: SAR型の変換間隔と変換確定タイミング



アキュイジション時間 t_{AQ} を守れば変換間隔は任意

t_{AQ}

t_{AQ}

アキュイジション

変換 n

変換 n+1

アキュイジション

n-1の有効DATA

nの有効DATA

n+1の有効DATA

時間上での位置が管理可能

DATA無効

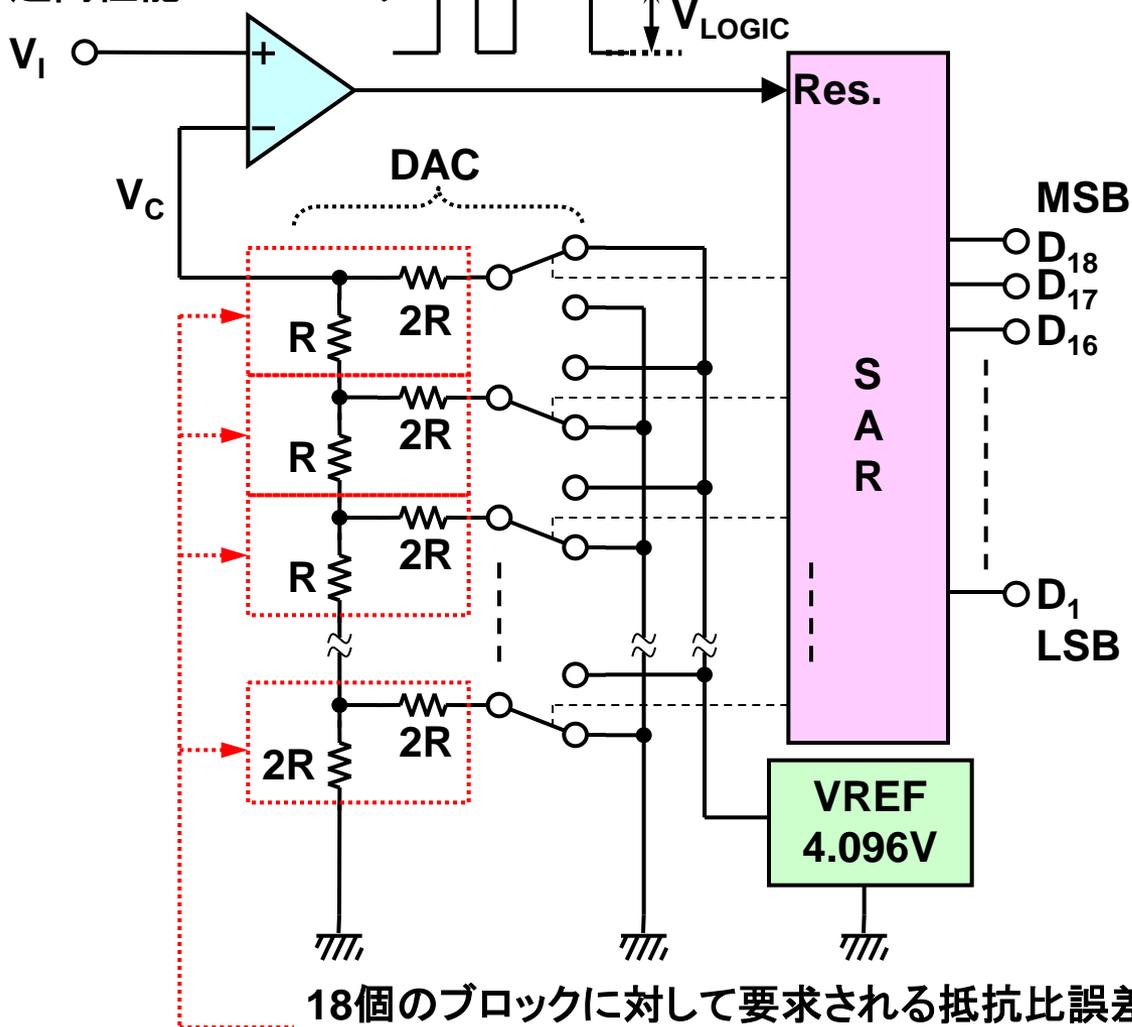
SARの長所と短所: SARで高速・高分解能が困難な理由

B_1 と $B_2 \sim B_{18}$ (積み重ね)の差

Bit	DAC出力 VC	単位
B1	2048	---
B2		1024 mV
B3		512 mV
B4		256 mV
B5		128 mV
B6		64 mV
B7		32 mV
B8		16 mV
B9		8 mV
B10		4 mV
B11		2 mV
B12		1 mV
B13		0.5 mV
B14		0.25 mV
B15		0.125 mV
B16		0.0625 mV
B17		0.03125 mV
B18		0.015625 mV
合計	2048	2047.9844 mV
差分 =		0.015625 mV

超高性能コンパレータ

ADS8484 (18Bit) の例

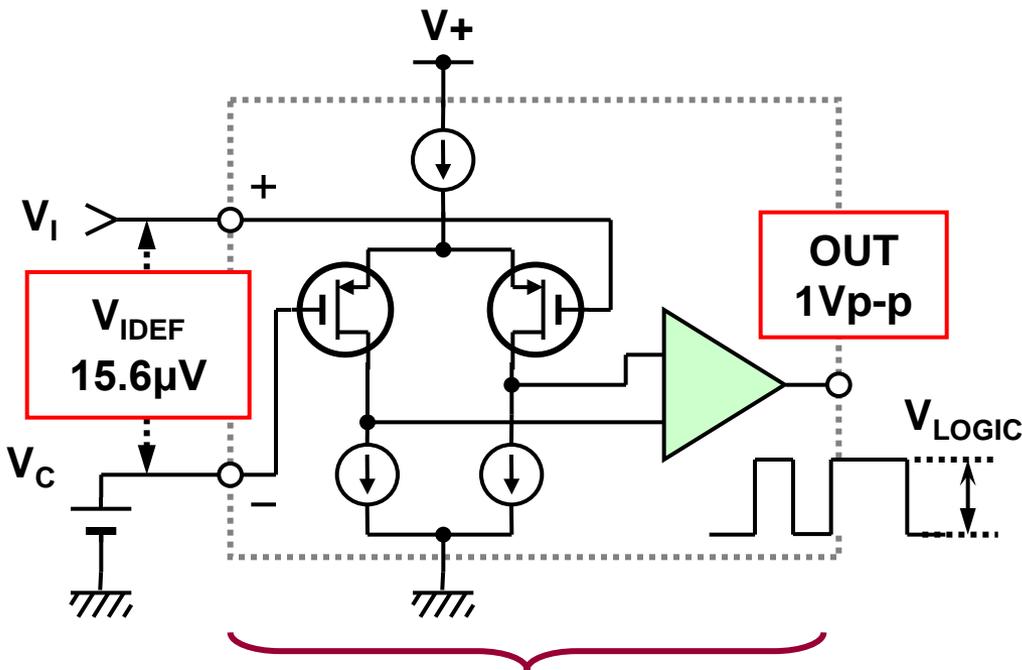


18個のブロックに対して要求される抵抗比誤差は 1/2LSB精度とすれば 0.000190735 %

SARの長所と短所：入力振幅とコンパレータの伝播遅延

コンパレータのブロック図

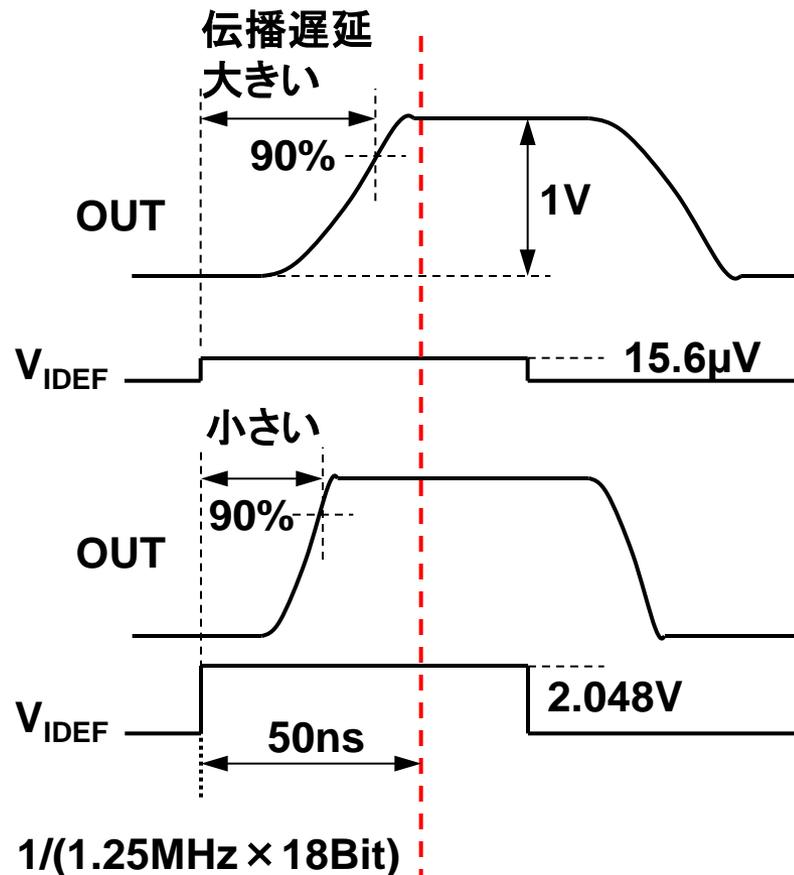
差動入力電圧 V_{IDEF} の大きさによる伝播遅延の違い



必要なゲイン A_{OL}

$$A_{OL} = 20 \cdot \text{Log} \left(\frac{1\text{V}}{15.6\mu\text{V}} \right) + \underline{40\text{dB}} = 136(\text{dB})$$

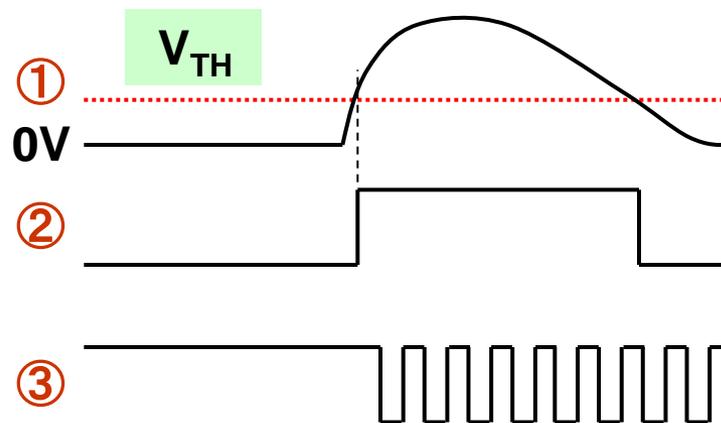
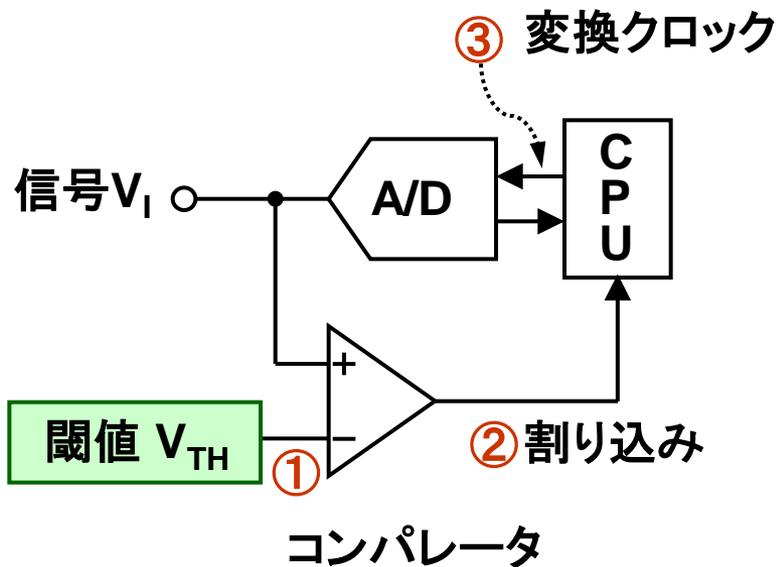
高速応答に必要なゲイン・マージン



ラッチ・タイミング

SARの長所と短所：自由な変換間隔を活かした応用例

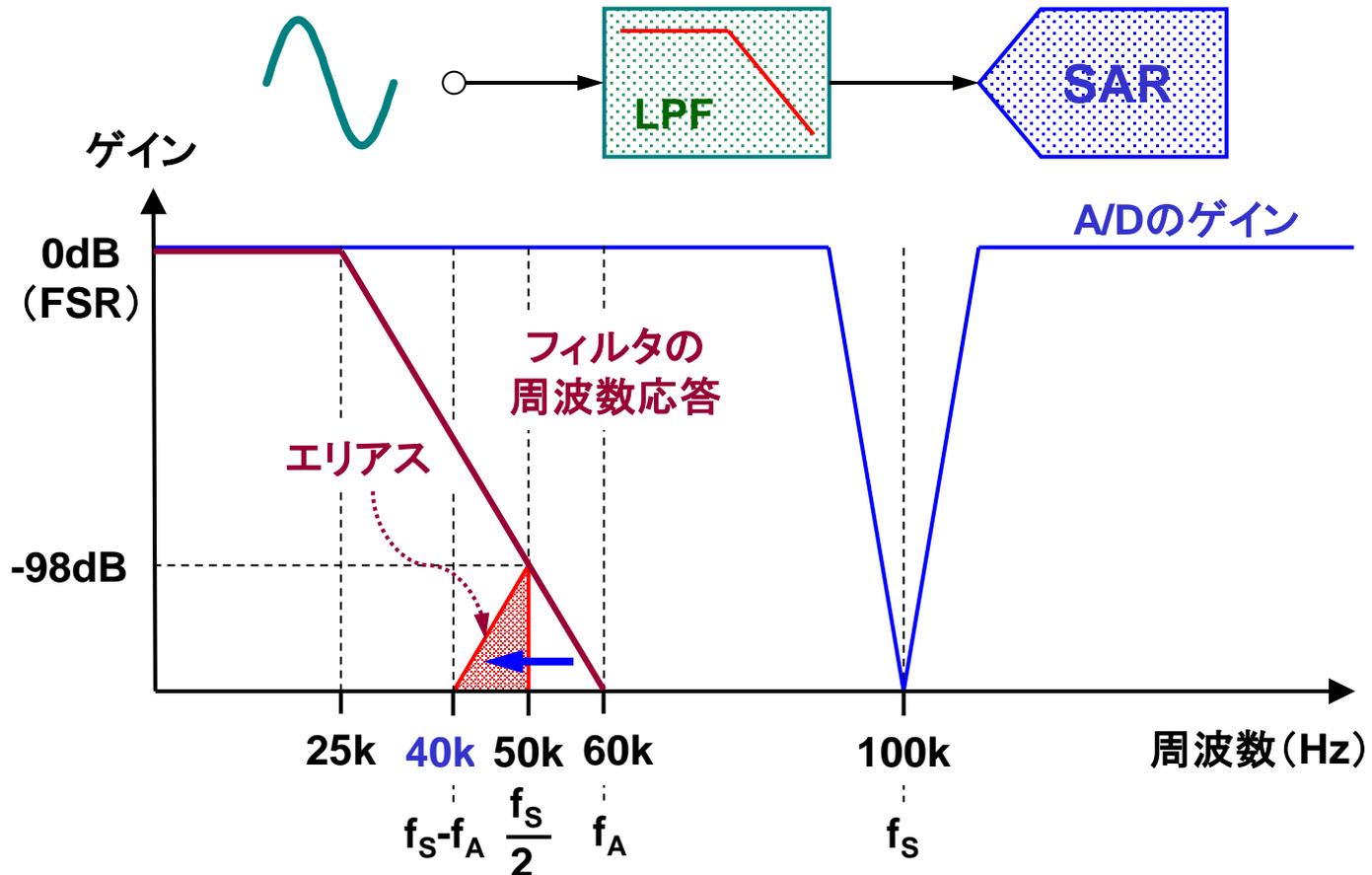
コンパレータとの組み合わせによる単発信号の取り込み例



SARの長所と短所: 前置フィルタへの要求減衰率, SAR

ナイキスト周波数 $f_s/2$ に至るまで分解能に見合った減衰特性を持つ前置フィルタが必要

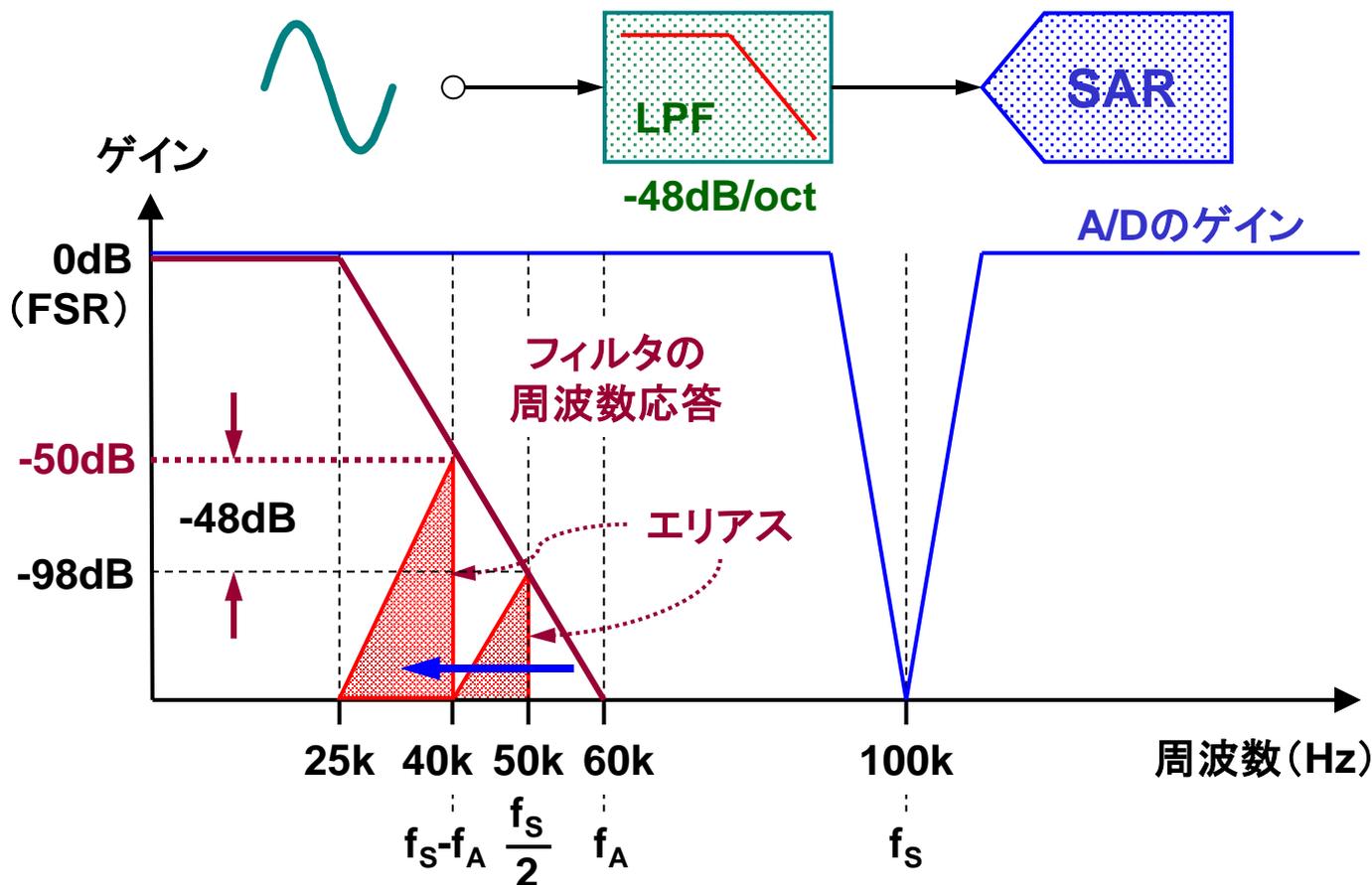
16Bit A/Dの理論SNR = $6.02 \cdot 16 + 1.76$ (dB) = 98dB



SARの長所と短所: 前置フィルタへの要求減衰率, SNR=50dB

前段回路のノイズ対A/D-FSR (SNR)が50dBでは48dB/Octの減衰率が必要.

16Bit A/Dの理論SNR = $6.02 \cdot 16 + 1.76$ (dB) = 98dB



SARの長所と短所: 高次フィルタの設計支援ソフトを活用

設計条件

8次のバターワースLPF

Rの精度: E96, 1%

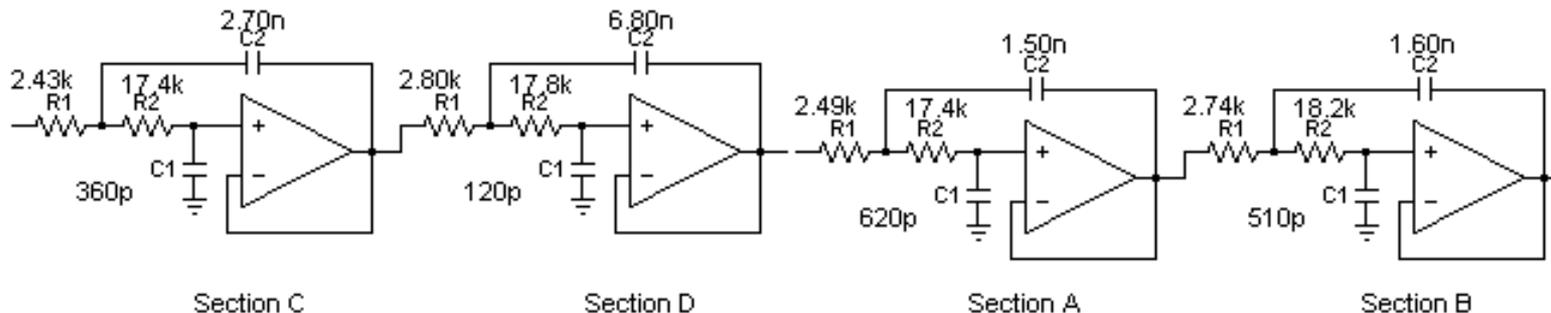
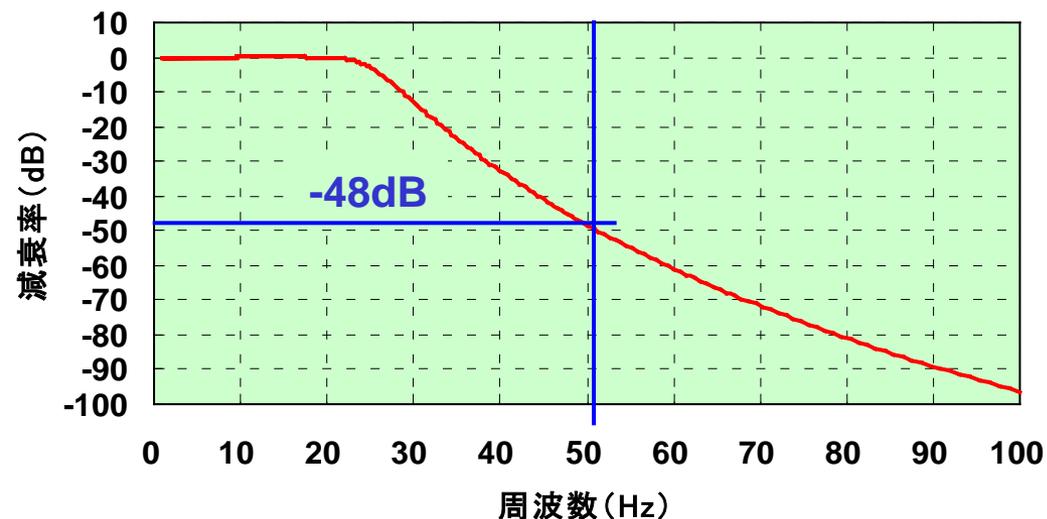
Cの精度: E24, 5%

	Passband Gain (Vout/Vin)	Fn	Response at 50.0k Hz. ω	Gain
A	1	25.000kHz	509.80m	-13.78 dB
B	1	25.000kHz	601.34m	-13.09 dB
C	1	25.000kHz	899.98m	-11.57 dB
D	1	25.000kHz	2.5629	-9.86 dB
	1.0	Totals	707.11m	-48.30 dB

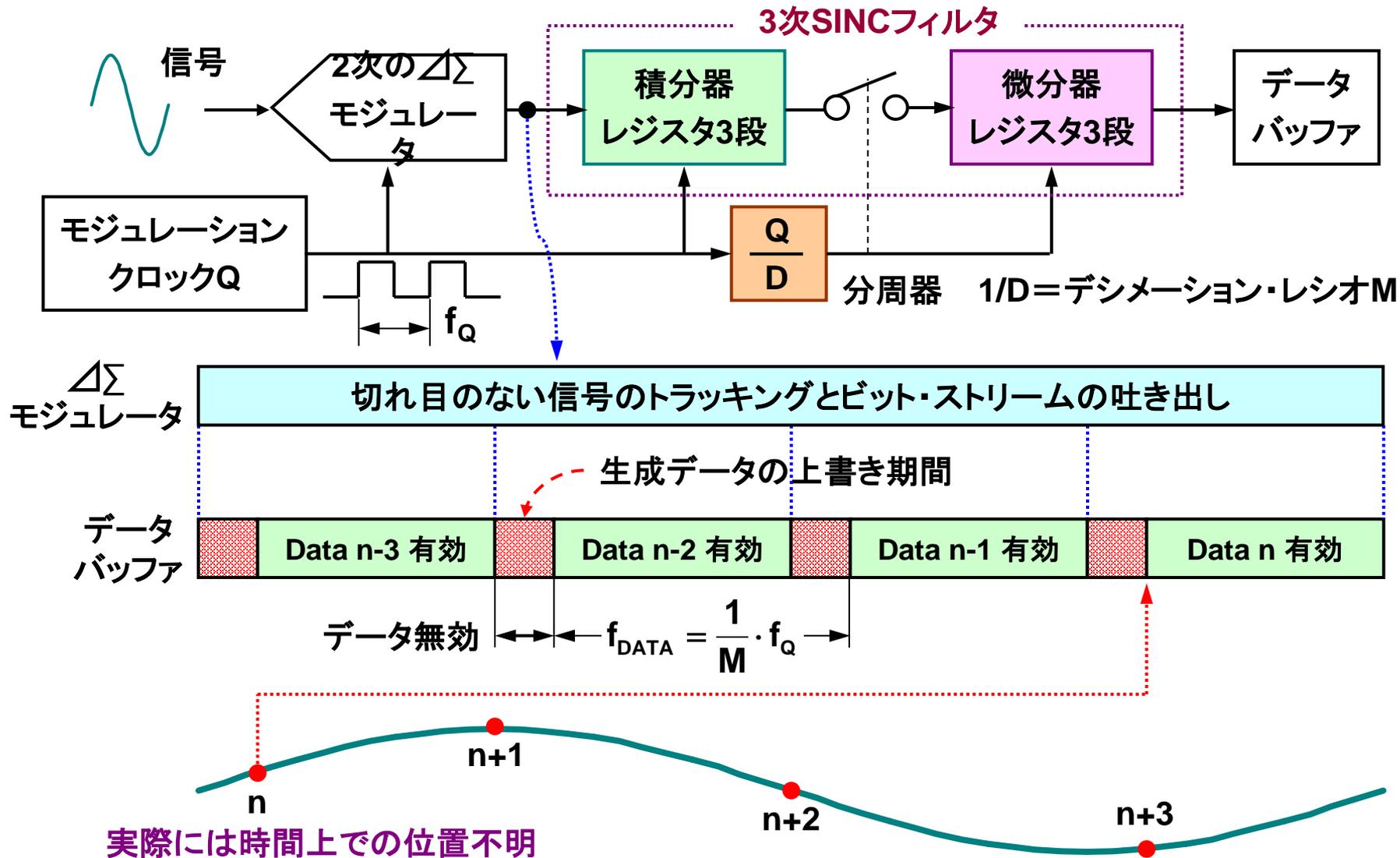
Sallen-Key, 8-Pole Low-Pass Butterworth
Cutoff, Passband Gain of 1.0

フィルタプロからのCSVファイルをExcelでグラフ化

8次バターワースの周波数応答

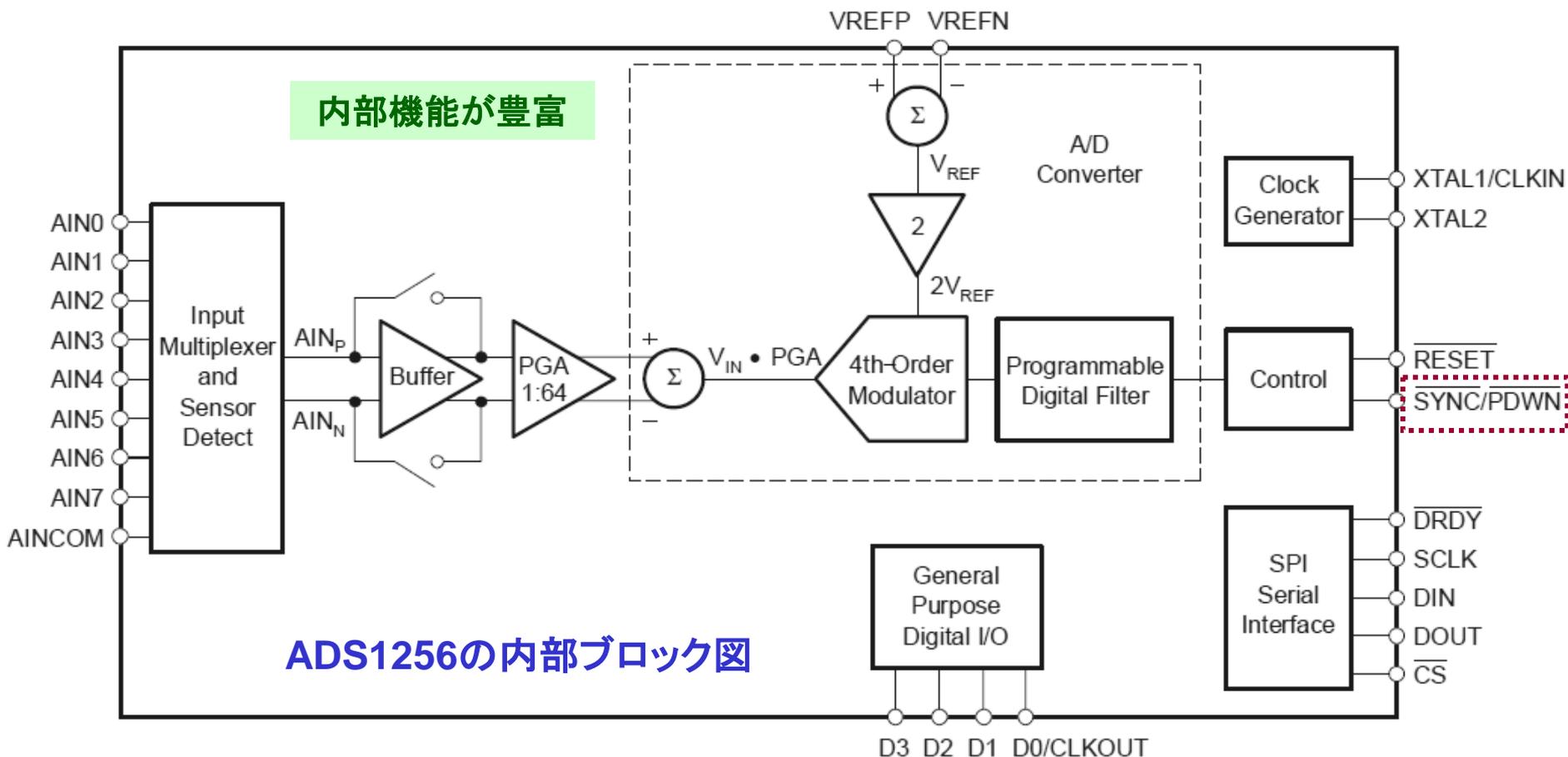


△Σの長所と短所: △Σの変換間隔と出力タイミング



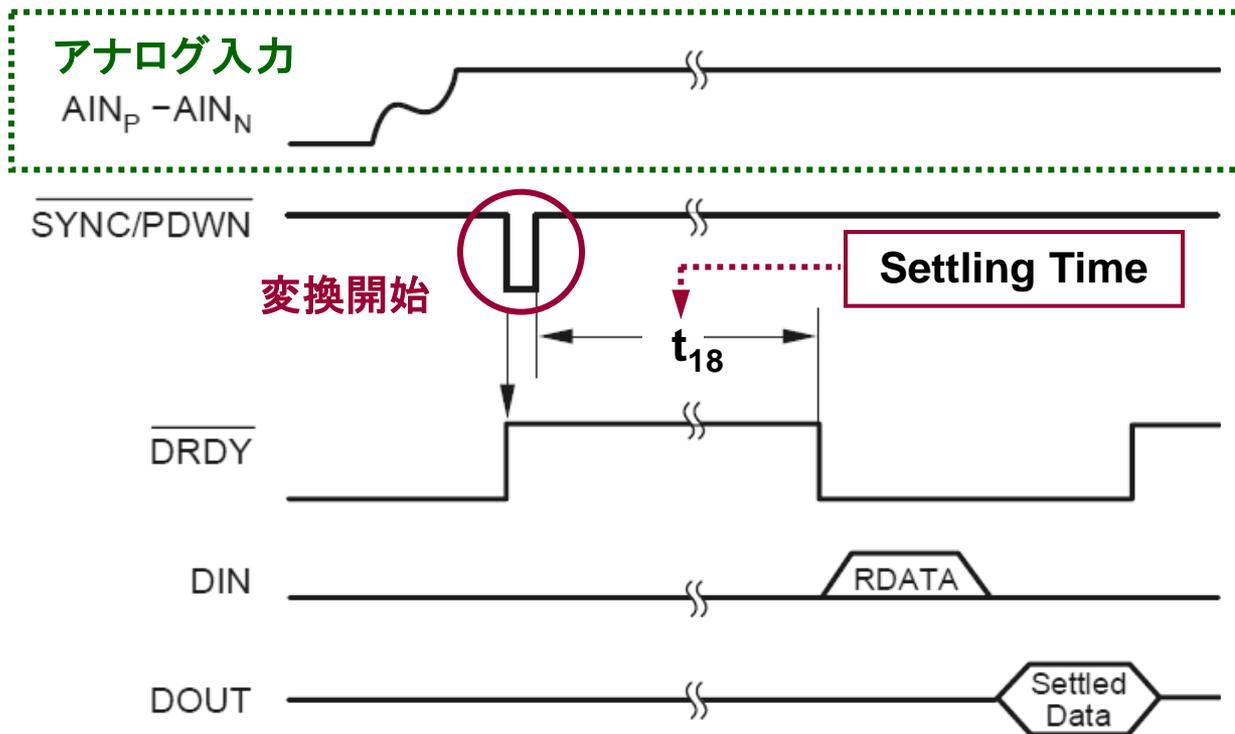
$\Delta\Sigma$ の長所と短所：時間管理が可能な Σ のSYNCピン

SYNCピン内蔵の $\Delta\Sigma$ は, SARと同様に変換スタートが任意.



△Σの長所と短所：データ有効までの変換回数

SYNCピンによる変換開始～有効データ送出まで。



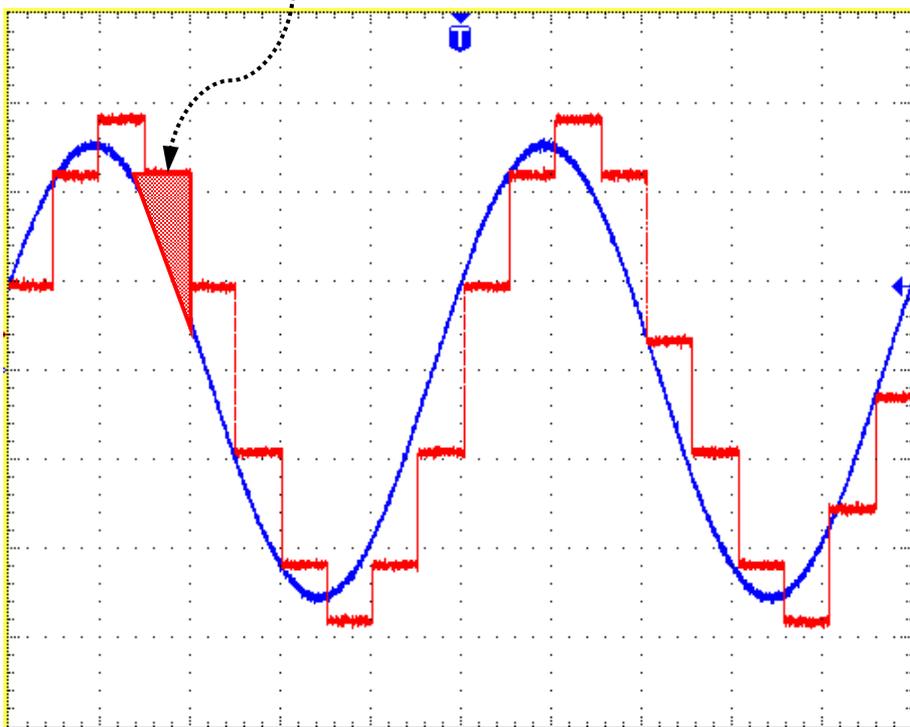
DATA RATE (SPS)	SETTLING TIME (DRDY Periods)
30,000	5
15,000	3
7500	2
3750	1
2000	1
1000	1
500	1
100	1
60	1
50	1
30	1
25	1
15	1
10	1
5	1
2.5	1

$\Delta\Sigma$ の長所と短所: $\Delta\Sigma$ はオーバ・サンプリングを利用

オーバ・サンプリングをすると量子化ノイズが減少.

信号周波数の10倍でサンプリングした波形

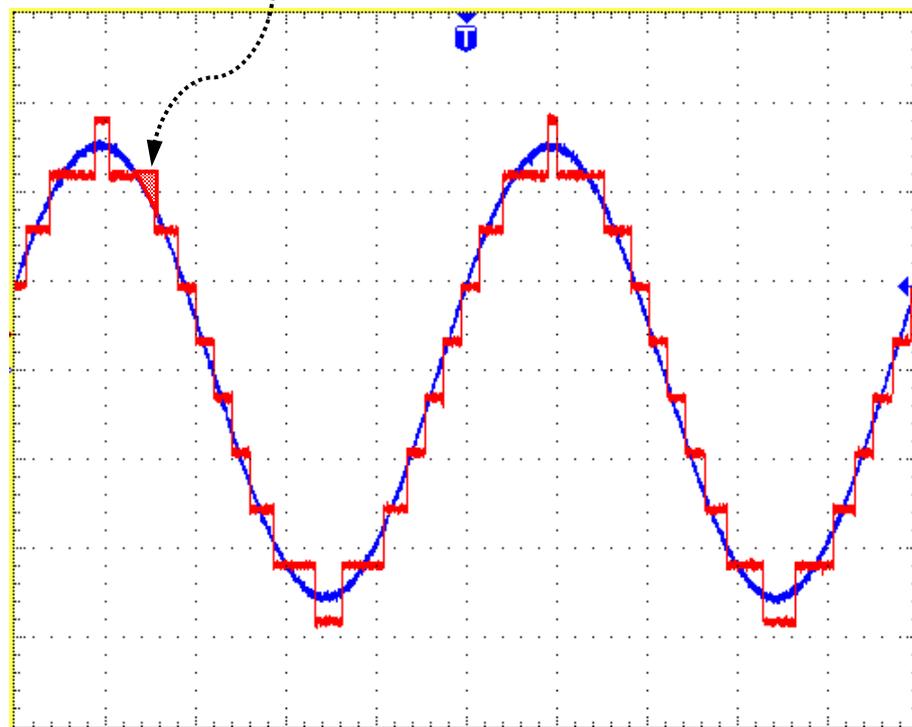
誤差面積大=量子化ノイズ大



時間軸

信号周波数の18倍でサンプリングした波形

誤差面積小大=量子化ノイズ小

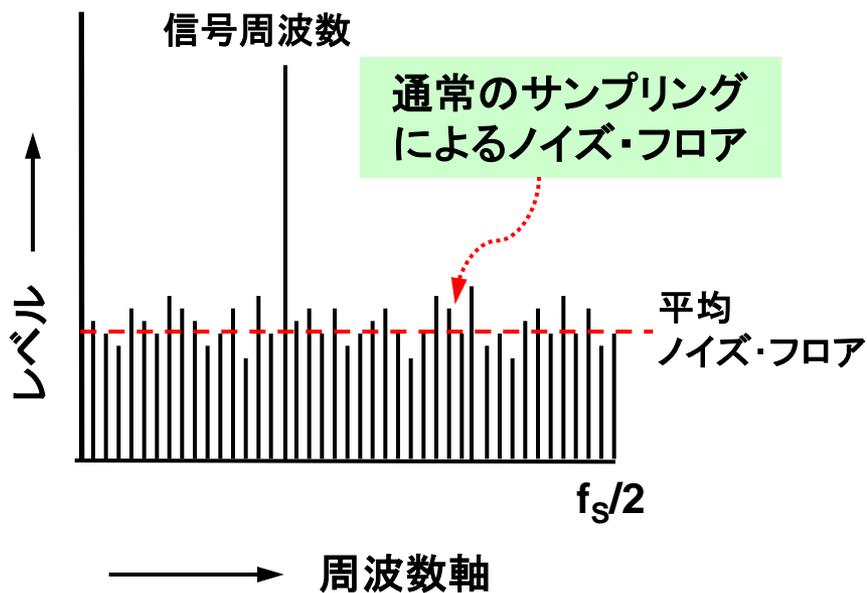


時間軸

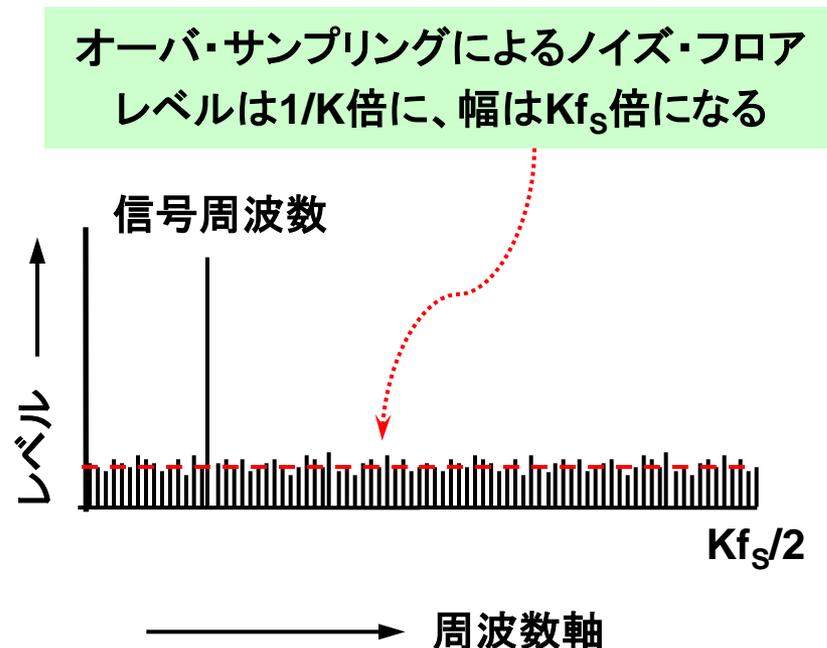
$\Delta\Sigma$ の長所と短所: FFTで見たノイズ・フロアの差

オーバ・サンプリングはノイズ・フロアを引き伸ばす。

通常のサンプリングによるFFT波形



K倍のオーバ・サンプリングによるFFT波形



△Σの長所と短所: △Σモジュレータの周波数特性

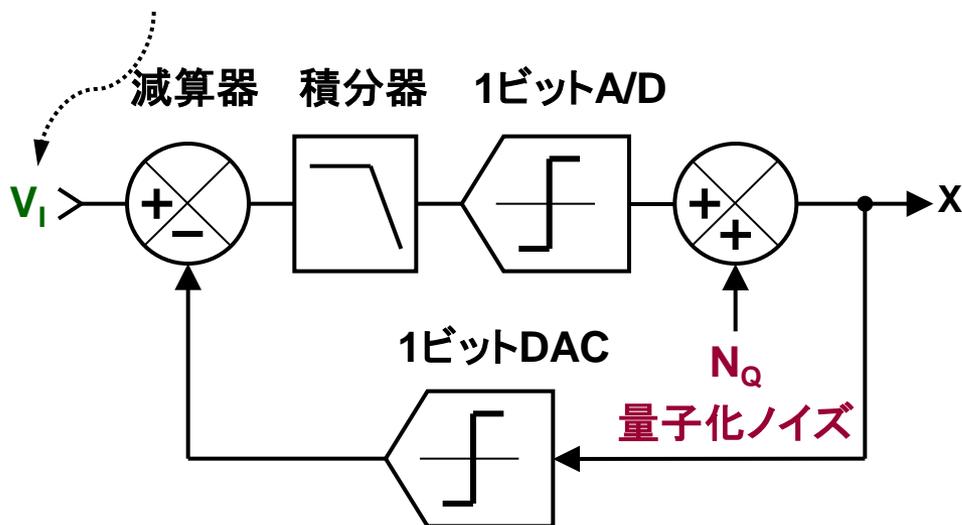
モジュレータはアナログ入力 V_i に対してはローパス・フィルタ
量子化ノイズ N_Q に対してはハイパス・フィルタとして作用。

$$\frac{X}{V_i} = \frac{1}{j\omega + 1} \quad \text{----- 式5-11}$$

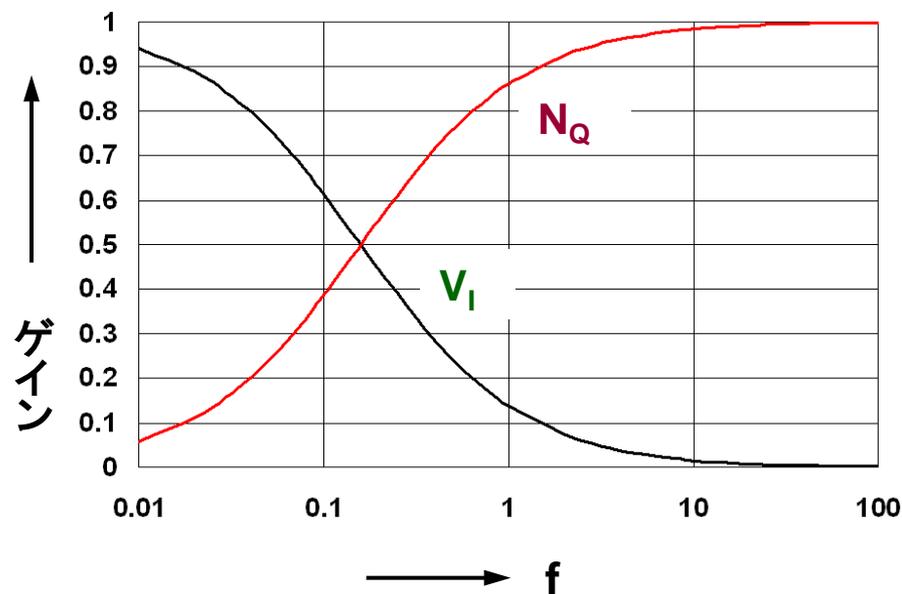
$$\frac{X}{N_Q} = \frac{j\omega}{j\omega + 1} \quad \text{----- 式5-12} \quad \text{ここで, } \omega = 2\pi f$$

量子化ノイズを考慮したモジュレータのモデル

アナログ入力



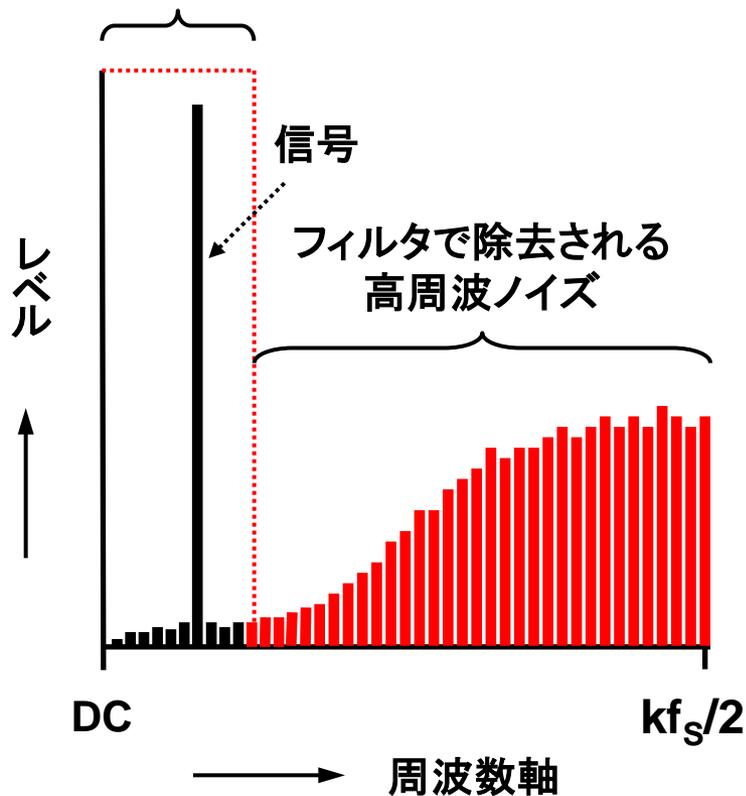
一次のモジュレータの正規化応答



$\Delta\Sigma$ の長所と短所: $\Delta\Sigma$ のデータレート DR と SNR

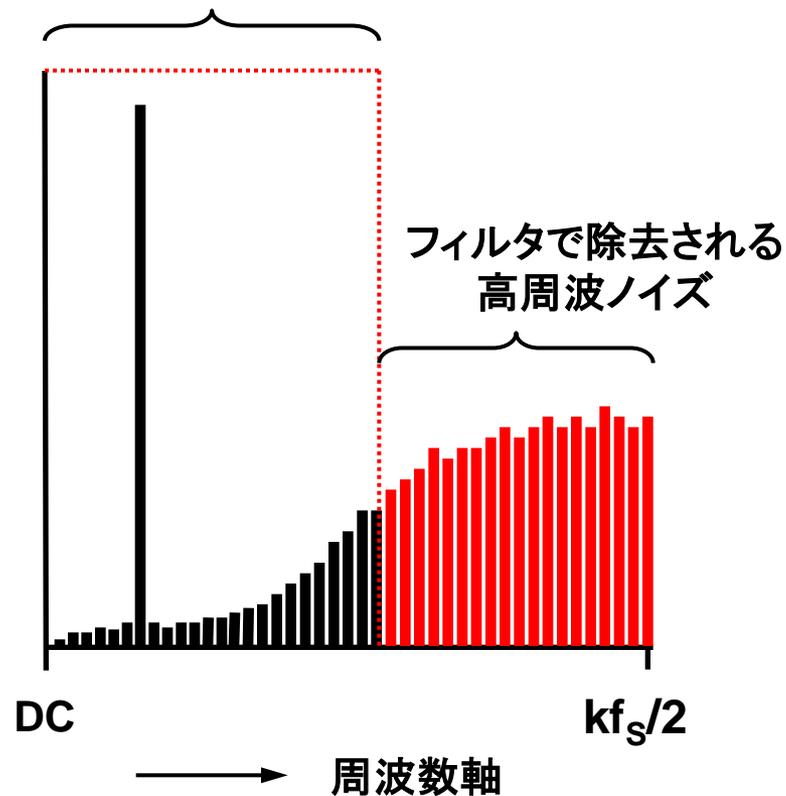
DRを低く設定したとき

デジタル・フィルタの帯域幅



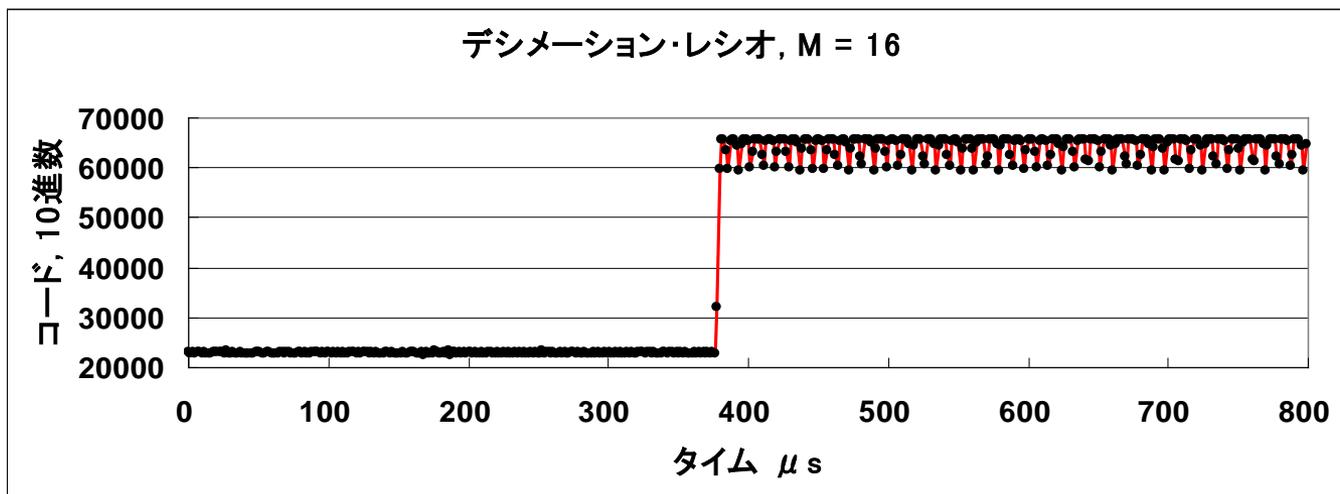
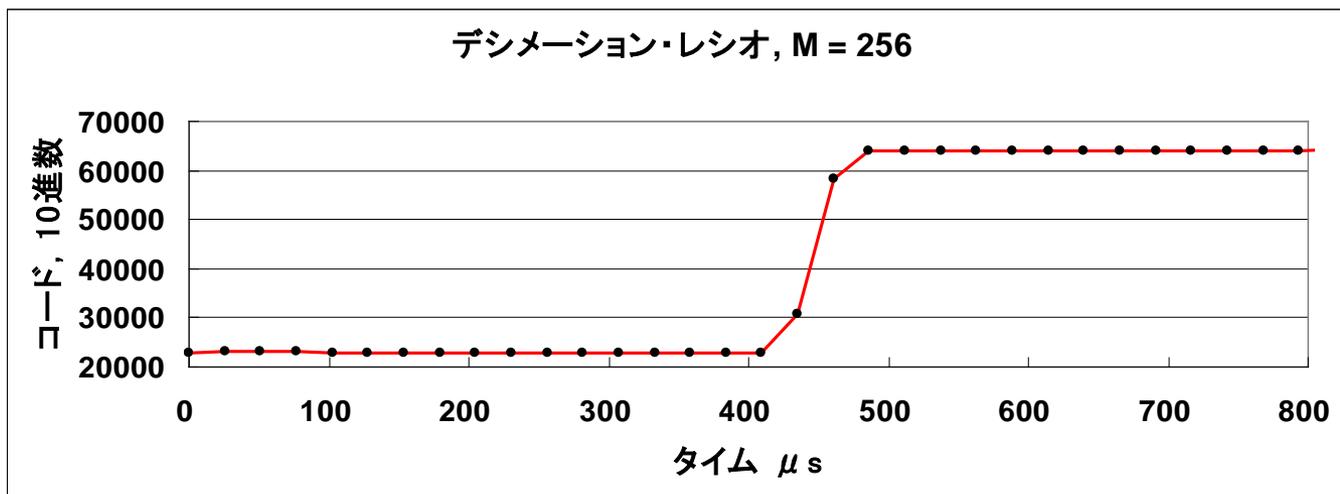
DRを高く設定したとき

デジタル・フィルタの帯域幅



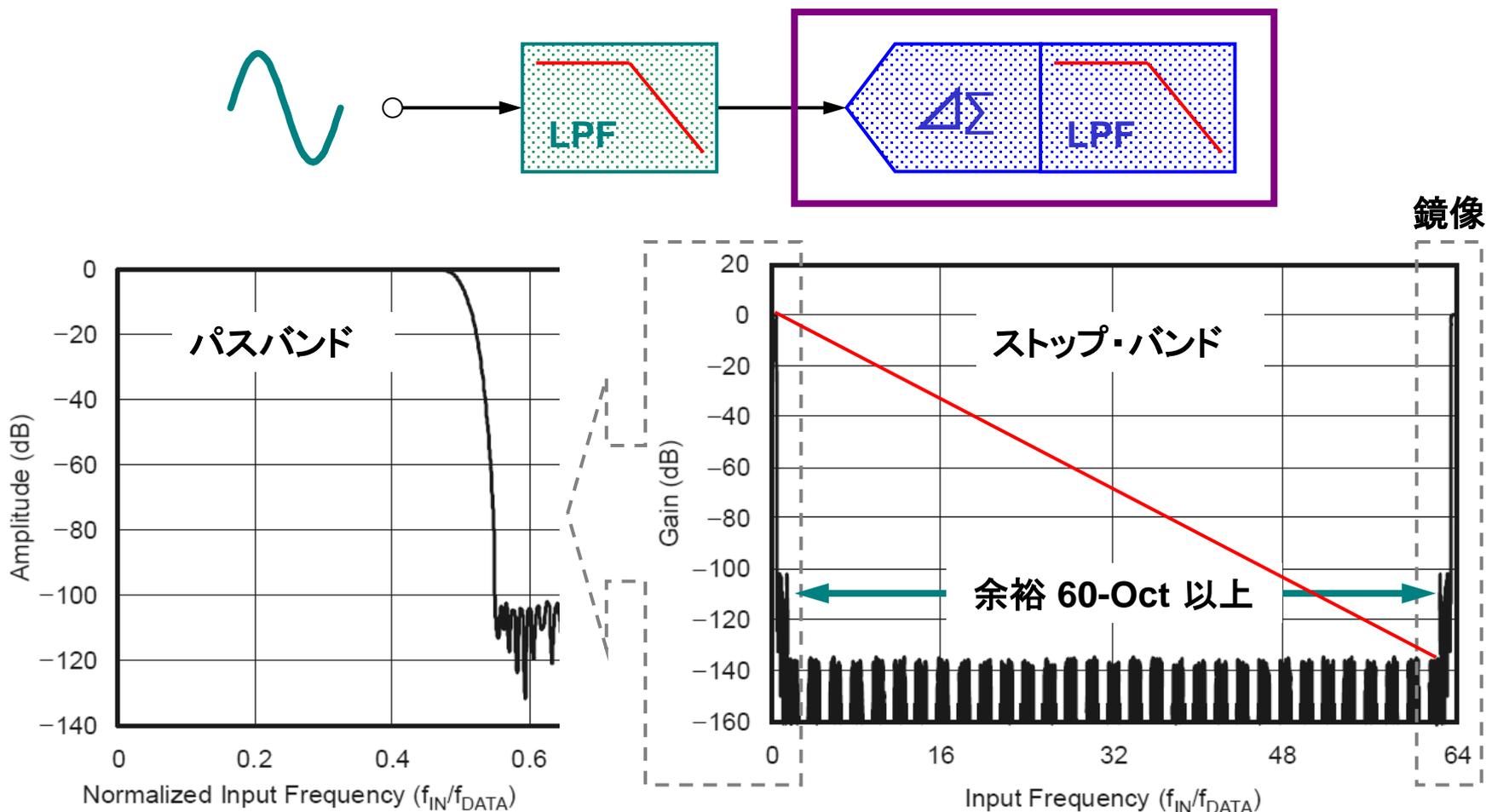
△Σの長所と短所: DRとノイズ, およびステップ応答

ADS1208 (2次のモジュレータ) と外部SINC³フィルタ(FPGA) で得た波形



$\Delta\Sigma$ の長所と短所：前置フィルタへの要求減衰率

内臓のデジタル・フィルタにより前置フィルタへの減衰特性は軽減される。



使い分けのまとめとして...

項目	SAR	$\Delta\Sigma$
ステップ応答	○	
前置フィルタの次数		○
分解能の限界		○
変換間隔の自由度	○	
変換速度対SNR	○	
消費電力	○	
データ・レテンシ	○	
パラレル／シリアル	○	○
ミッシング・コードの有無		○
付帯する機能		○

- 低周波の連続した信号を高分解能でA/D変換
デルタシグマ
- マルチ・チャンネル入力をランダムに変換
逐次比較

セッション8 終わり

お疲れ様でした.

