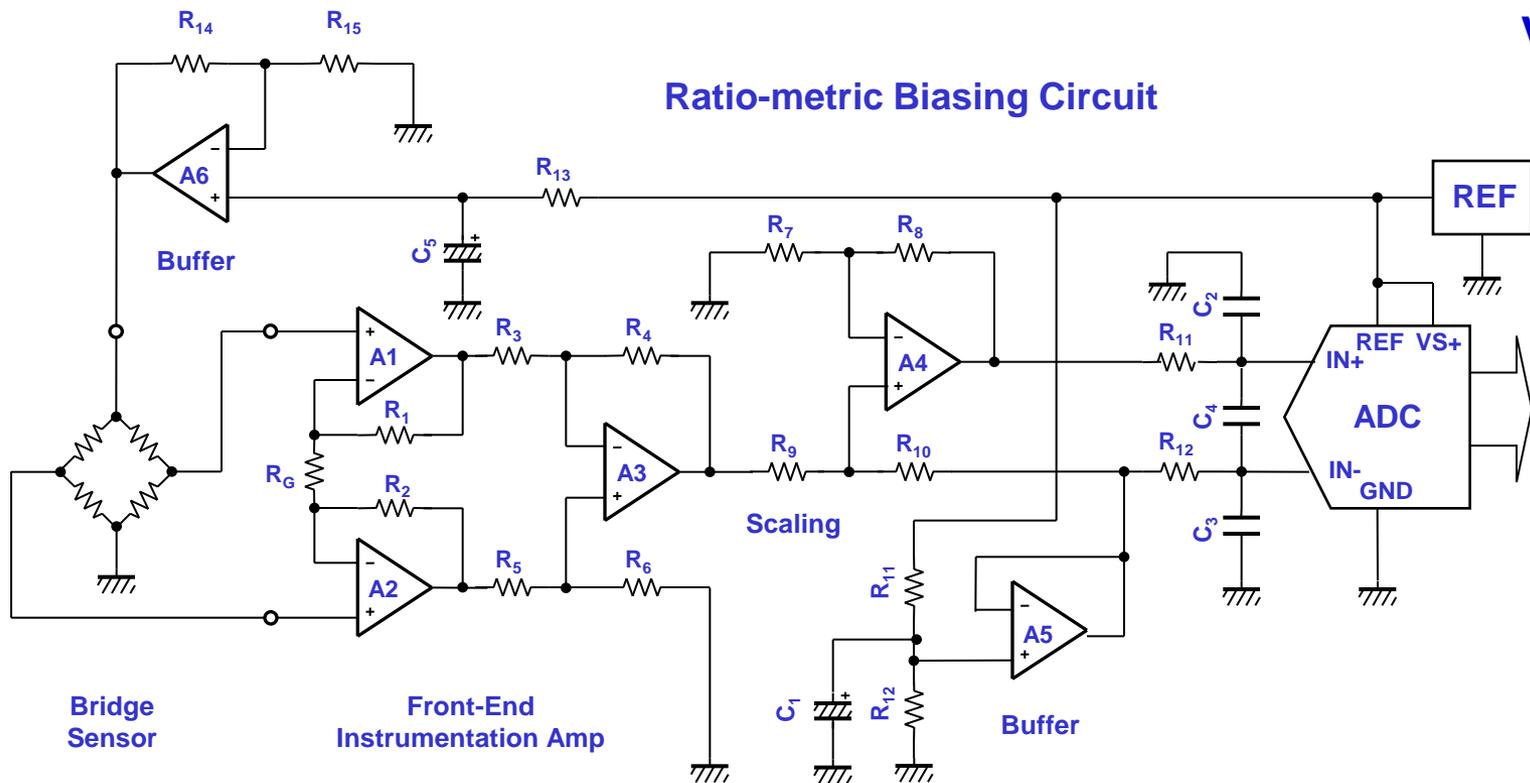


Let's learn Signal Chain

デジアナ混在回路におけるグランド配線の要点

Ver.-2



セッション・インデックス

✦ S11.1 グランド・ライン設計の基礎知識. 単一ADCの場合

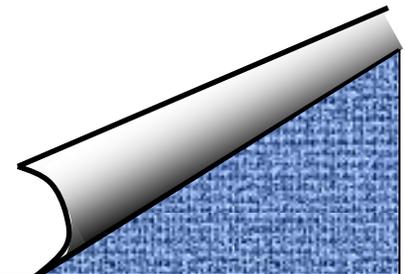
- (1) 信号伝達とグランド電流の関係
- (2) グランド電位対策

✦ S11.2 グランド・ライン設計の基礎知識. 複数ADCの場合

- (1) グランド・ループ対策
- (2) デカップリング・コンデンサのパス

✦ S11.3 実験ボードによる検証

- (1) 回路構成
- (2) 個別A/Dの同期制御
- (3) コリレーション(相関試験)
- (4) ループ電流の実測
- (5) グランド配線の実験から得た結論



✦ S11.1 グランド・ライン設計の基礎知識. 単一ADCの場合

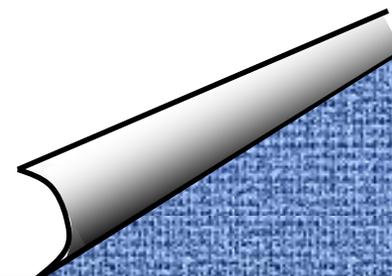
- (1) 信号伝達とグランド電流の関係
- (2) グランド電位対策

✦ S11.2 グランド・ライン設計の基礎知識. 複数ADCの場合

- (1) グランド・ループ対策
- (2) デカップリング・コンデンサのパス

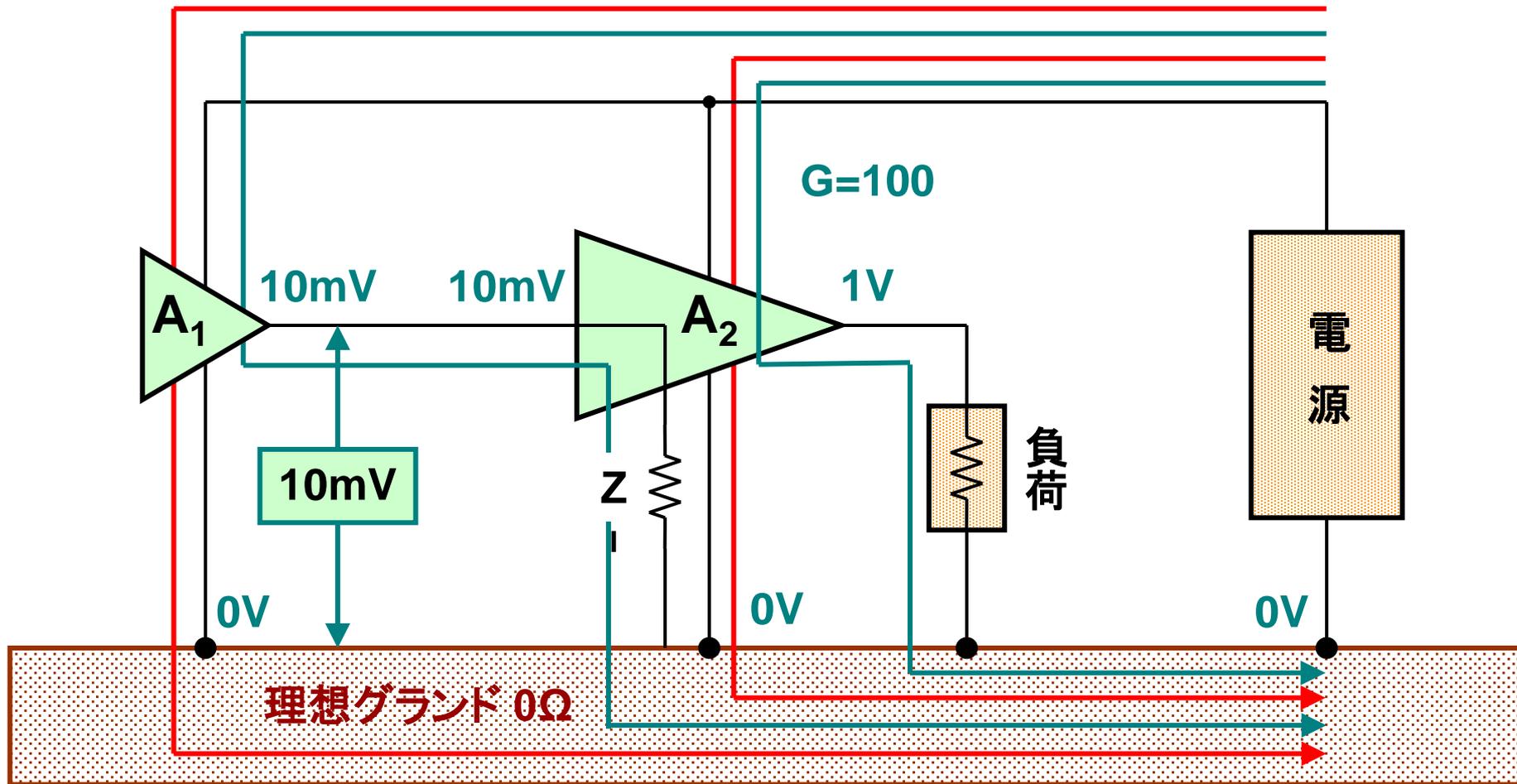
✦ S11.3 実験ボードによる検証

- (1) 回路構成
- (2) 個別A/Dの同期制御
- (3) コリレーション(相関試験)
- (4) ループ電流の実測
- (5) グランド配線の実験から得た結論



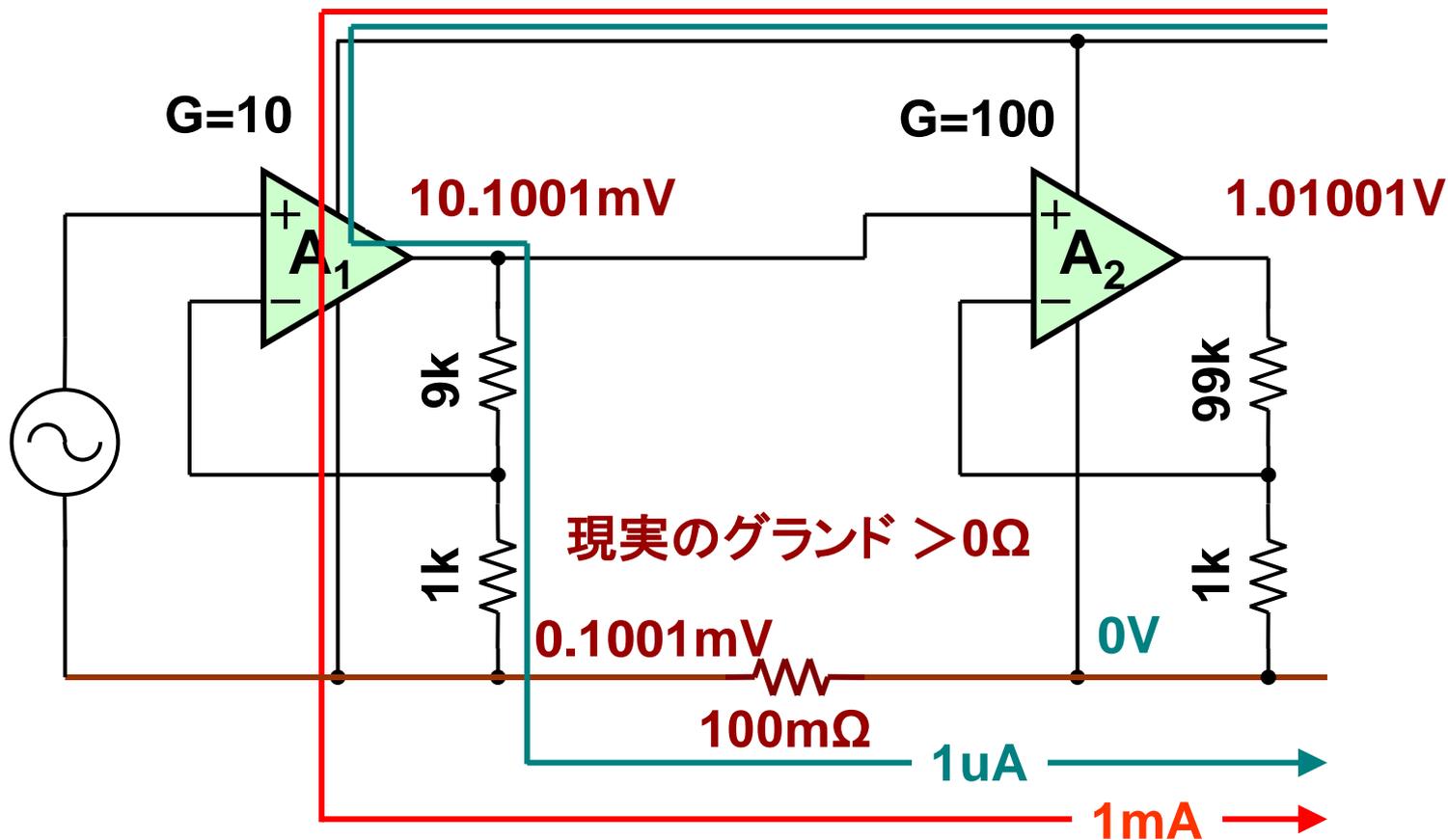
信号伝達とグランド電流の関係：理想グランド

グランド・ラインには複数の電流が流れる



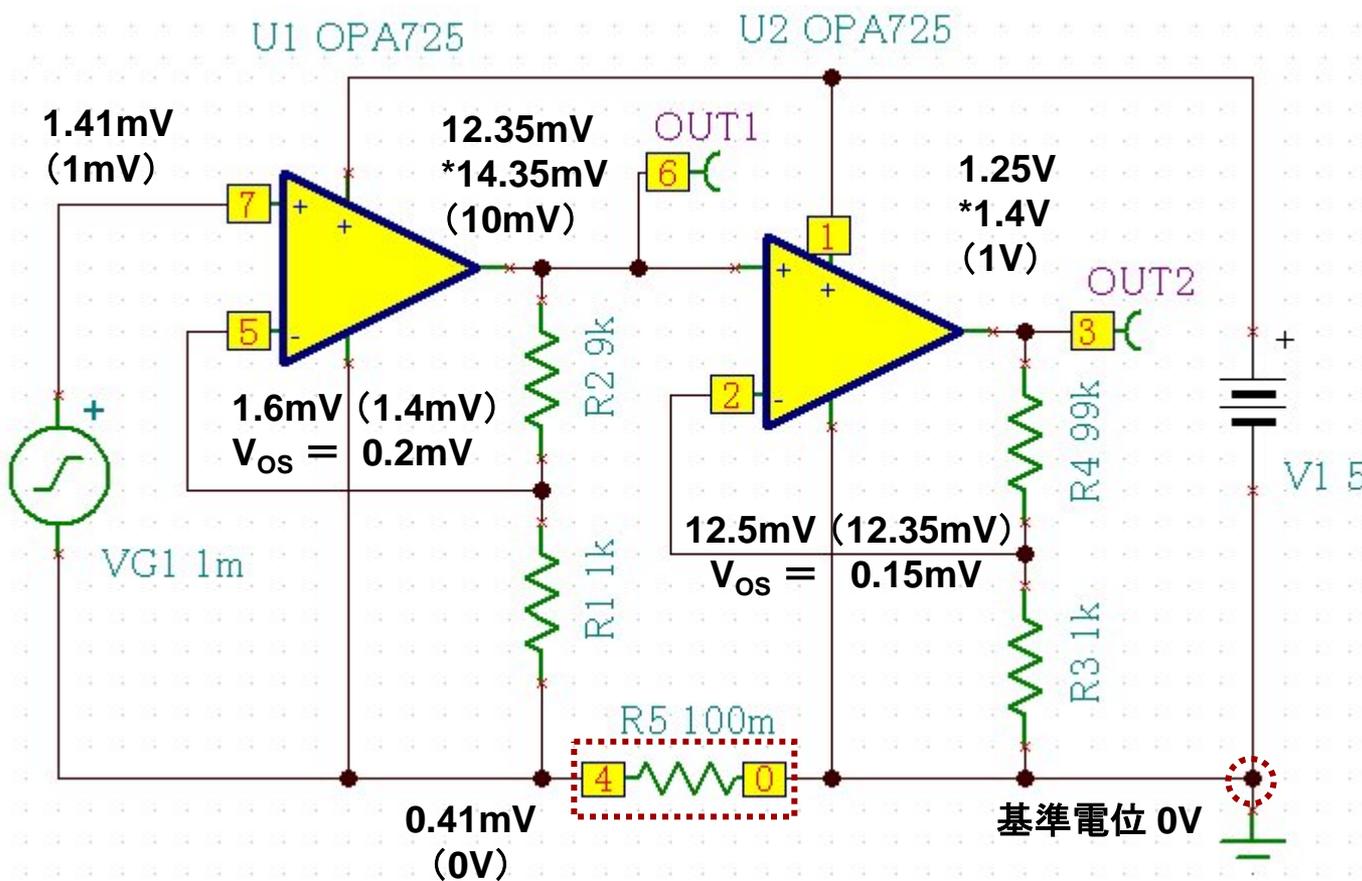
信号伝達とグランド電流の関係: 現実のグランド

電源リターンと信号伝達ラインが共通の場合は誤差が増大



信号伝達とグランド電流の関係:シミュレーションによる確認

100mΩの配線抵抗が、出力電圧に40%の誤差を与える。(括弧内が真値)

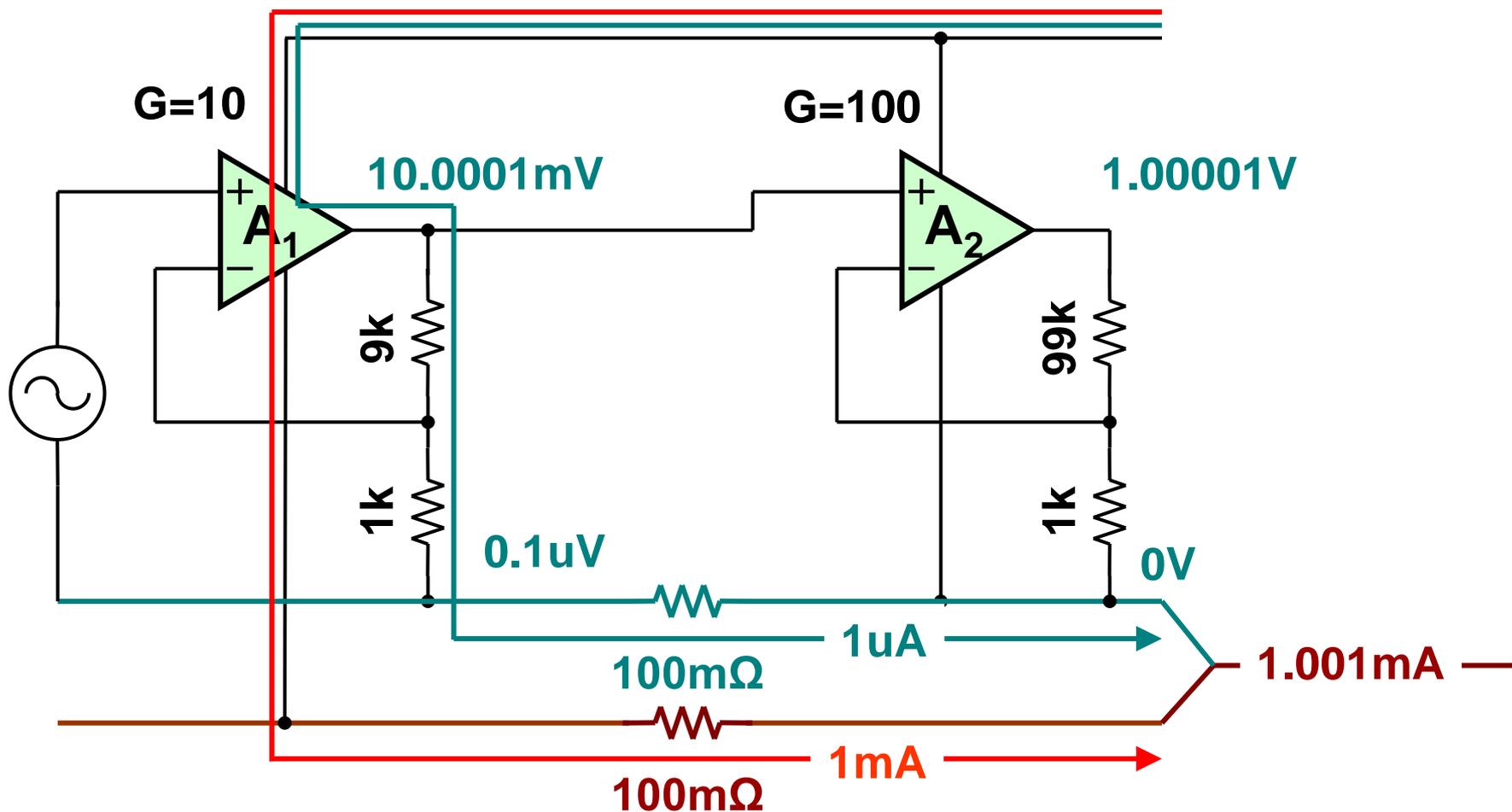


Nodes	Values
I_R1[5,4]	1.194169uA
I_R2[6,5]	1.19416uA
I_R3[2,0]	12.499851uA
I_R4[3,2]	12.499842uA
I_R5[4,0]	4.082524mA
I_VG1[7,4]	9.083565pA
OUT1	12.349857mV
OUT2	1.249984V
VP_1	5V
VP_2	12.499851mV
VP_3	1.249984V
VP_4	408.252448uV
VP_5	1.602421mV
VP_6	12.349857mV
VP_7	1.408252mV

記事: “*”印のノード電圧は、アンプの入力オフセット電圧 V_{os} 補正後の値

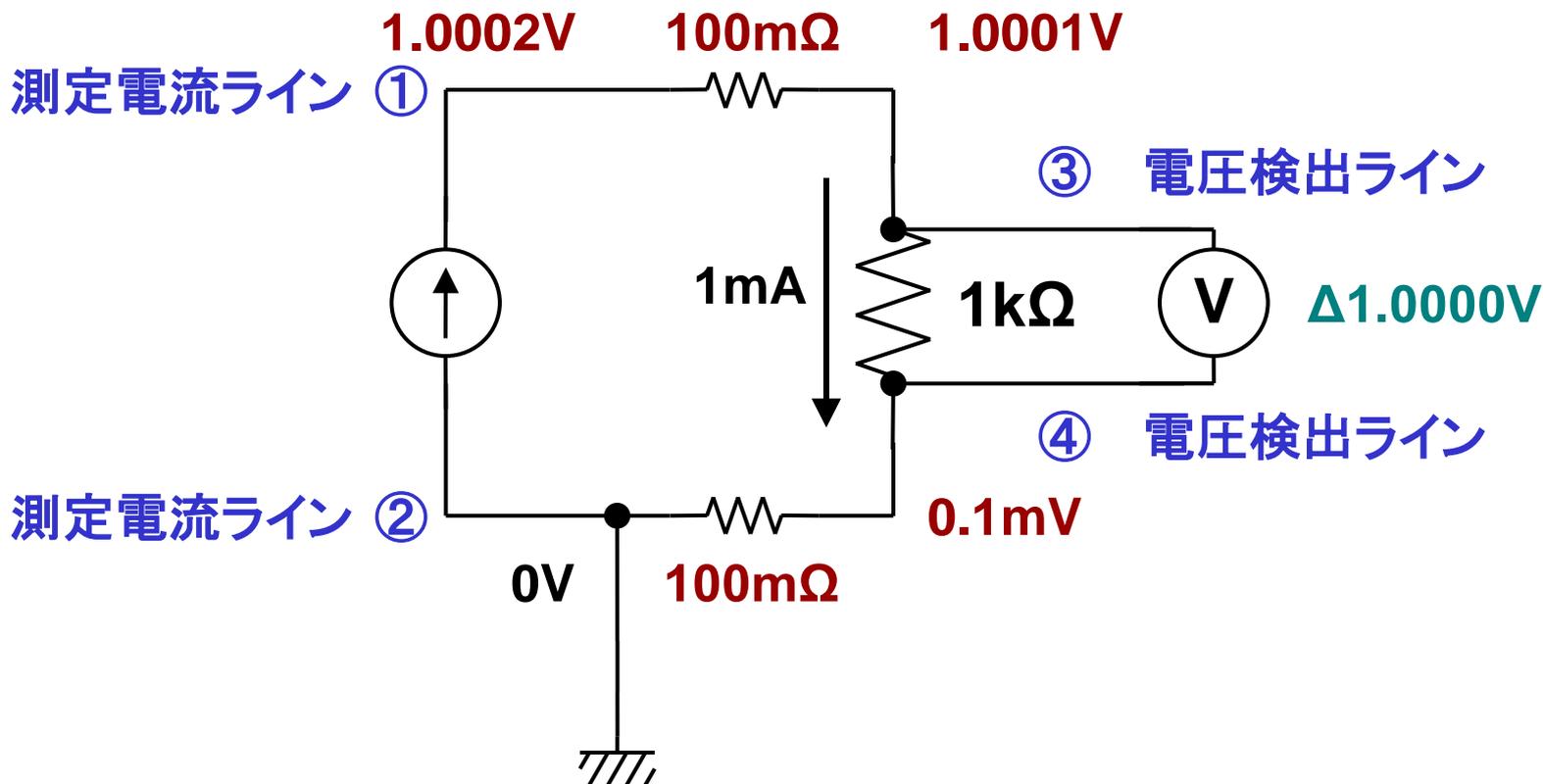
信号伝達とグランド電流の関係：現実のグランド

電源リターンと信号伝達ラインが別になると誤差が減少



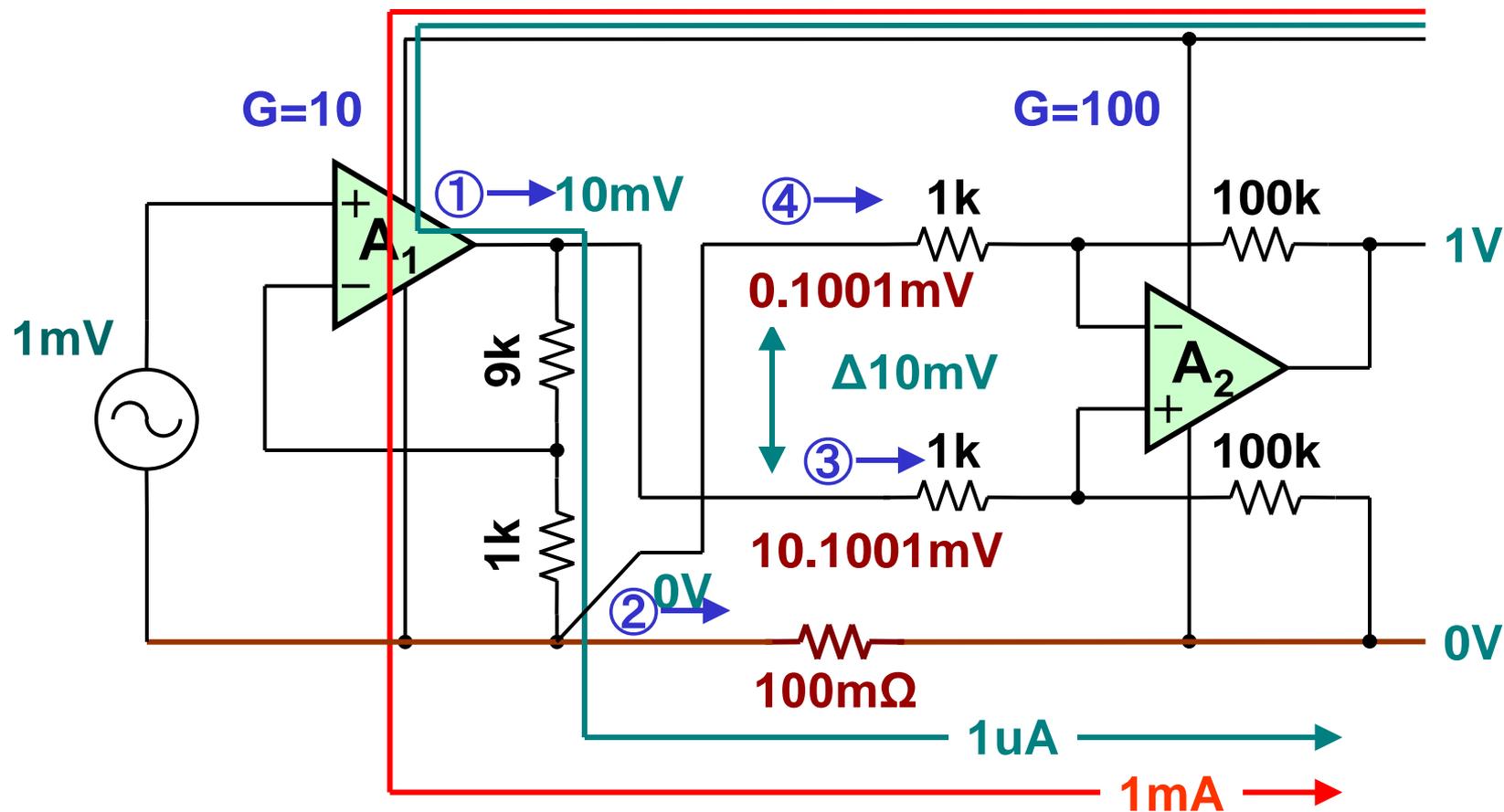
グランド電位対策:ケルビン接続, 抵抗値の高精度測定の実例

4本の配線から構成されるため4線式接続とも呼ばれる



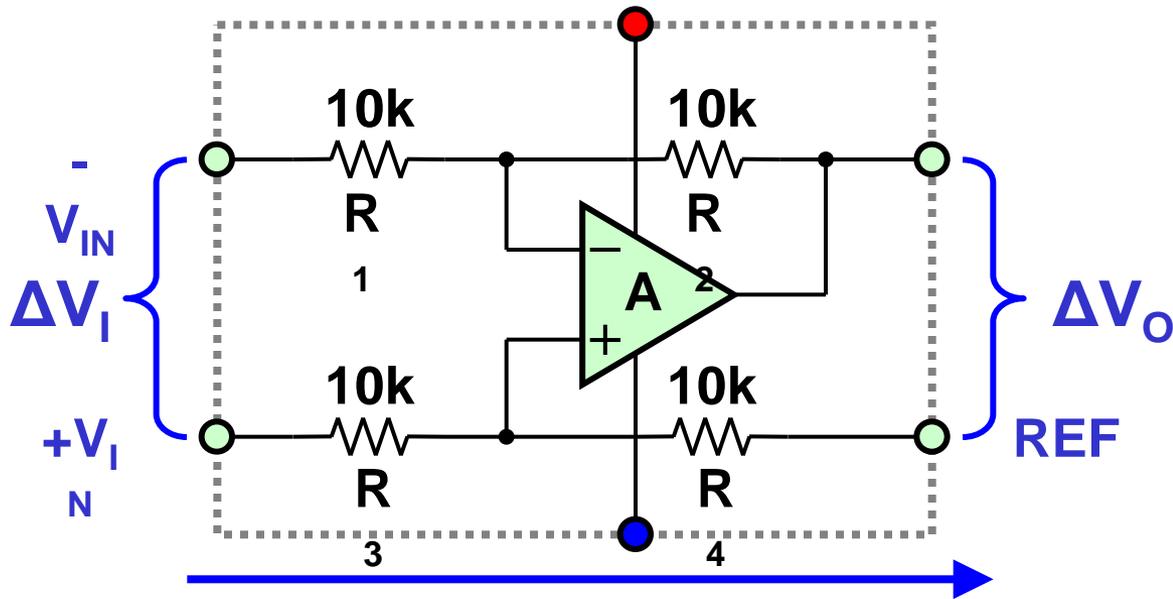
グランド電位対策: 差動アンプを用いたグランド電位差の低減

差動アンプを利用してケルビン接続を行う

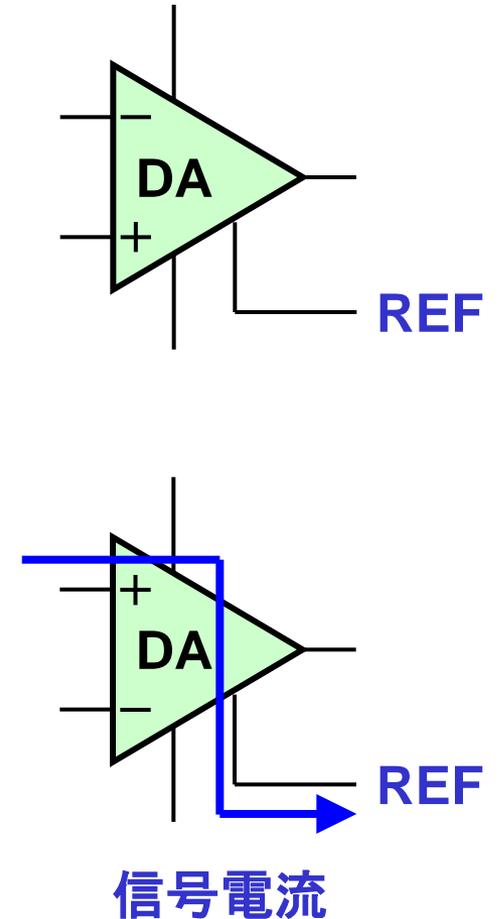


グランド電位対策: 差動アンプ(DA)の動作とここで使うシンボル

$R1=R3, R2=R4$ とすれば $G=R2/R1$

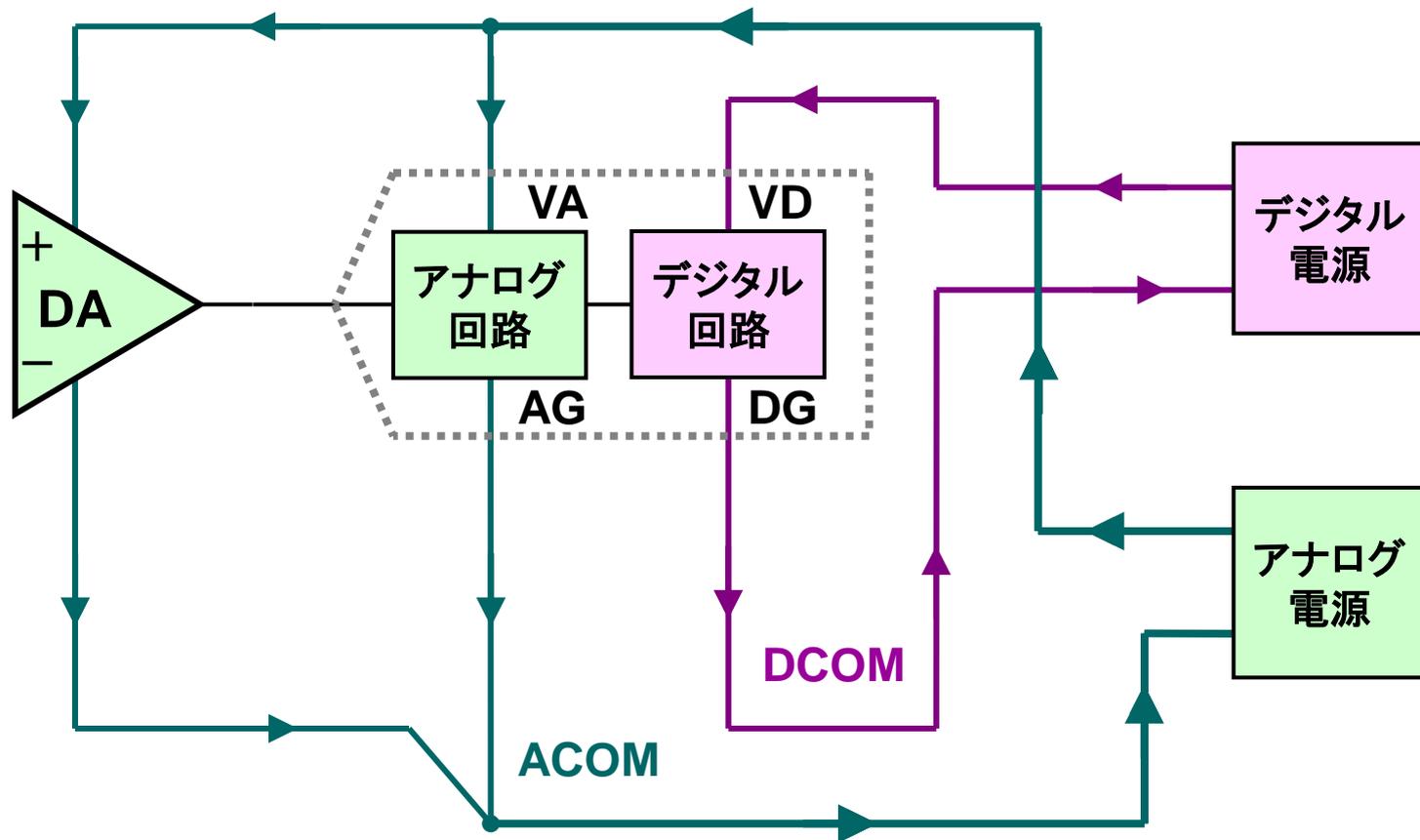


$$I_s = \frac{(+V_{IN}) - (V_{REF})}{R_3 + R_4}$$



グランド電位対策: 電源電流のリターン経路を考える

ステップ1: グランド・ラインの設計は電源を含めて考える

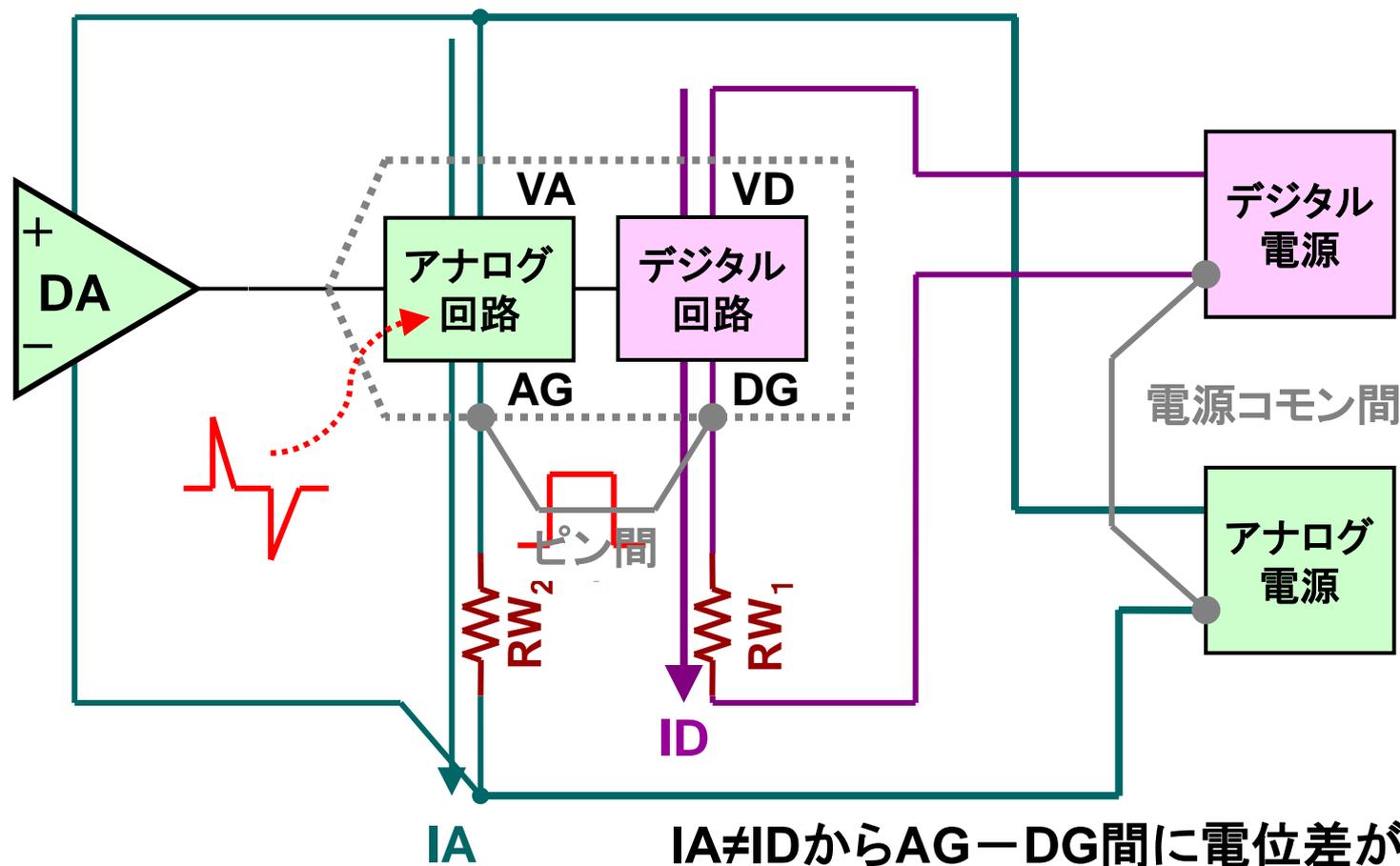


ACOM=ANALOG COMMON

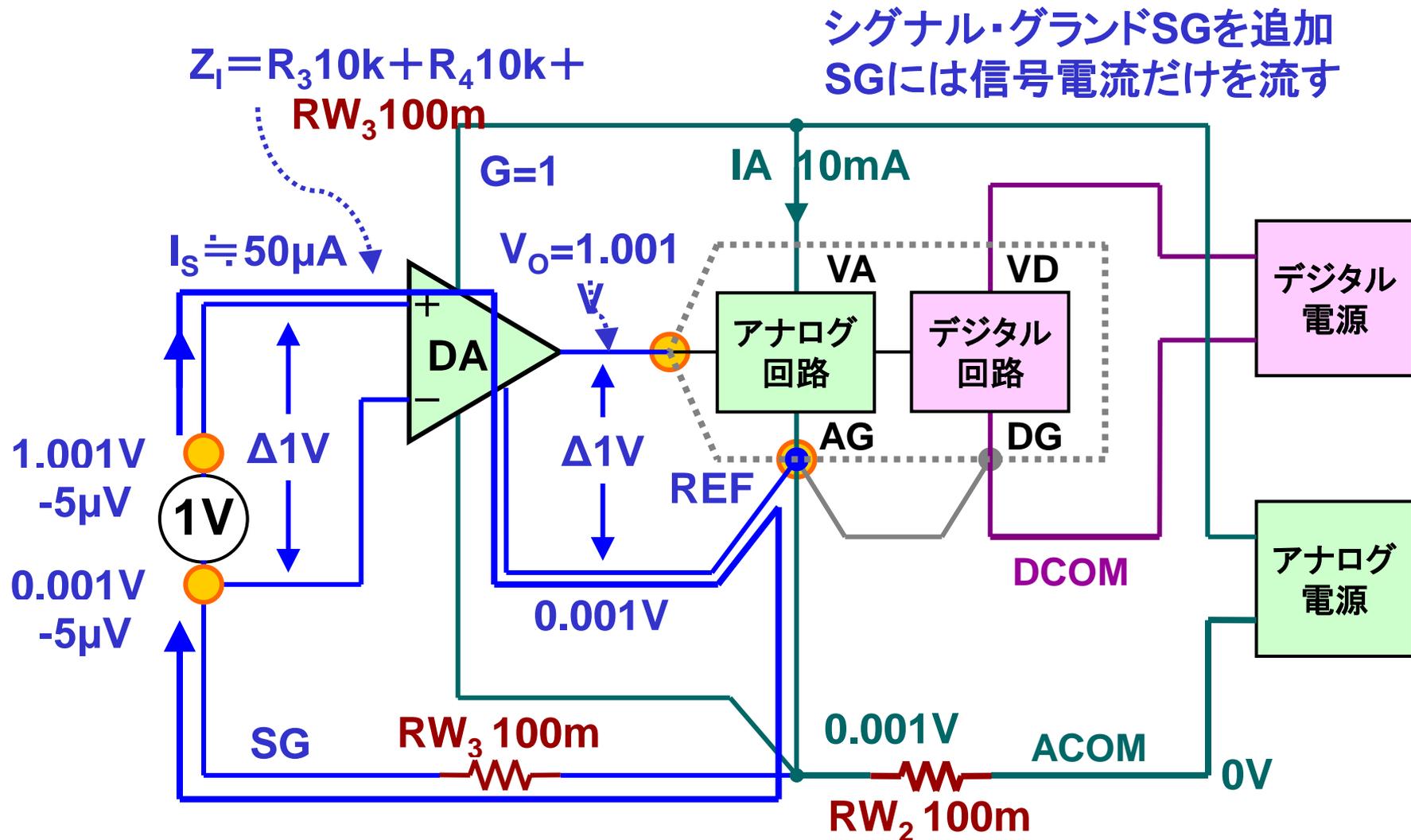
DCOM=DIGITAL COMMON

グランド電位対策: 両電源のコモン電位を等しくする

電源のコモン間ショートはAG—DG間に電位差を与える
AG—DG間に電位差を与えないようにピン間をショート



グラウンド電位対策: 単一A/Dに対する基本接続



✦ S11.1 グランド・ライン設計の基礎知識. 単一ADCの場合

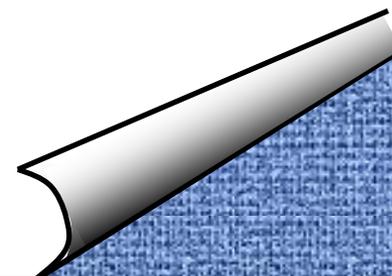
- (1) 信号伝達とグランド電流の関係
- (2) グランド電位対策

✦ S11.2 グランド・ライン設計の基礎知識. 複数ADCの場合

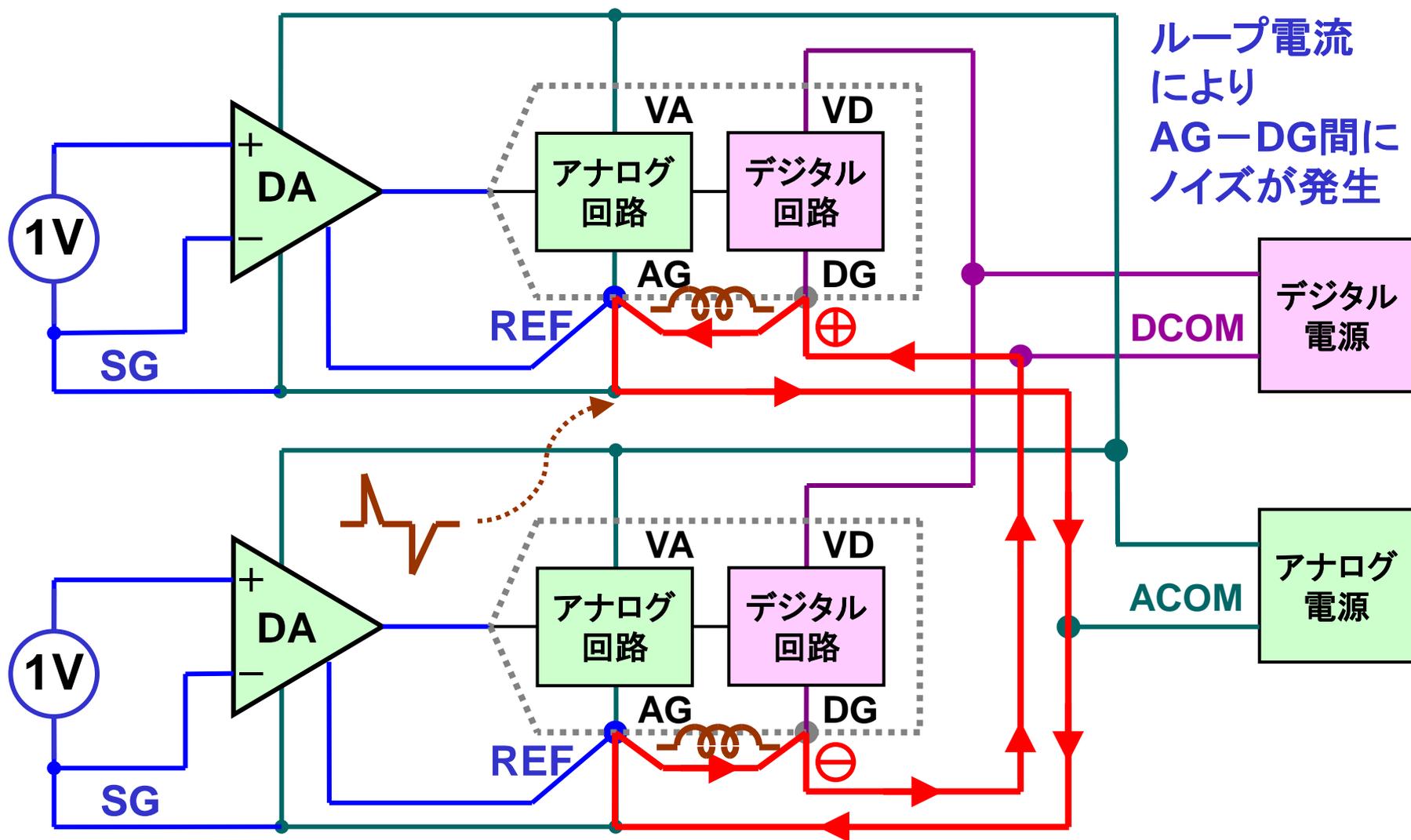
- (1) グランド・ループ対策
- (2) デカップリング・コンデンサのパス

✦ 11.3 実験ボードによる検証

- (1) 回路構成
- (2) 個別A/Dの同期制御
- (3) コリレーション(相関試験)
- (4) ループ電流の実測
- (5) グランド配線の実験から得た結論

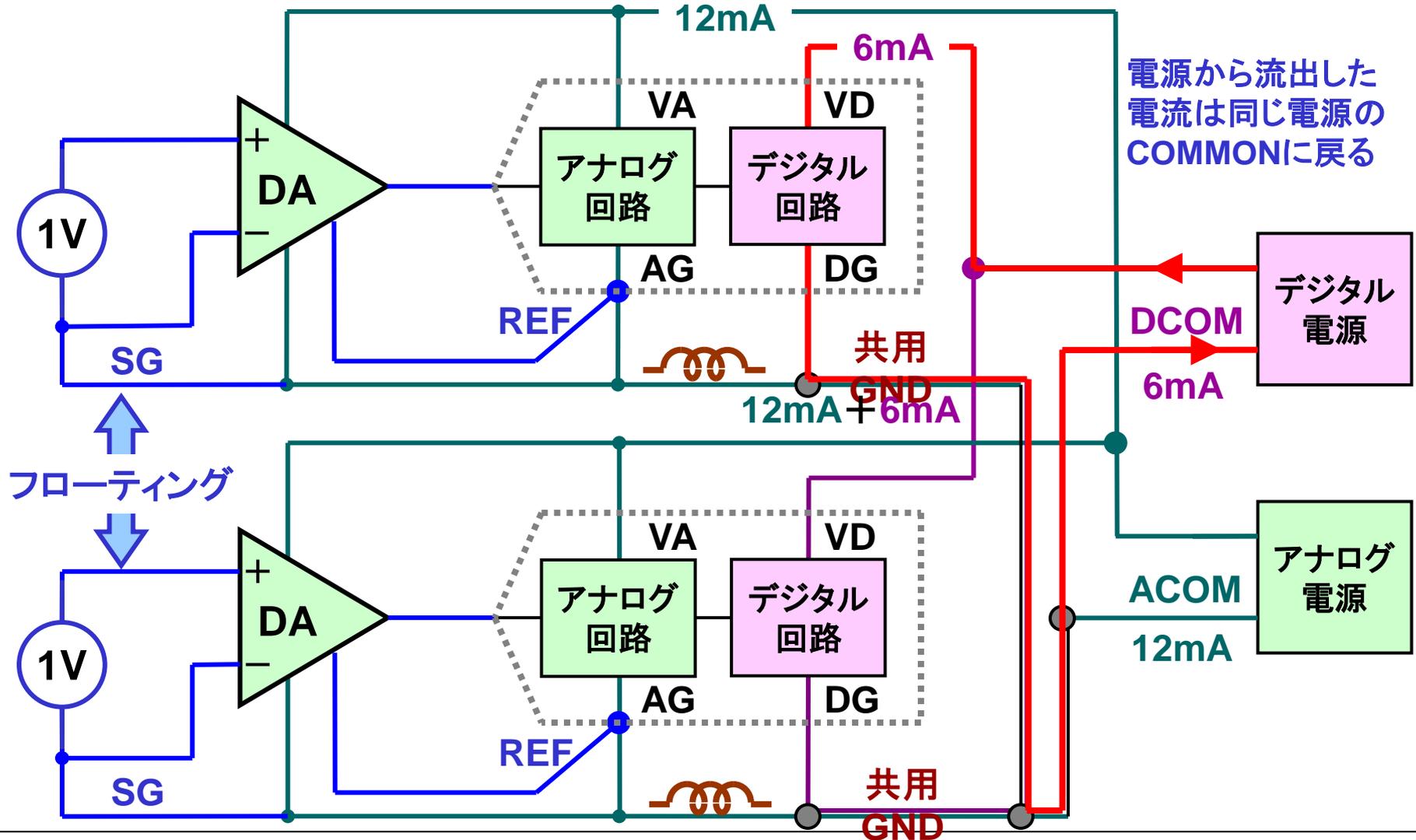


グランド・ループ対策: 複数A/Dへ応用するとグランド・ループできる



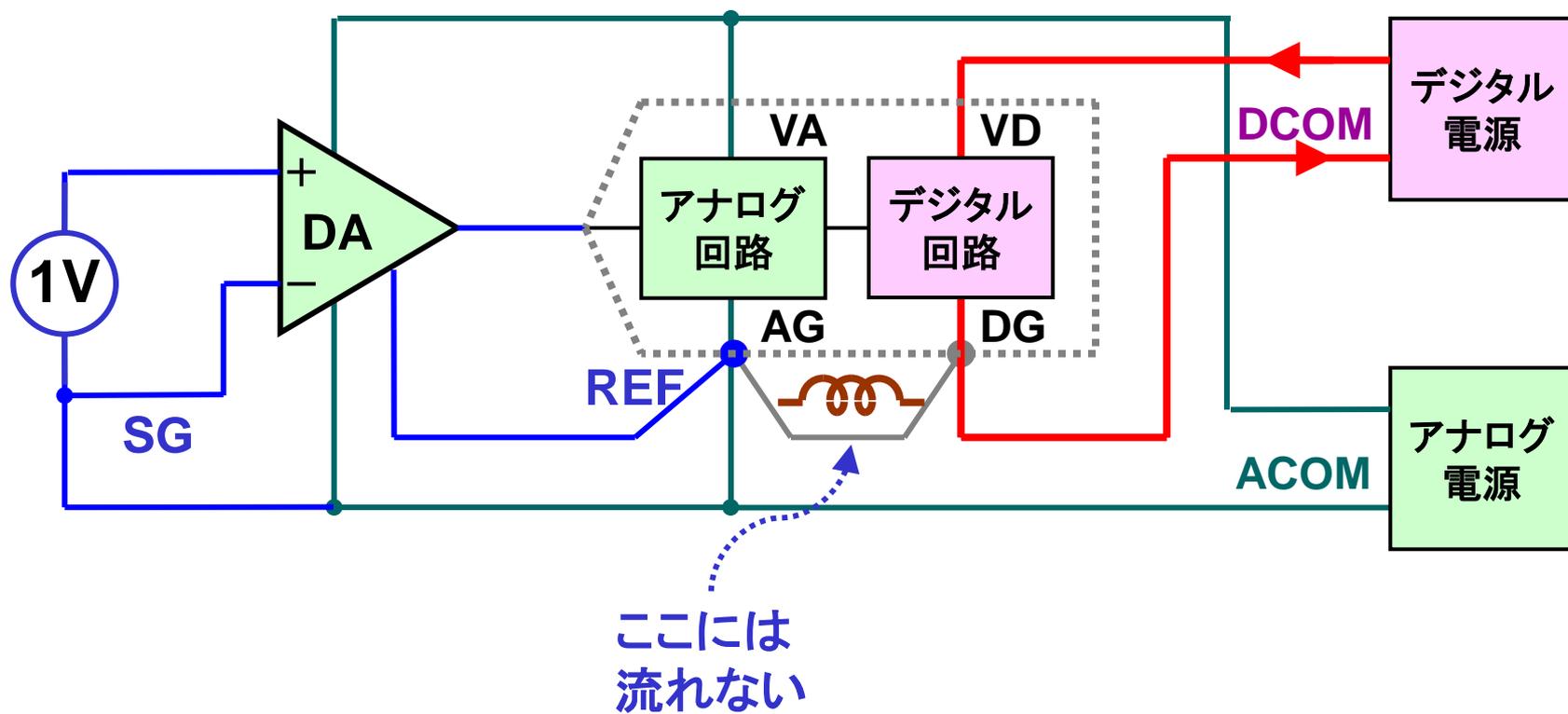
グラウンド・ループ対策: 信号源側グラウンドが分離されている場合

対策: ACOMとDCOMを共用GNDに落とす

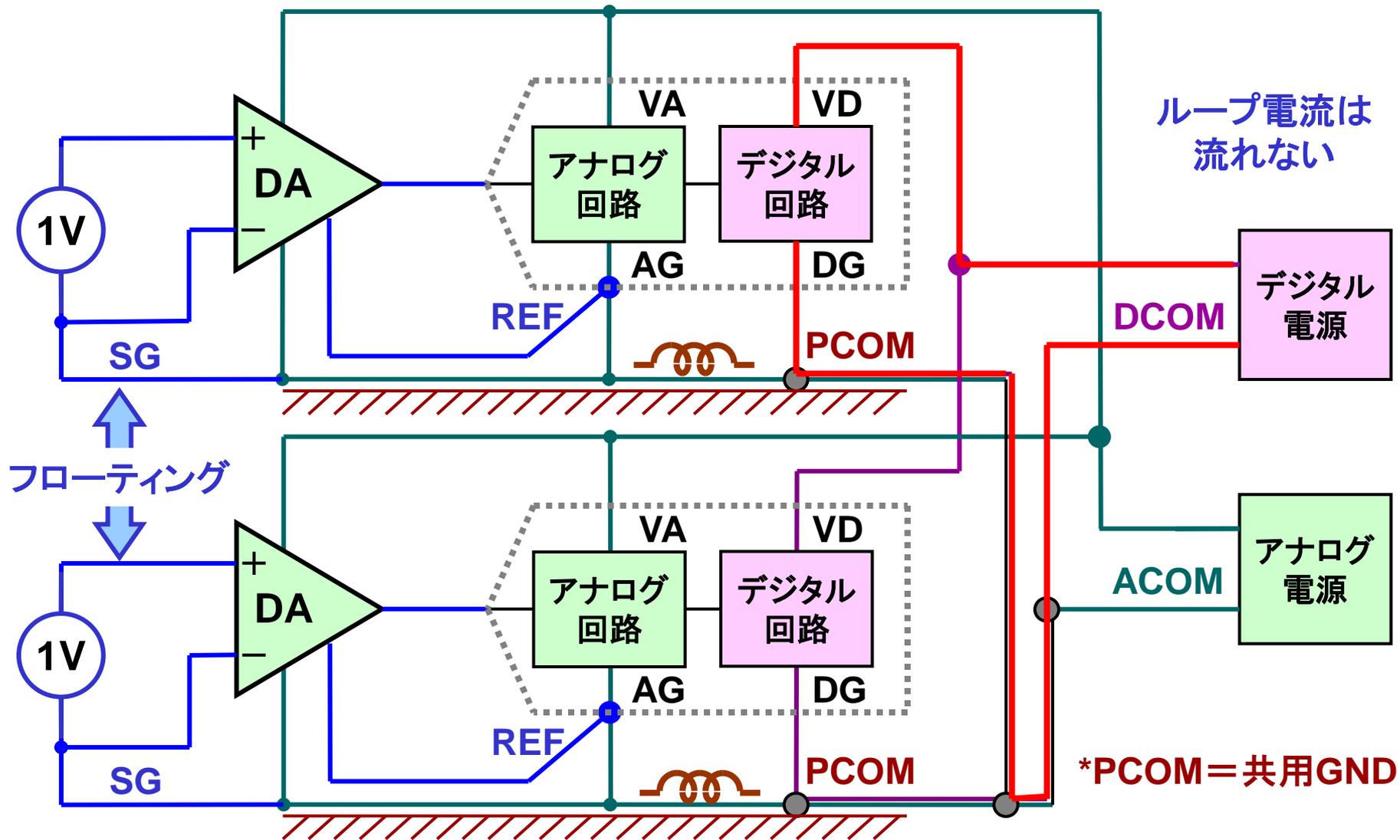


グランド・ループ対策: 単一A/Dの場合を振り返ると

同様に電源から流出した電流は
同じ電源のCOMMONに戻る

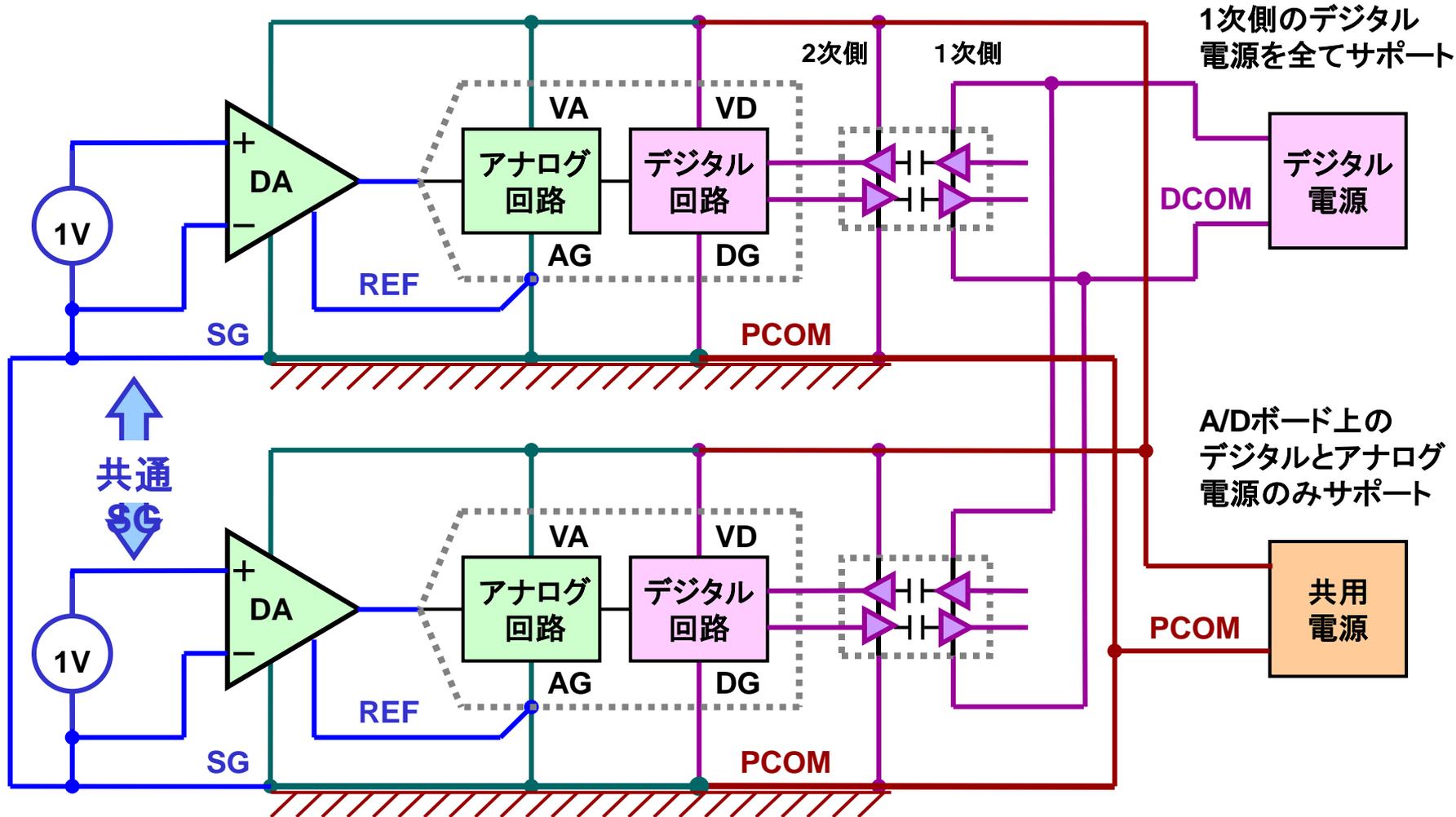


グラウンド・ループ対策: グラウンドの共用はベタ・グラウンドが有効



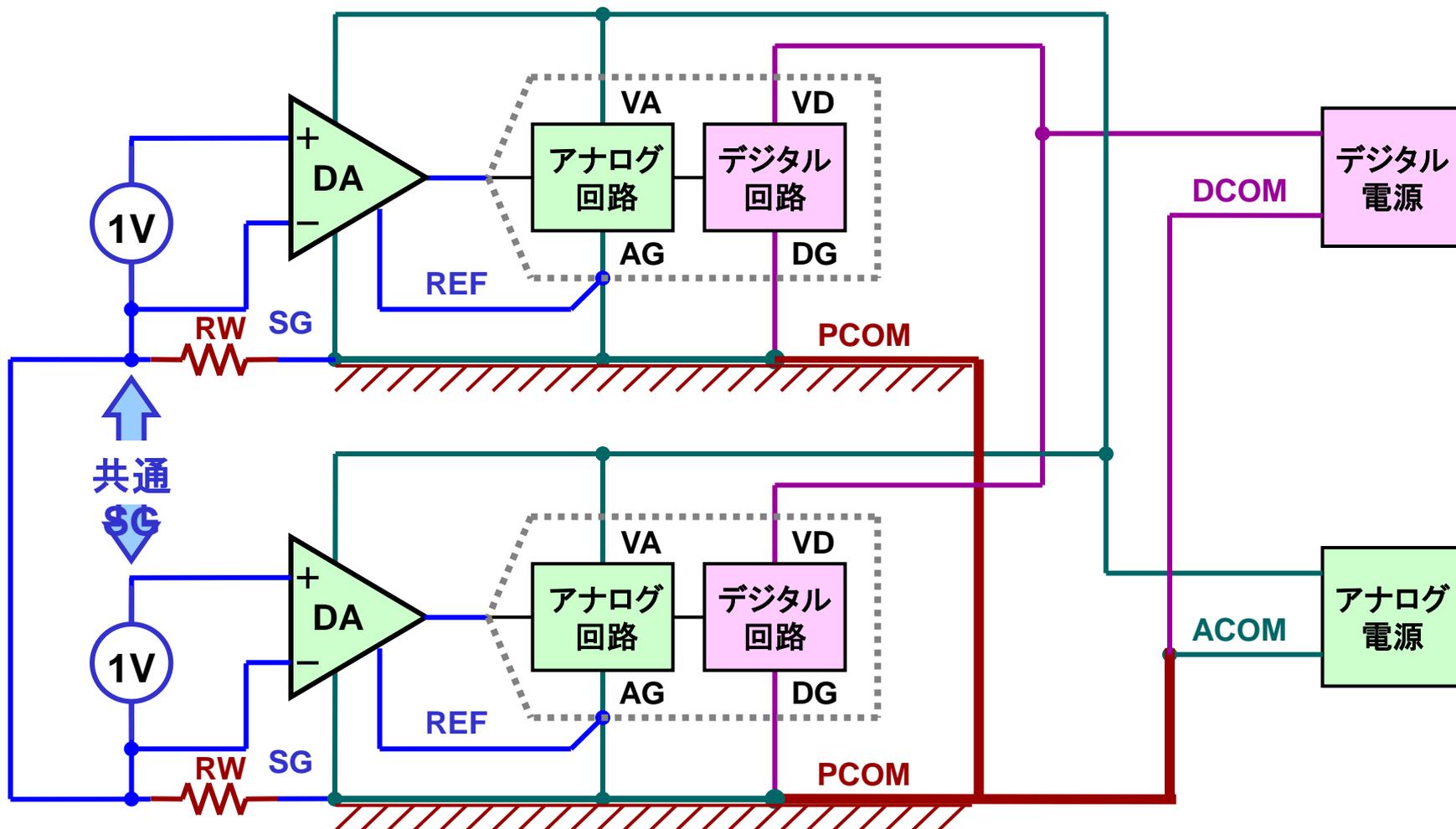
グラウンド・ループ対策: 信号源側が共通グラウンドになっている場合

対策: デジタル・ラインの絶縁分離によるループ電流の軽減

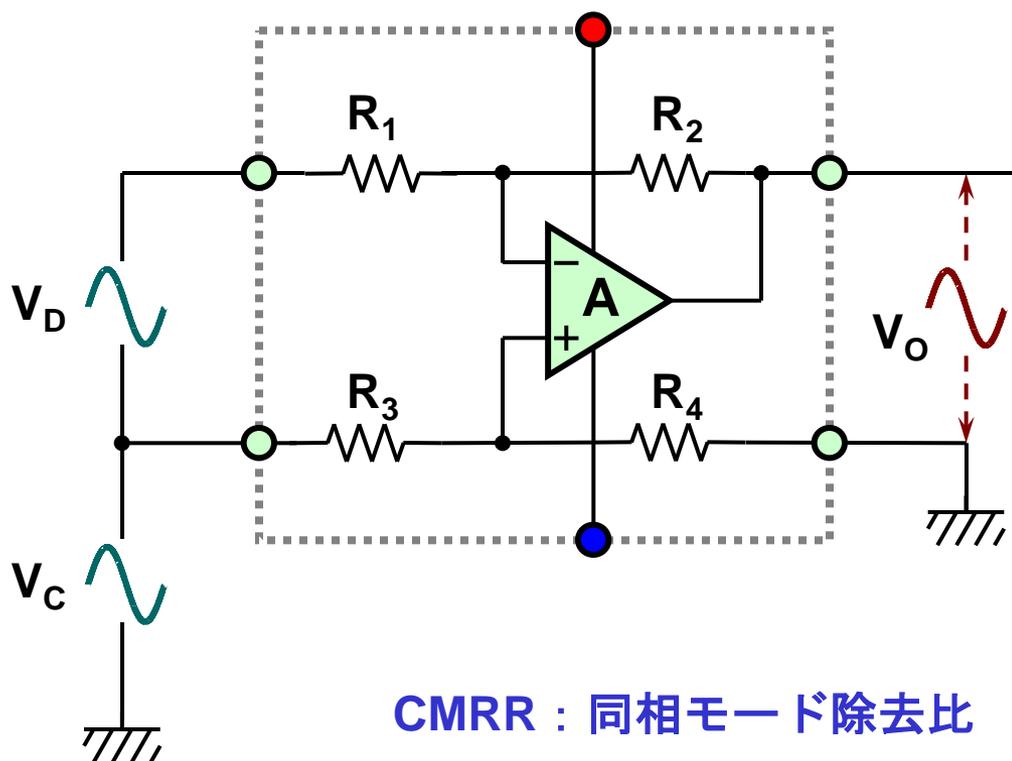


グランド・ループ対策: 差動アンプのCMRRによる電位差の抑制

対策: 低消費電力回路では, 差動アンプとベタ・グランドの組み合わせで対処.



グランド・ループ対策：抵抗精度で決まる差動アンプのCMRR



差動ゲイン

$$G_D = \frac{V_O}{V_D} = \frac{R_2 + R_4}{R_1 + R_3}$$

同相モードゲイン

$$G_C = \frac{V_O}{V_C} = \frac{R_4(R_1 + R_2)}{R_1(R_3 + R_4)} - \frac{R_2}{R_1}$$

CMRR : 同相モード除去比

$$\text{CMRR} = \frac{G_D}{G_C} = \frac{R_2 R_3 + R_2 R_4}{R_1 R_4 - R_2 R_3} \quad (\text{式1})$$

∴ $R_1 R_4 - R_2 R_3 = 0$ ならば

CMRR $\rightarrow \infty$

グランド・ループ対策：抵抗誤差と得られるCMRR

ここで前式1について、

抵抗 R_n ($n=1\sim 4$)の理想値と実際の値 R_n' の比を
誤差分 ε として分離($\varepsilon_n = R_n/R_n'$)して表すと

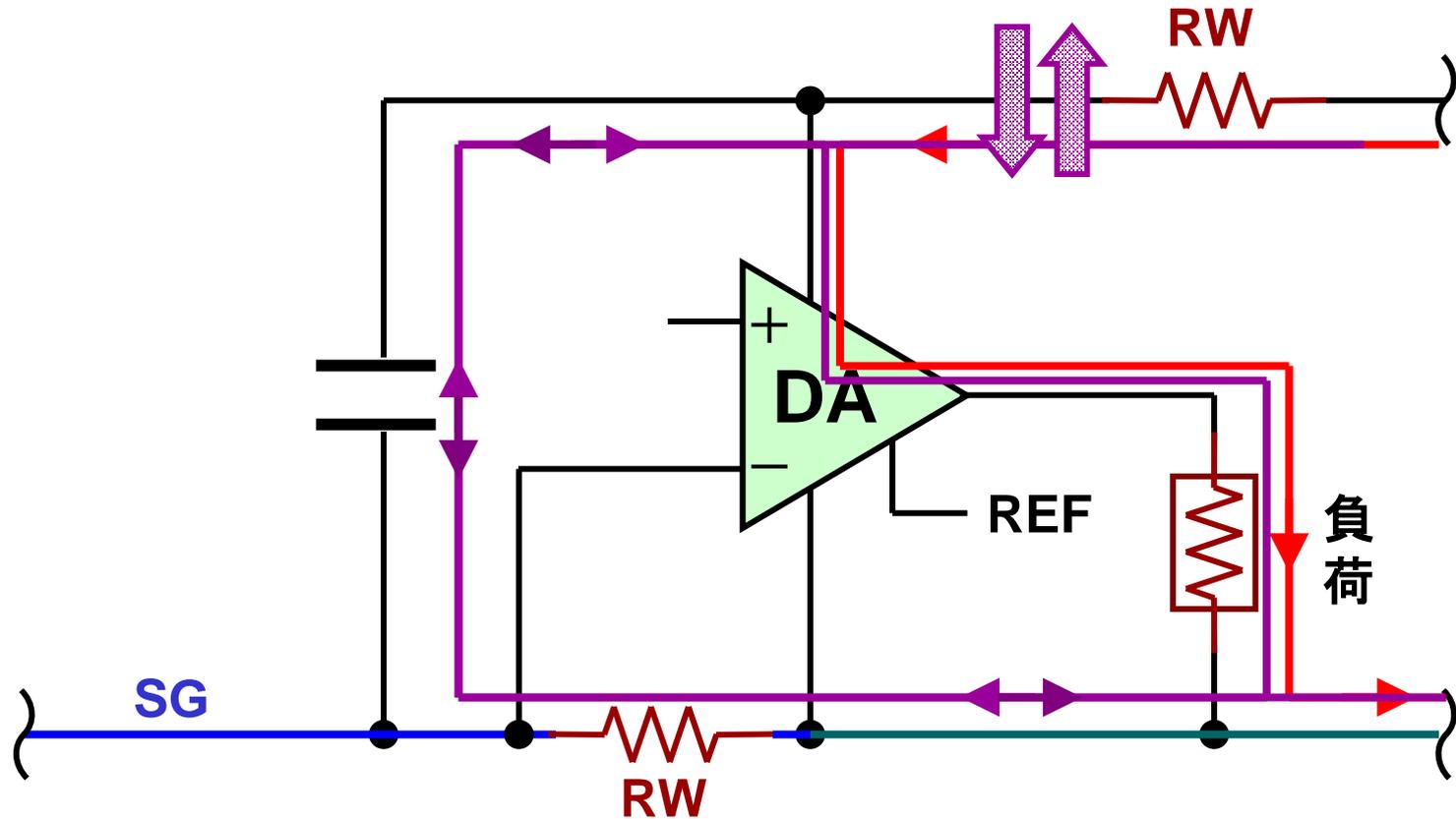
使用する抵抗誤差の幅が定めれば
 ε_n を ε とおいて

$$CMRR = \frac{R_2 R_3 (1 + \varepsilon_2)(1 + \varepsilon_3) + R_2 R_4 (1 + \varepsilon_2)(1 + \varepsilon_4)}{R_1 R_4 (1 + \varepsilon_1)(1 + \varepsilon_4) - R_2 R_3 (1 + \varepsilon_2)(1 + \varepsilon_4)}$$

$$CMRR = \frac{Gd + 1}{4\varepsilon}$$

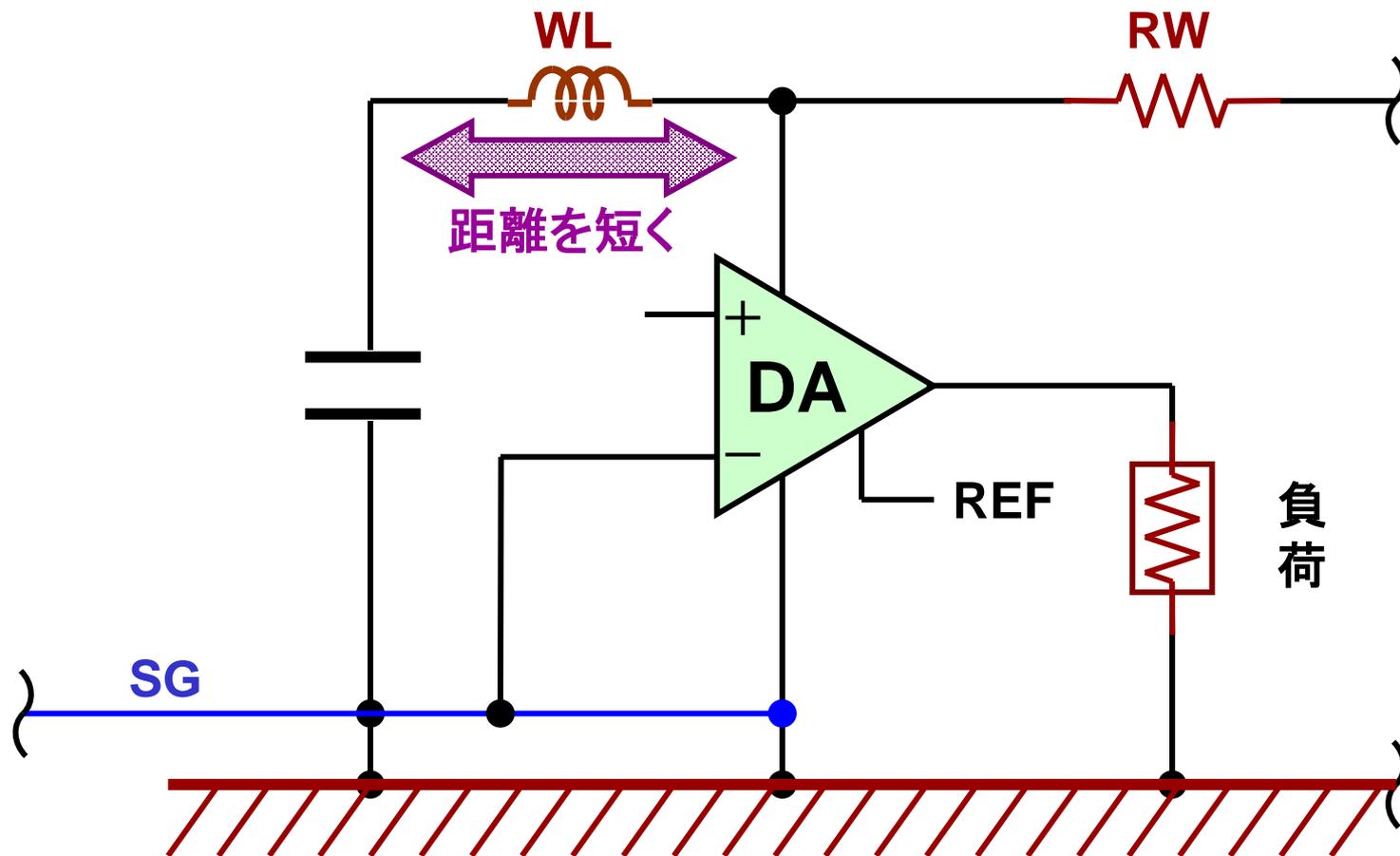
抵抗精度	ゲイン			
	1	10	100	
%				
10	14	29	48	CMRR(dB)
5	20	35	54	
1	34	49	68	
0.5	40	55	74	
0.1	54	69	88	
0.05	60	75	94	
0.01	74	89	108	
0.005	80	95	114	

デカップリング・コンデンサのパス: 充放電経路の配線抵抗



デカップリング・コンデンサのパス: パワー・コモンへ接続

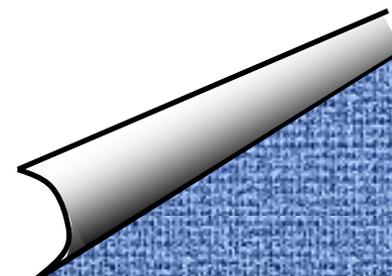
パソコンはPCOM(パワー・コモン)へ接続



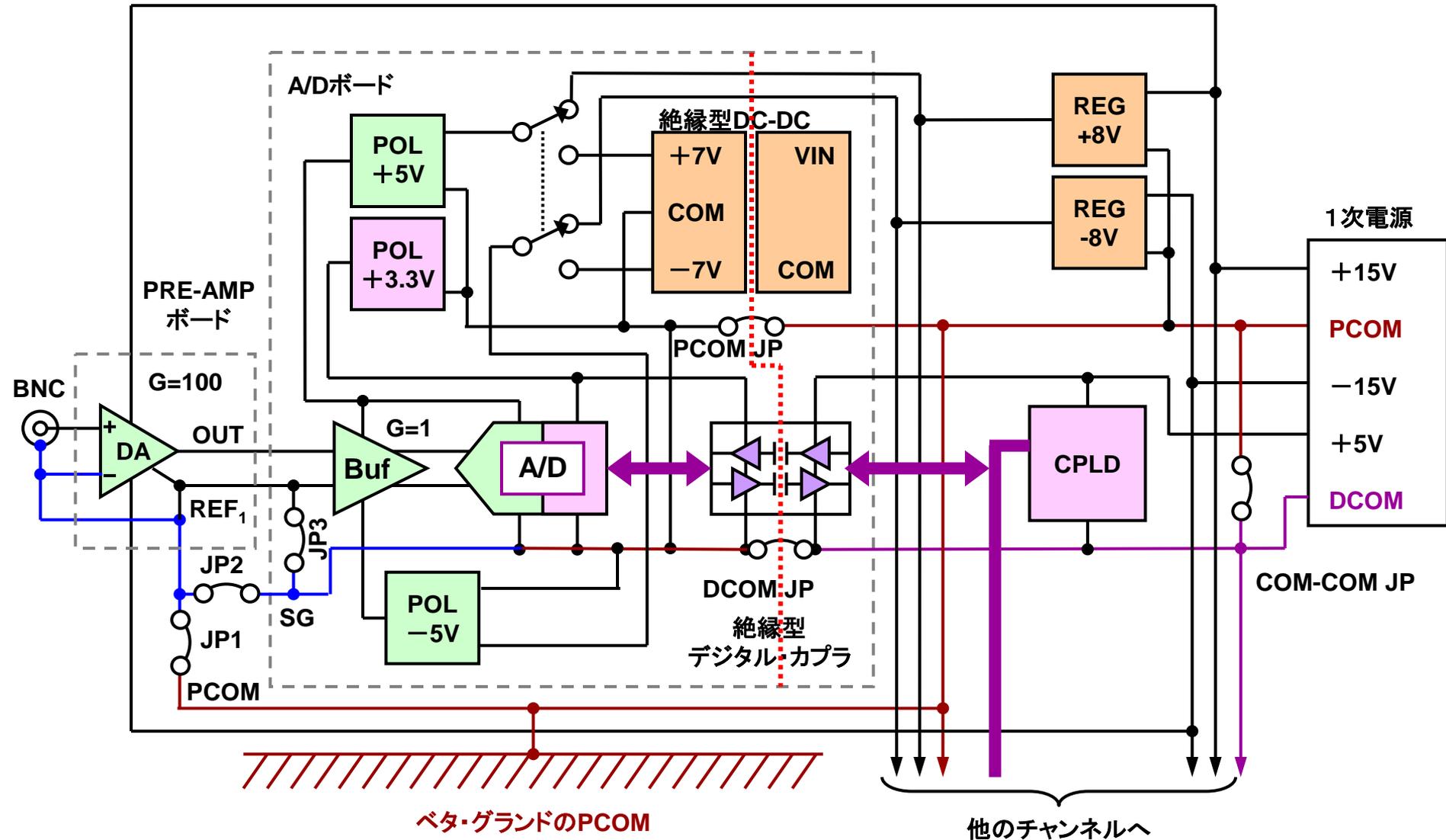
ベタ・グランドによるPCOM(ACOM, DCOM共用)

セッション・インデックス

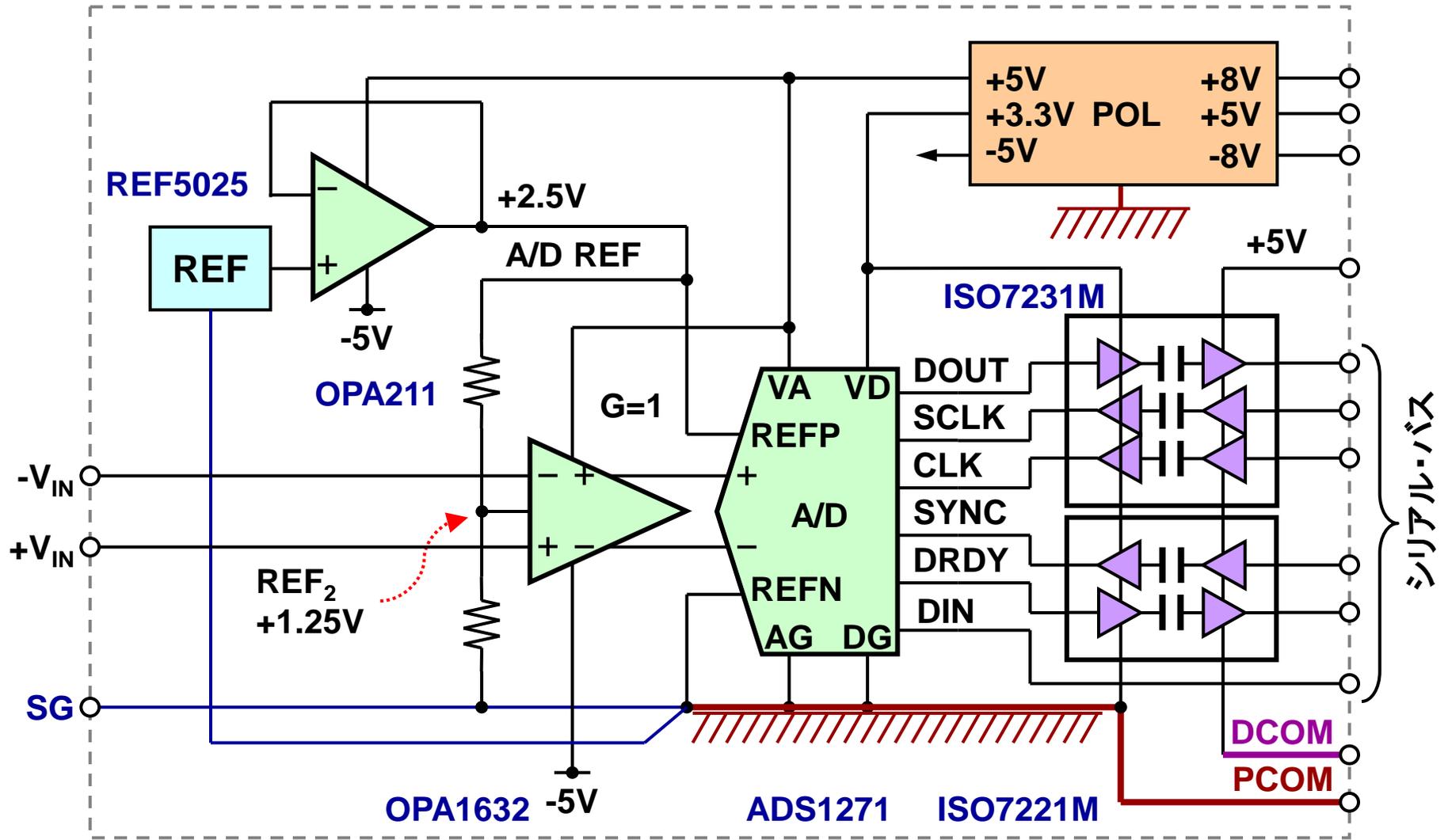
- ✦ S11.1 グランド・ライン設計の基礎知識. 単一ADCの場合
 - (1) 信号伝達とグランド電流の関係
 - (2) グランド電位対策
- ✦ S11.2 グランド・ライン設計の基礎知識. 複数ADCの場合
 - (1) グランド・ループ対策
 - (2) デカップリング・コンデンサのパス
- ✦ **S11.3 実験ボードによる検証**
 - (1) 回路構成
 - (2) 個別A/Dの同期制御
 - (3) コリレーション(相関試験)
 - (4) ループ電流の実測
 - (5) グランド配線の実験から得た結論



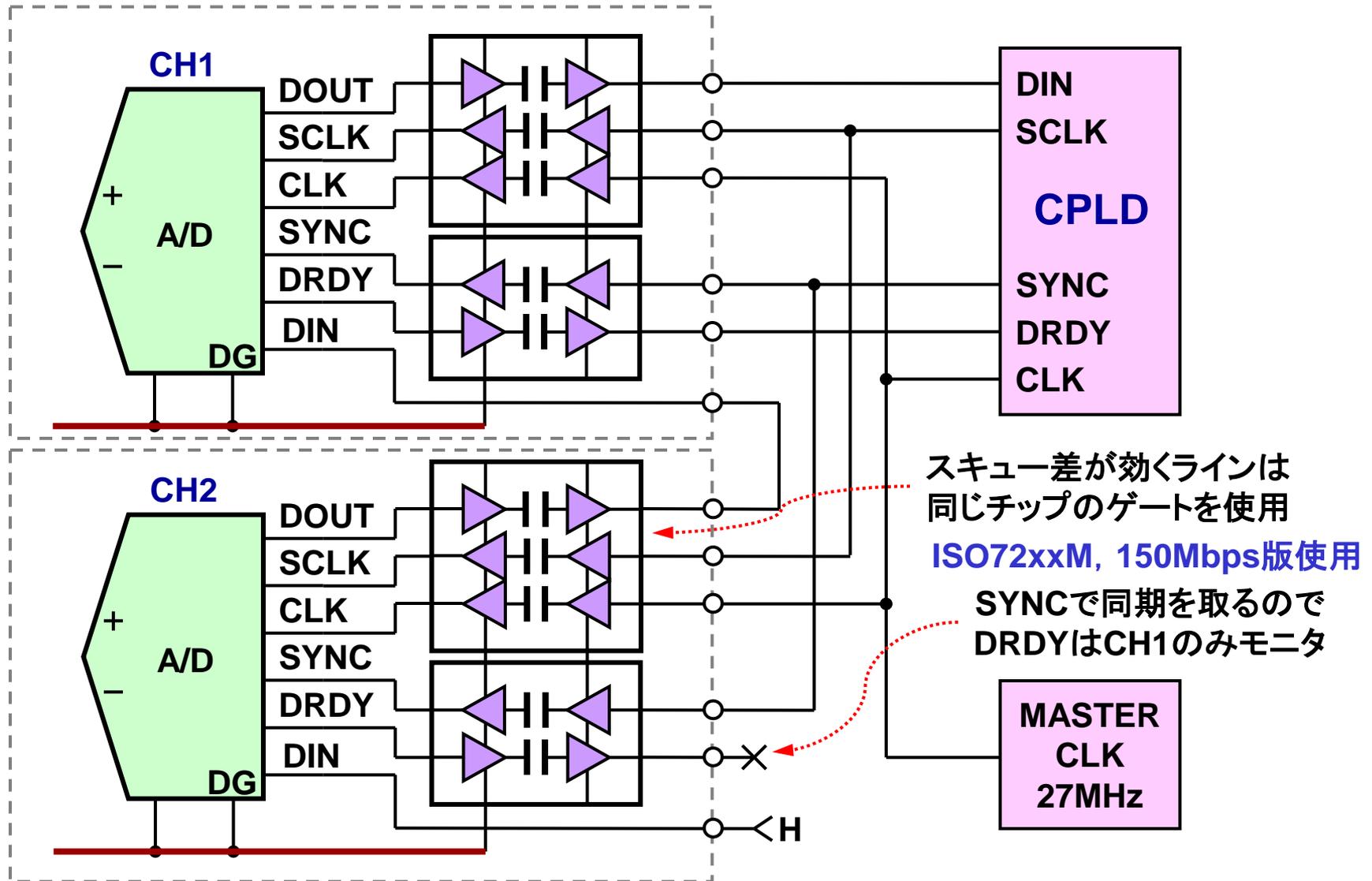
回路構成: 多チャンネルDC~25kHzデータ収集システム



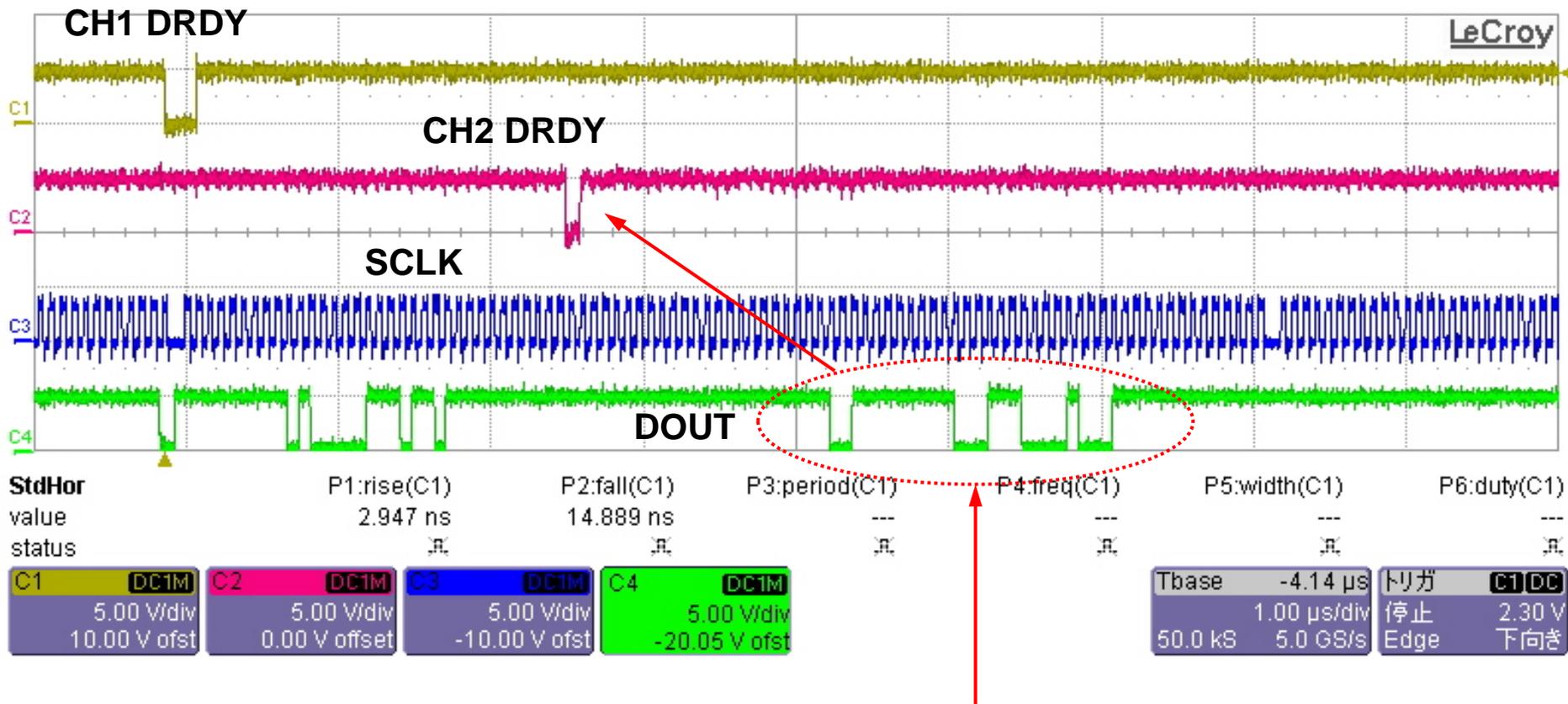
回路構成: A/Dボードのブロック図



回路構成: 同期通信によるシリアル・バスの構成

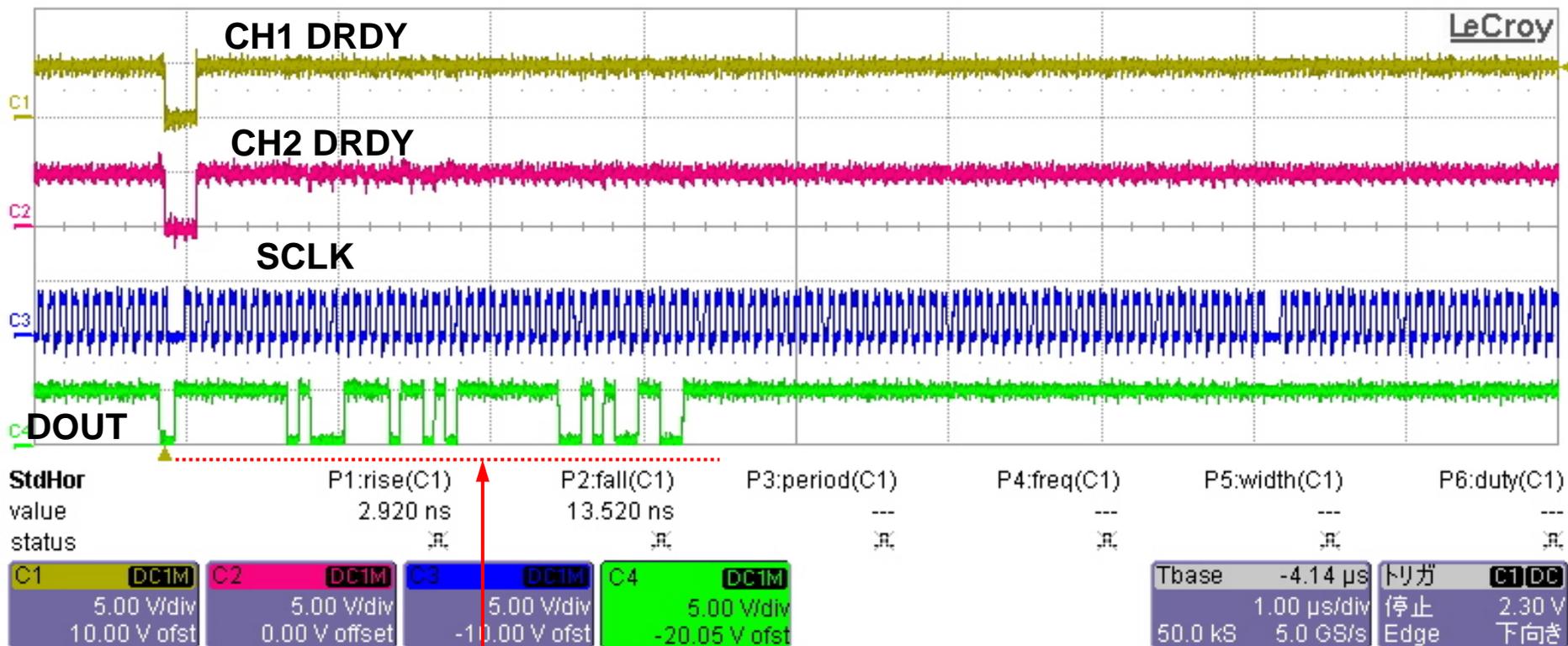


個別A/Dの同期制御: SYNCピンによる同期前



CH2のDRDYが立つ前にSCLKが入っているため、データは一つ古いものが出力される

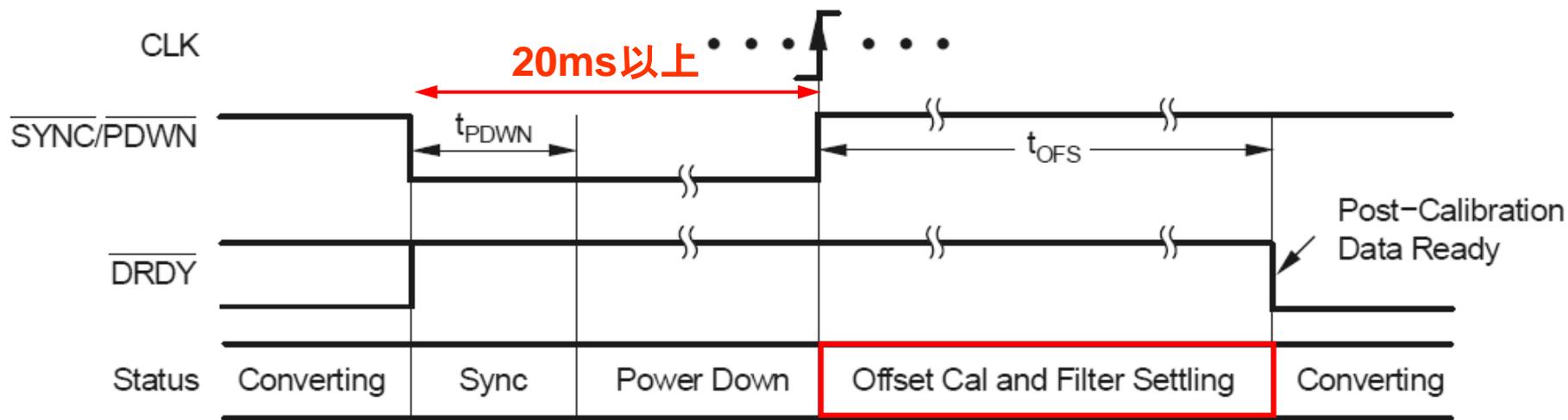
個別A/Dの同期制御：SYNCピンによる同期後



データは同じサンプル点のもの

個別A/Dの同期制御: 同期を取るとき Self Cal も行わせる

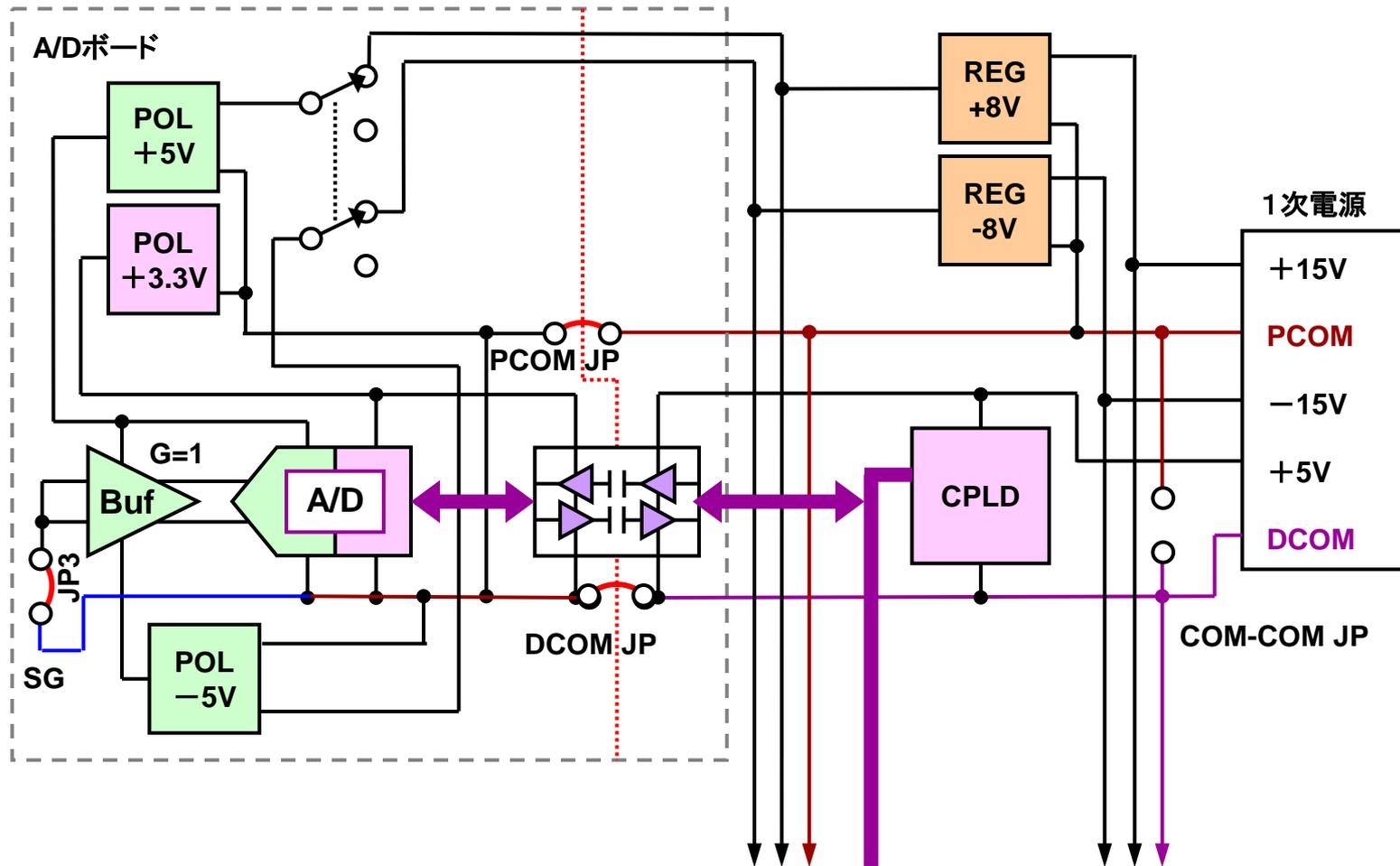
SYNCパルスを長めにてパワーダウンさせ, 動作を開始させるときA/DがSelf Calを行う



SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS
t_{PDWN}	$\overline{\text{SYNC/PDWN}}$ pulse width to enter Power-Down mode	2^{19}			CLK periods
t_{OFS}	Time for offset calibration and filter settling		256		Conversions ($1/f_{DATA}$)

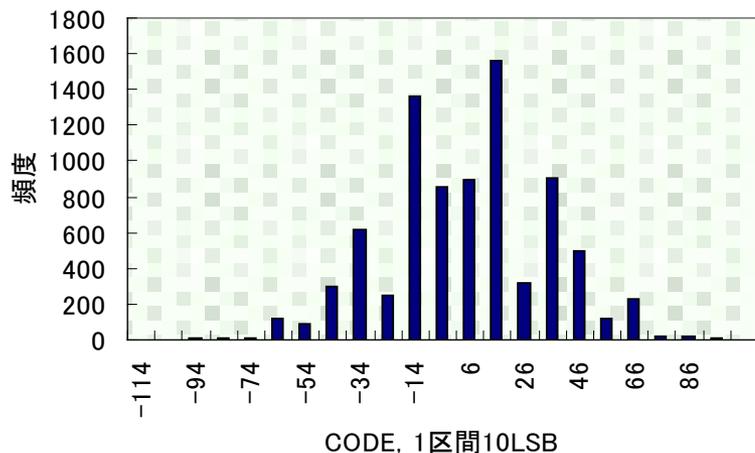
コリレーション:A/Dボード単体のノイズ特性を測定

条件:入カショート, デジタルライン絶縁, 電源非絶縁

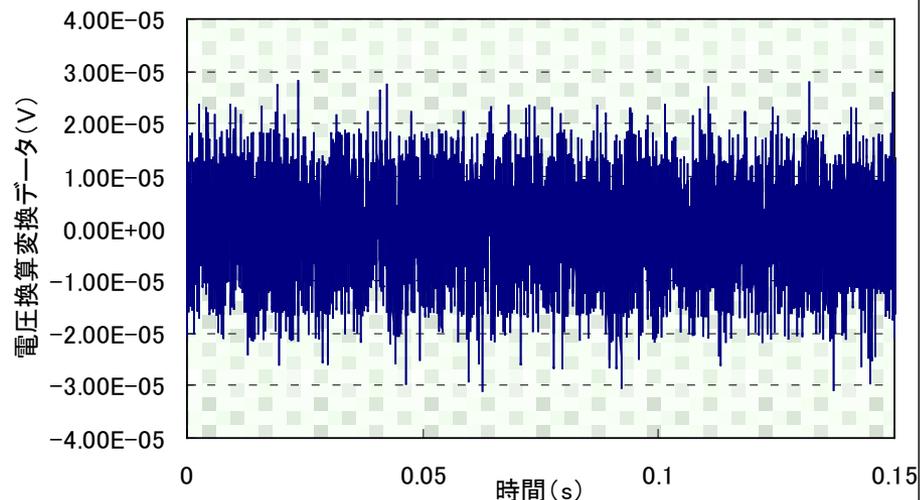


コリレーション: A/Dボード1の測定結果

A/D#1単体, 入力0V(データ数8192)



A/Dボード#1単体のノイズ波形, 入力0(V)

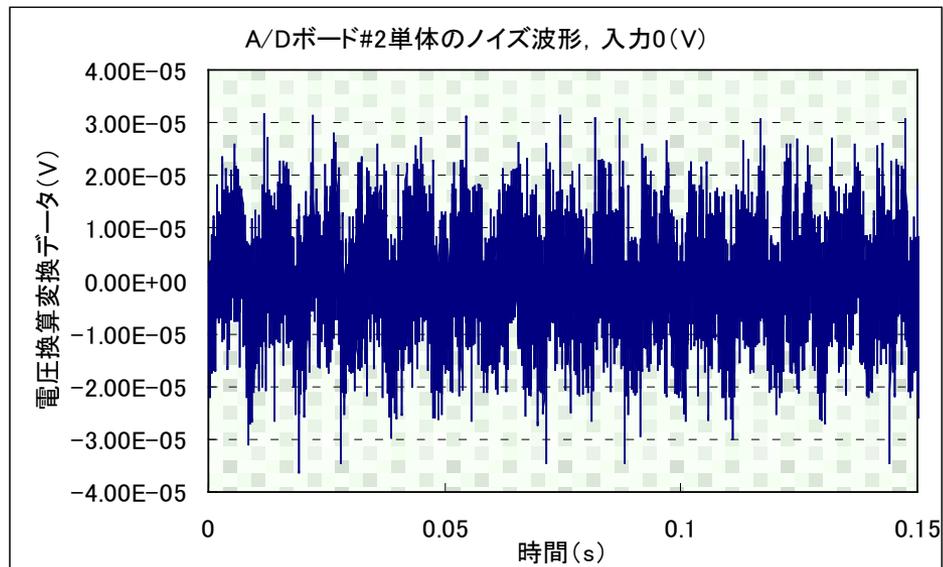
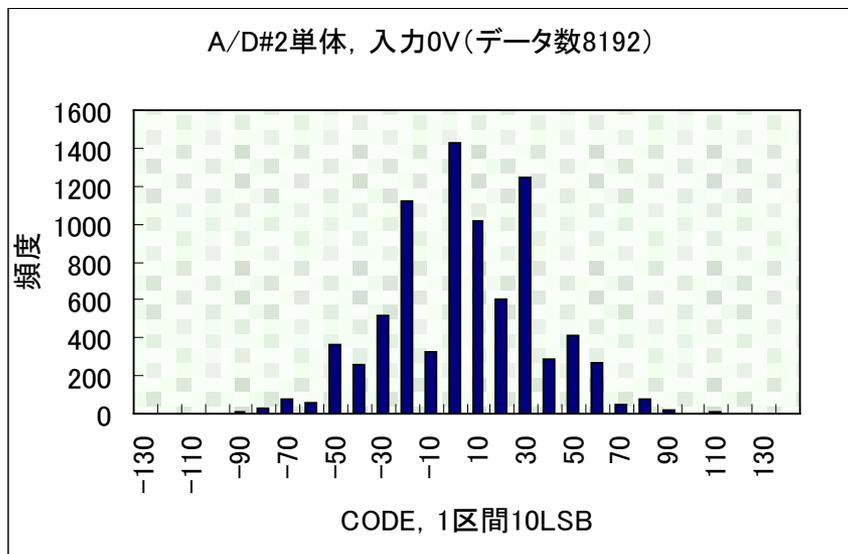


項目	電圧換算(V)	コード
Max	2.84E-05	95
Min	-3.39E-05	-114
p-p	6.23E-05	209
Offset	-4.06E-05	-136
RMS	8.68E-06	29
ENOB	19.13519037	Bit

ENOBの計算に用いた式
(ADS1232のデータシートから抜粋)

$$ENOB = \frac{\ln\left(\frac{FSR_Rabge}{Noise_Vrms}\right)}{\ln(2)} = \frac{\ln\left(\frac{2^{24}}{RMS}\right)}{\ln(2)} \text{ (Bit)}$$

コリレーション: A/Dボード2の測定結果



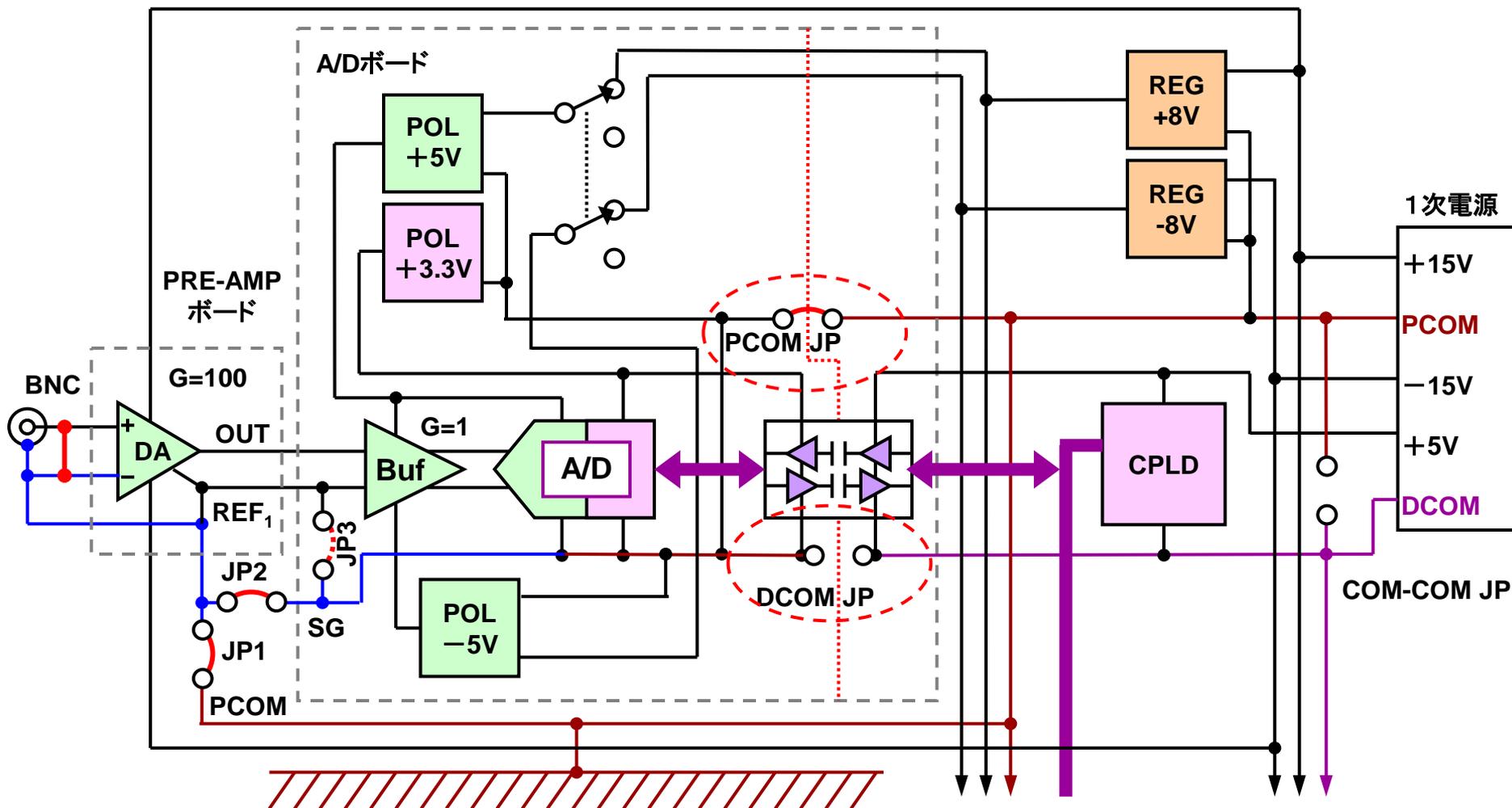
項目	電圧換算(V)	コード
Max	3.15613E-05	106
Min	-3.609E-05	-121
p-p	6.76513E-05	227
Offset	-0.000111432	-374
RMS	9.27436E-06	31
ENOB	19.04024907	Bit

ENOBの計算に用いた式
(ADS1232のデータシートから抜粋)

$$\text{ENOB} = \frac{\ln\left(\frac{\text{FSR_Rabge}}{\text{Noise_Vrms}}\right)}{\ln(2)} = \frac{\ln\left(\frac{2^{24}}{\text{RMS}}\right)}{\ln(2)} \text{ (Bit)}$$

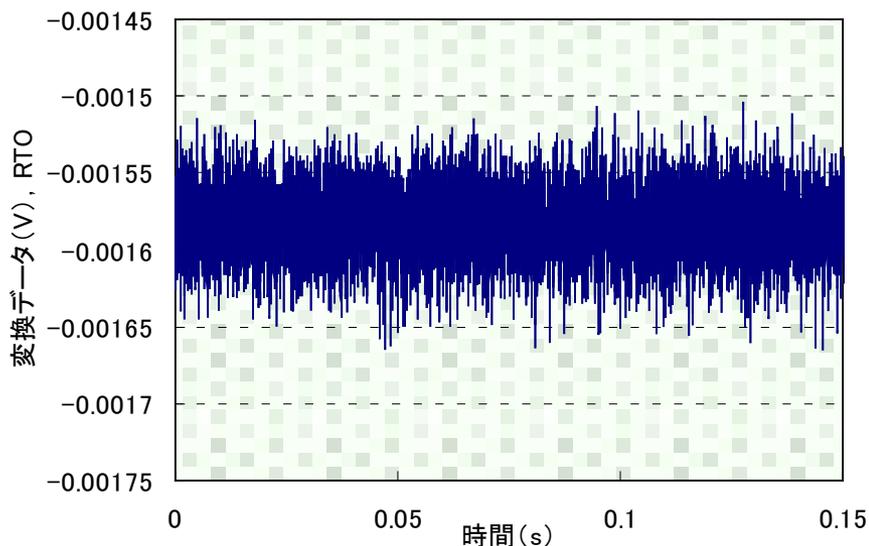
コリレーション: プリアンプを含めた総合ノイズ特性を測定

条件: PRE-AMP入力ショート, デジタルライン絶縁, 電源非絶縁

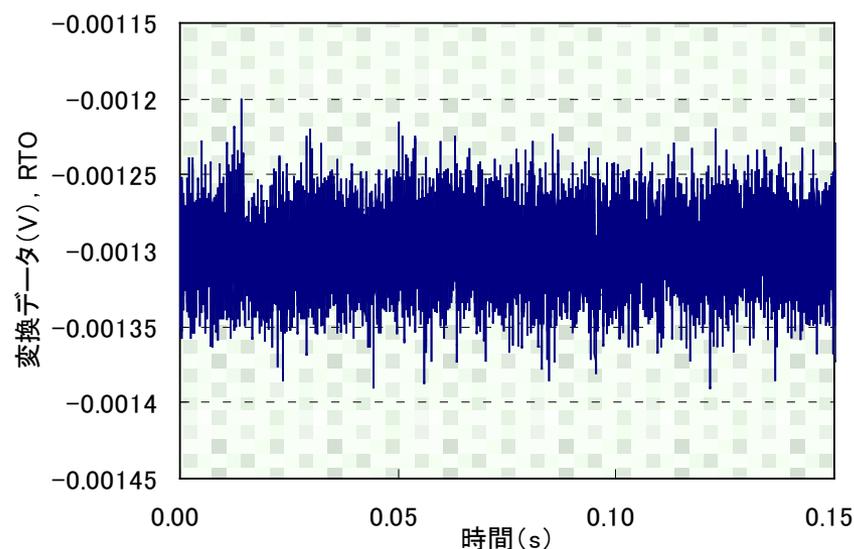


コリレーション: 総合ノイズ特性の測定データ, 出力換算 (RTO)

JP3 オープン, バッファ(差動受け)



JP3 ショート, バッファ(シングル受け)



項目	電圧換算(V)	コード
Max	7.69501E-05	258
Min	-8.21943E-05	-276
p-p	1.59144E-04	534
Offset	-0.001581968	-5308
RMS	2.24634E-05	75
ENOB	17.76398944	Bit

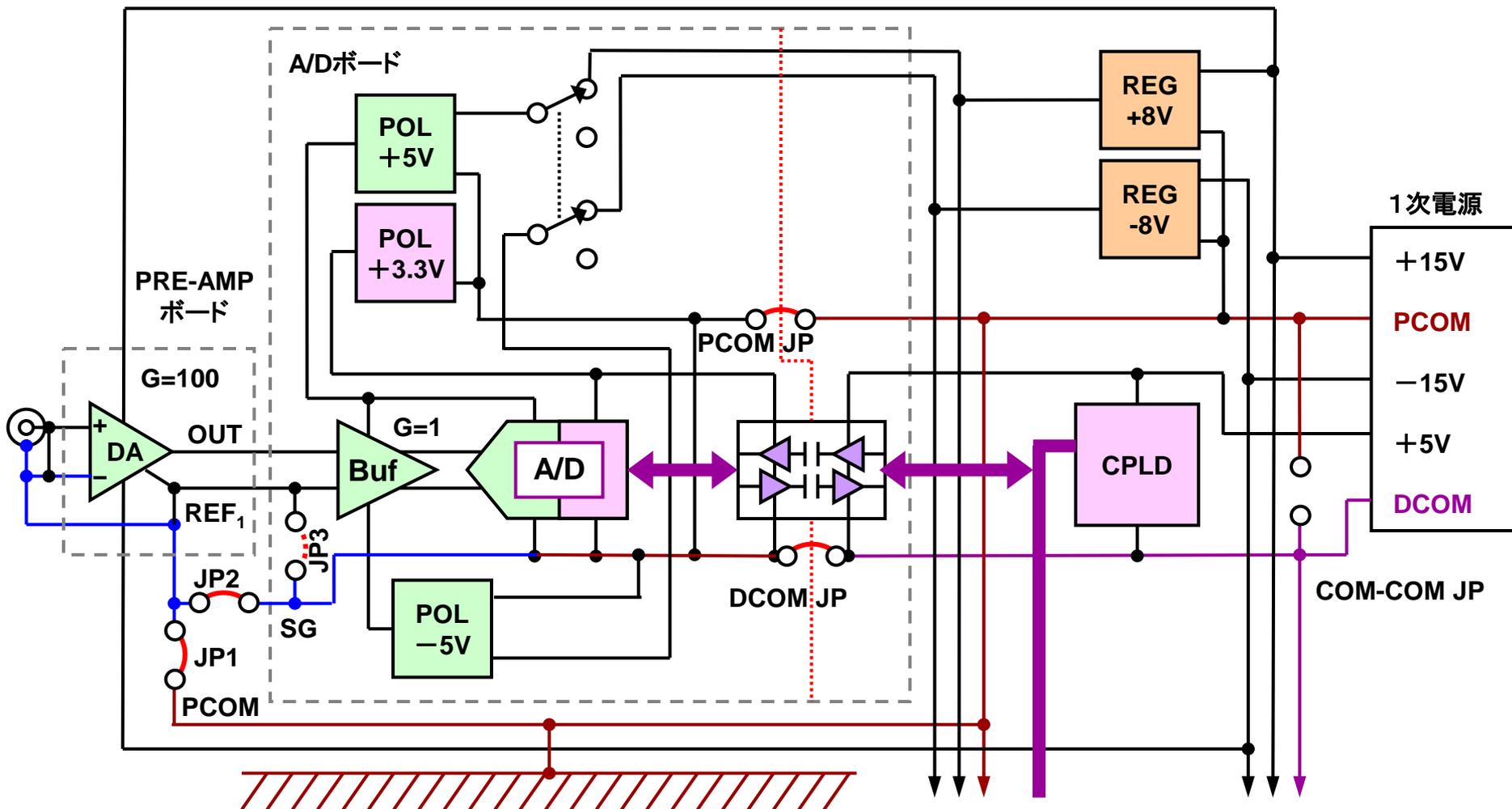
入力換算では
1.59μVp-p

±25mV FSR

項目	電圧換算(V)	コード
Max	9.92773E-05	333
Min	-9.08615E-05	-305
p-p	1.90139E-04	638
Offset	-0.001299715	-4361
RMS	2.39658E-05	80
ENOB	17.67059441	Bit

コリレーション: 電源ループ下での差動／非差動受けを検証

条件: PRE-AMP入力ショート, デジタルライン非絶縁, 電源非絶縁, バッファ差動／非差動



コリレーション: 電源ループの組み合わせと差動／非差動の結果

差動と非差動の有異差が出ている

入力フローティング:

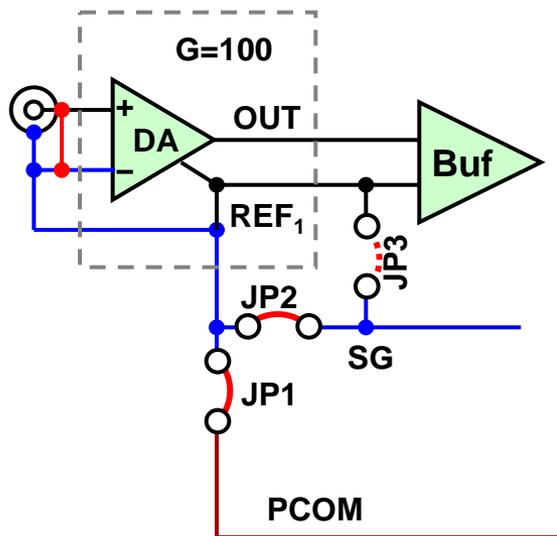
JP1 オープン

入力BNC-BNC ショート:

JP1 オープン

PRE GND-PCOM:

JP1 ショート



シングル	入力フローティング		入力BNC-BNCショート		PRE GND-PCOM	
項目	電圧換算(V)	コード	電圧換算(V)	コード	電圧換算(V)	コード
Max	1.1626E-04	390	1.1140E-04	374	1.4455E-04	485
Min	-1.3170E-04	-442	-9.4834E-05	-318	-2.3274E-04	-781
p-p	2.4796E-04	832	2.0623E-04	692	3.7730E-04	1266
Offset	-0.003459	-11605	-0.003328	-11168	-0.006337	-21263
RMS	3.2082E-05	108	2.7486E-05	92	4.2490E-05	143
ENOB	17.25	Bit	17.47	Bit	16.84	Bit

差動	入力フローティング		入力BNC-BNCショート		PRE GND-PCOM	
項目	電圧換算(V)	コード	電圧換算(V)	コード	電圧換算(V)	コード
Max	9.5671E-05	321	1.1786E-04	395	8.7642E-05	294
Min	-1.0579E-04	-355	-1.1549E-04	-388	-9.7728E-05	-328
p-p	2.0146E-04	676	2.3335E-04	783	1.8537E-04	622
Offset	-0.002111	-7084	-0.002149	-7211	-0.001585	-5318
RMS	2.8189E-05	95	2.9328E-05	98	2.6458E-05	89
ENOB	17.44	Bit	17.38	Bit	17.53	Bit

コリレーション: 微妙な比較試験でのデータの再現性試験

試験基板の向きを変えて取ったデータ.

測定器による干渉の有無をチェック → 特にデジタル・オシロスコープとロジアナ

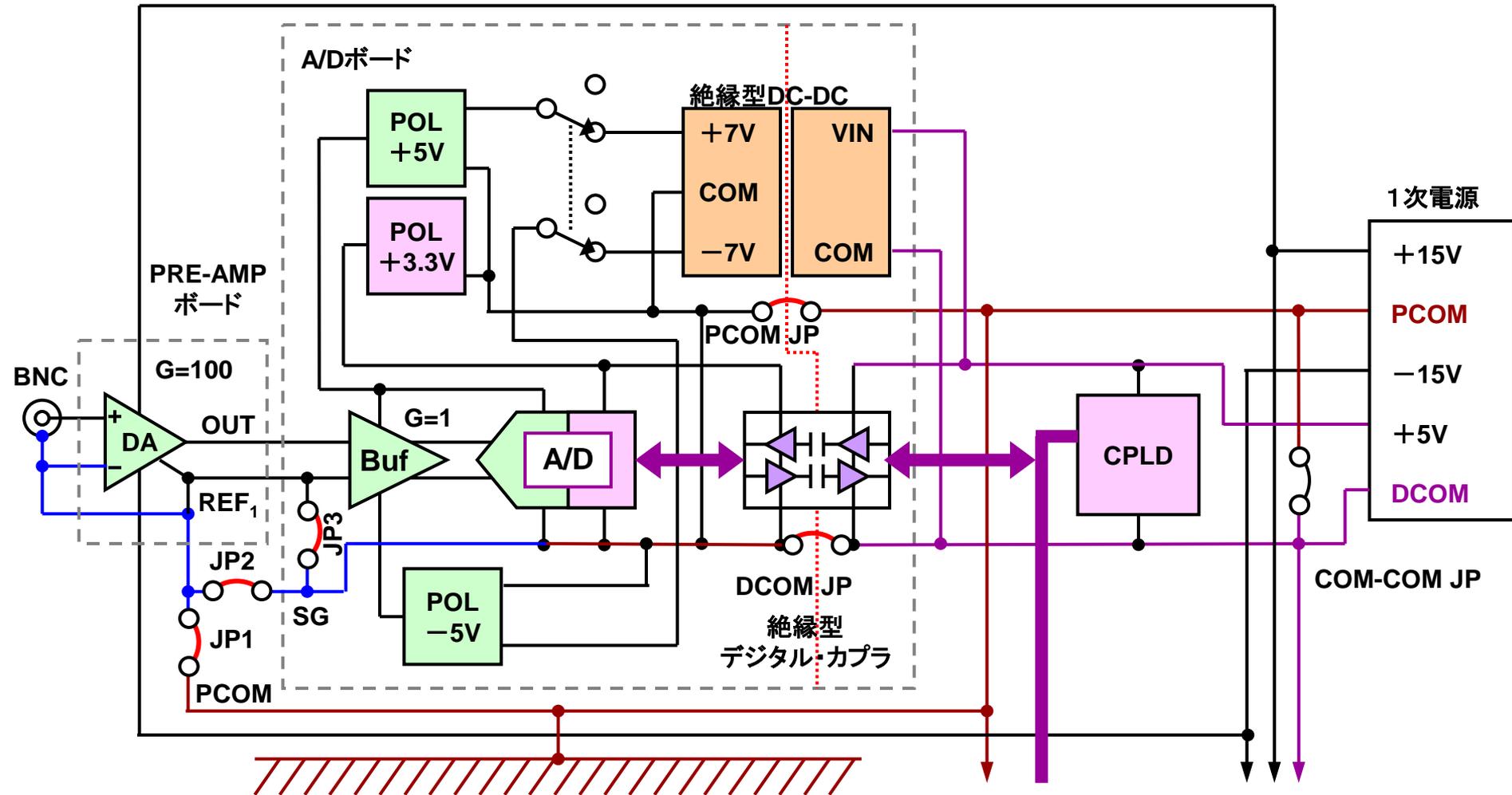
測定データの再現性

差動 入力フローティング

項目	電圧換算 (V)	電圧換算 (V)	電圧換算 (V)	電圧換算 (V)
Max	8.0740E-05	8.7225E-05	8.0033E-05	8.1397E-05
Min	-8.1086E-05	-8.5033E-05	-7.7324E-05	-9.1456E-05
p-p	1.6183E-04	1.7226E-04	1.5736E-04	1.7285E-04
Offset	-0.002049	-0.001903	-0.002129	-0.001972
RMS	2.2127E-05	2.3516E-05	2.2649E-05	2.3112E-05
ENOB	● 17.79	● 17.70	17.75	17.72

コリレーション: 完全分離絶縁におけるノイズ特性を測定

条件: PRE-AMP入力ショート, デジタルラインと電源ともに絶縁, バッファ非差動



コリレーション:完全絶縁における測定結果(表の右端)

絶縁条件	電源・デジタル信号ラインともに非絶縁						完全絶縁	
差動	入力フローティング		入力BNC-BNCショート		PRE GND-PCOM		PRE GND-PCOM	
項目	電圧換算(V)	コード	電圧換算(V)	コード	電圧換算(V)	コード	電圧換算(V)	コード
Max	9.5671E-05	321	1.1786E-04	395	8.7642E-05	294	9.4424E-05	317
Min	-1.0579E-04	-355	-1.1549E-04	-388	-9.7728E-05	-328	-8.3793E-05	-281
p-p	2.0146E-04	676	2.3335E-04	783	1.8537E-04	622	1.7822E-04	598
Offset	-0.002111	-7084	-0.002149	-7211	-0.001585	-5318	-0.001332	-4471
RMS	2.8189E-05	95	2.9328E-05	98	2.6458E-05	89	2.1915E-05	74
ENOB	17.44	Bit	17.38	Bit	17.53	Bit	17.80	Bit

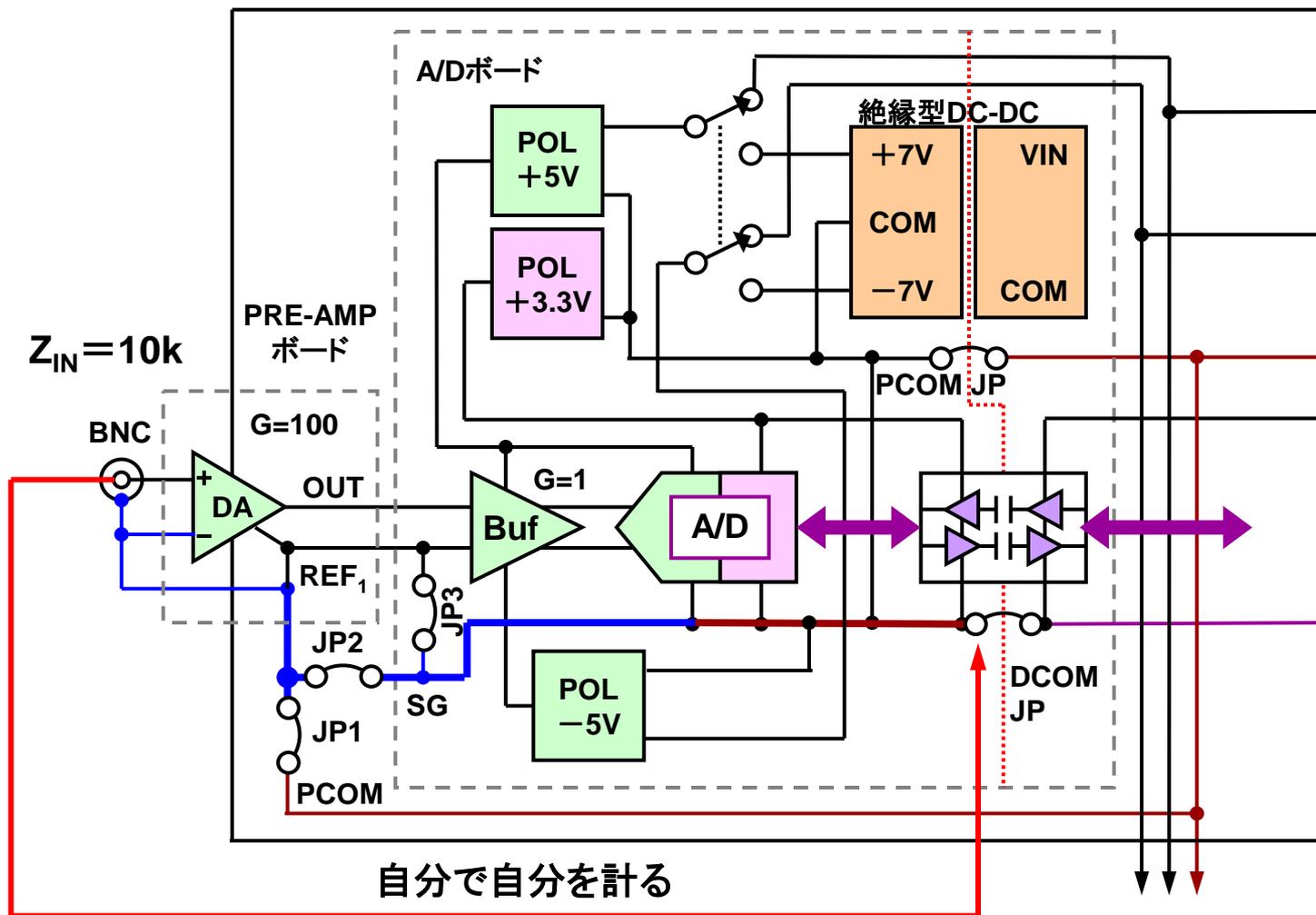
17.38 Bit

17.80 Bit

なんだ. 違いがないじゃないか.

理由:高CMRRなDAの差動受けが効いている.
次からのスライドを見ると良く分かる

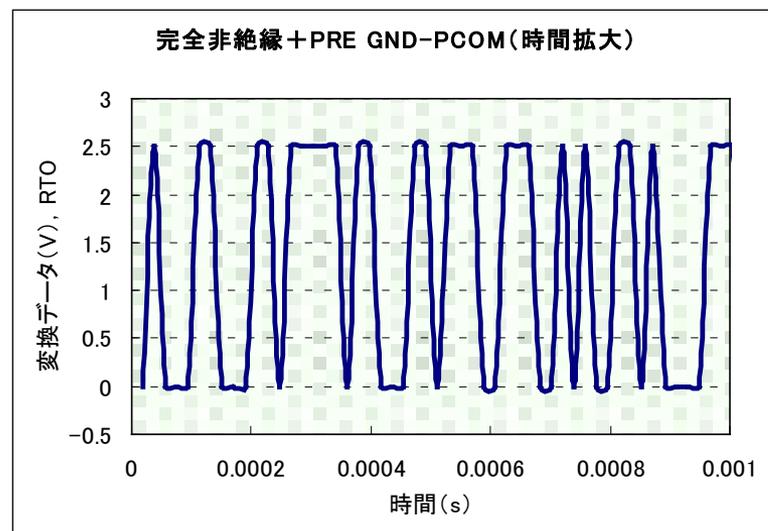
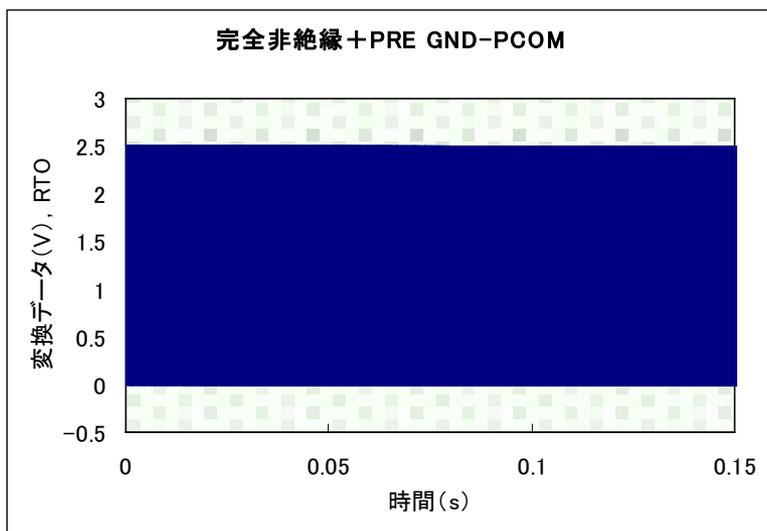
ループ電流の実測：実験用ボードを測定器とした波形の観測



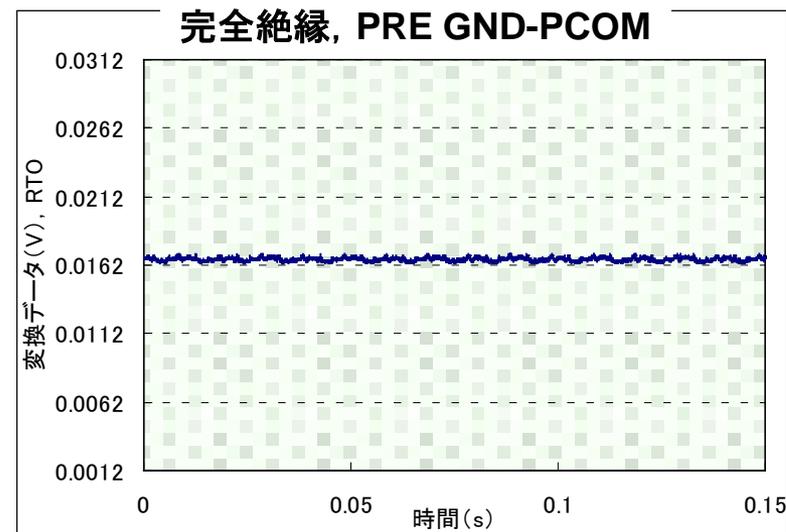
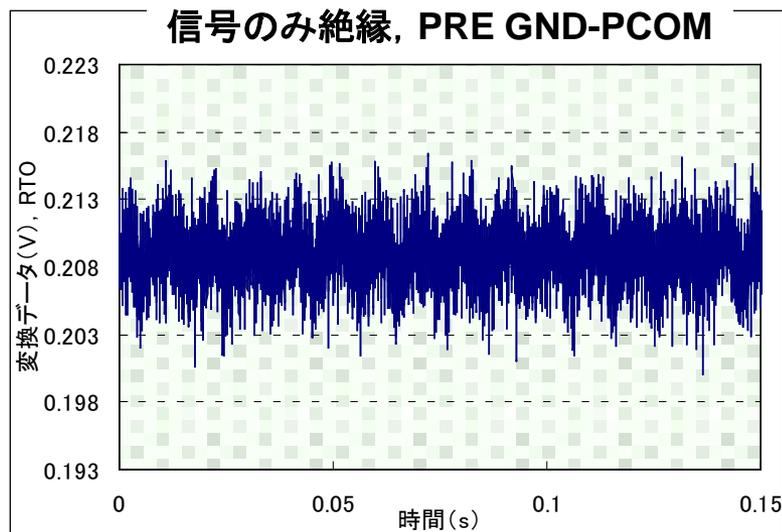
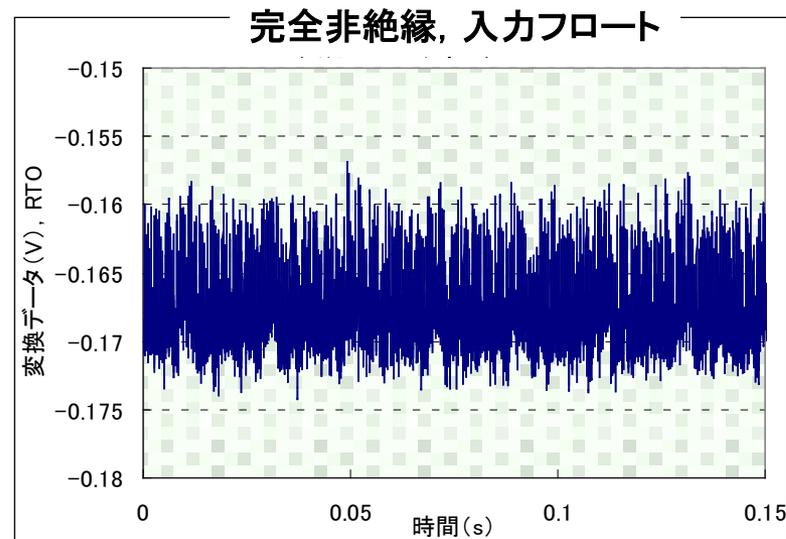
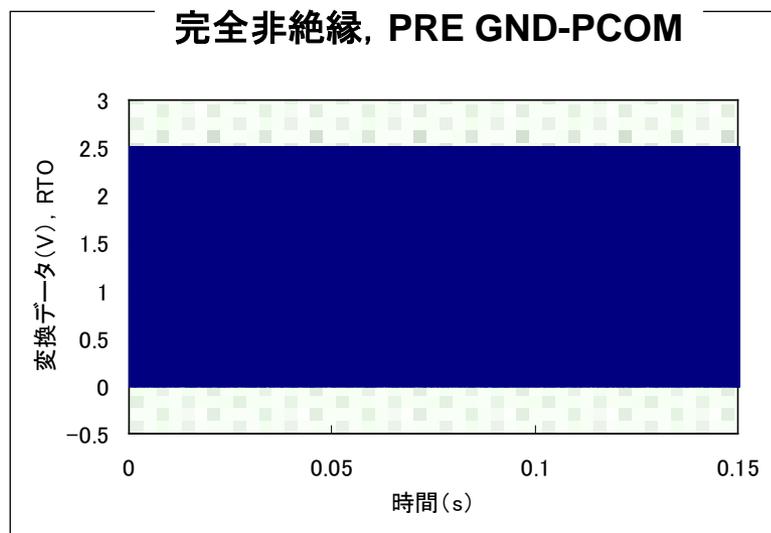
ループ電流の実測：各種ループ電流(電圧)レベルの測定結果

絶縁条件	信号・電源ともに非絶縁		信号・電源ともに非絶縁		信号のみ絶縁		信号・電源ともに絶縁	
GND条件	PRE GND-PCOM		入力フローティング		PRE GND-PCOM		PRE GND-PCOM	
項目	電圧換算(V)	コード	電圧換算(V)	コード	電圧換算(V)	コード	電圧換算(V)	コード
Max	1.228253	4121331	0.011234	37694	0.007603	25512	0.000422	1415
Min	-1.271901	-4267790	-0.006229	-20901	-0.008914	-29912	-0.000308	-1033
p-p	2.500153	8389121	0.017463	58595	0.016518	55424	0.000730	2448
Offset	1.268616	4256769	-0.168203	-564395	0.208954	701132	0.016613	55744
RMS	1.249810	4193665	0.002421	8124	0.001995	6695	0.000134	448

A/Dが飽和している



ループ電流の実測：波形振幅の比較（左上を除きY軸は同サイズ）



グランド配線の実験から得た結論

掲示板

- ✦ グランドをベタ・アースで強化すると大きな差がなくなる.
- ✦ 高分解能A/Dのアナログ系は差動アンプで固める.
- ✦ デジタル系の信号とそのグランド・ラインを絶縁すると効果的.
- ✦ 完璧を期するなら電源と信号ラインを絶縁しループを切断する.
- ✦ 4チャンネル以上のシステムではPOLと完全絶縁を採用