

DS90LV047ATMTCを用いたSub-LVDS信号レベル変換動作について

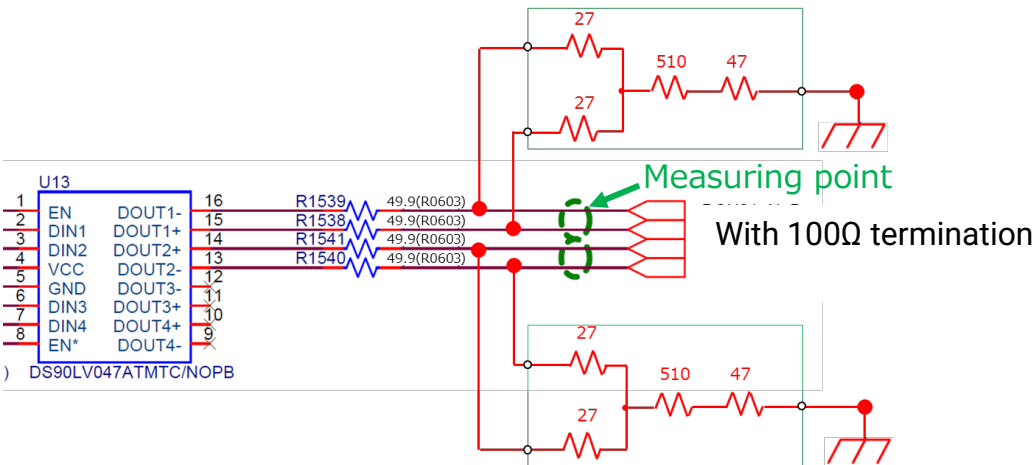
Sub-LVDS signal level conversion operation using DS90LV047ATMTC

下図のようにDS90LV047ATMTCの出力に、Sub-LVDSレベル変換用の抵抗を接続して振幅レベルを測定したところ、DCレベル(入力open)では想定通りのコモン電圧/差動信号を得ることができました。(下表参照)
次に入力(DINx)にクロック(84.7MHz)信号を入力したところ、差動電圧が仕様範囲外となりました。
入力する周波数を100MHz/200MHzと高くすると差動電圧の振幅が小さくなることを確認しています。
また、DS90LV001TMでも同様の現象となっています。

As shown in the figure below, when connecting a resistance for Sub-LVDS level conversion to the output of the DS90LV047ATMTC and measuring the amplitude level, At the DC level (input open), we were able to obtain the expected common voltage/differential signal. (See table below)
Next, when I applied a clock (84.7MHz) signal to the input (DINx), the differential voltage was out of specification.
It has been confirmed that the amplitude of the differential voltage decreases when the input frequency is increased to 100MHz/200MHz.
Also, the DS90LV001TM has the same phenomenon.

Question

- (1)対象ICにレベル変換用の抵抗を付けて動作させることは問題ありますでしょうか？
(1) Is there any problem in operating the target IC with a resistor for level conversion?
- (2)入力周波数により出力波形の振幅が変わることがありますか？
(2) Does the amplitude of the output waveform change depending on the input frequency?
- (3)DS90LV047ATMT及びDS90LV001TMの入力信号(DINx)に最小周波数のスペックはありますか？
(3)Is there a minimum frequency specification for the input signal (DINx) of the DS90LV047ATMTC and DS90LV001TM?



Measurement condition	Sub-LVDS Spec		Judge
	Common Voltage 800V~1000mV	Differential Signal 100~300mV	
DC Lebel (Input Open)	920mV	110mV	OK
Input Clock 84.7MHz	920mV	730mV	NG
Input Clock 100MHz	920mV	328mV	NG
Input Clock 200MHz	920mV	178mV	OK