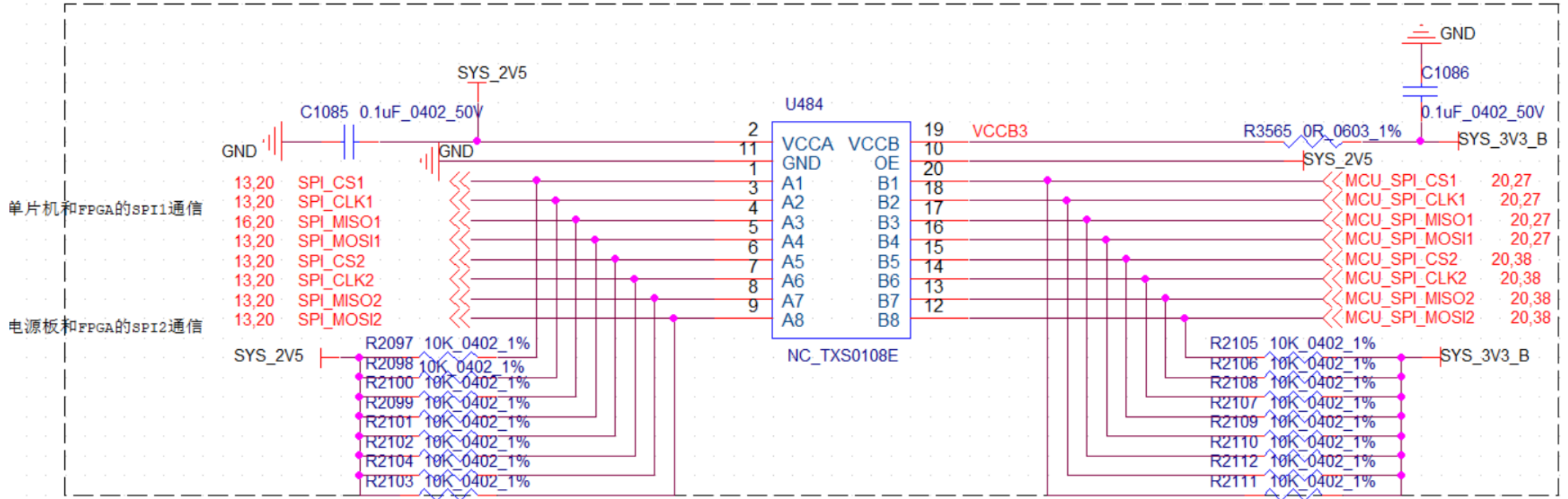


1. Customer's schematic



2. Customer operate process

2.1 工作内容描述

单片机和 FPGA 的 SPI 通信链路，单片机为主机，FPGA 为从机，单片机速率 4.5Mbps，单片机采用内部硬件 SPI 模块，单片机发出指令给 FPGA，FPGA 通过 AUX 通道读取 eDP 屏幕的 EDID 数据；

2.2 所遇问题

电平转换芯片速率不够，导致波形幅度和模样改变，FPGA 没有做出反馈，FPGA 抓包时，识别不到数据，

示波器探头接触到 SPI 上拉电阻时，识别到数据；

问题 1：第二版本，年前测试遇到问题

- 1、低电平
- 2、高电平毛刺-反射信号
- 3、黄色为输入信号，蓝色为输出波形
- 4、频率5MHz，信号幅度降低

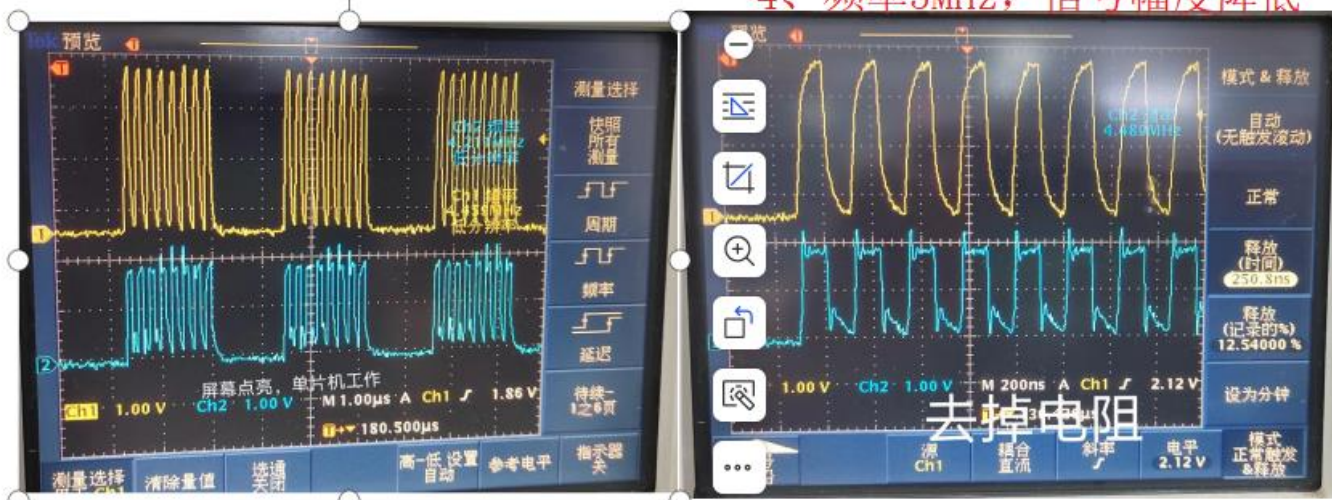
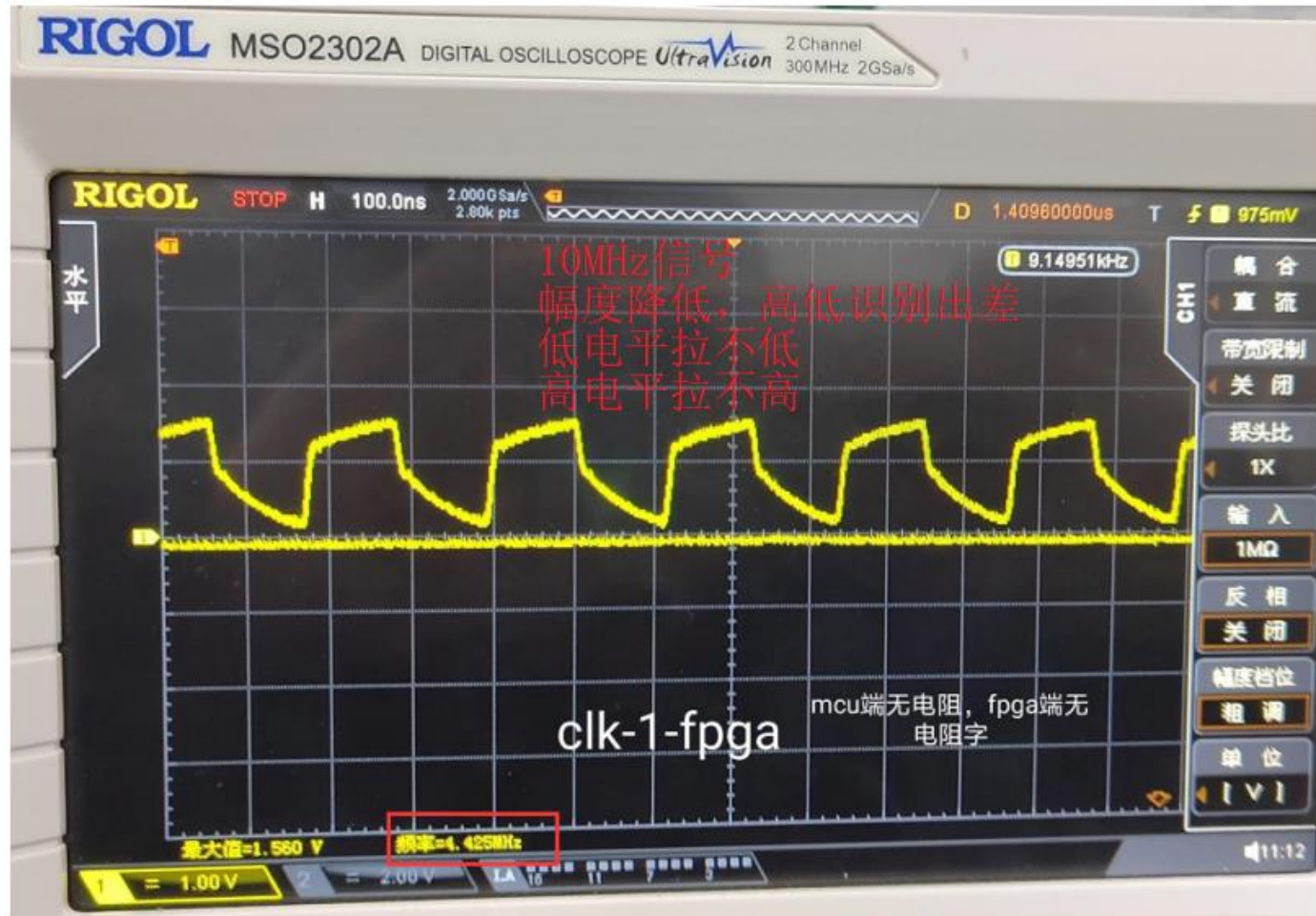


图 (1) CLK 时钟

图 (2) 去掉上拉电阻

3. Customer operate process---Remove port A& port B up resister



图（4）电平转换芯片输出的 CLK 波形

4. Customer operate process---Remove port A up resistor and keep port B up resistor

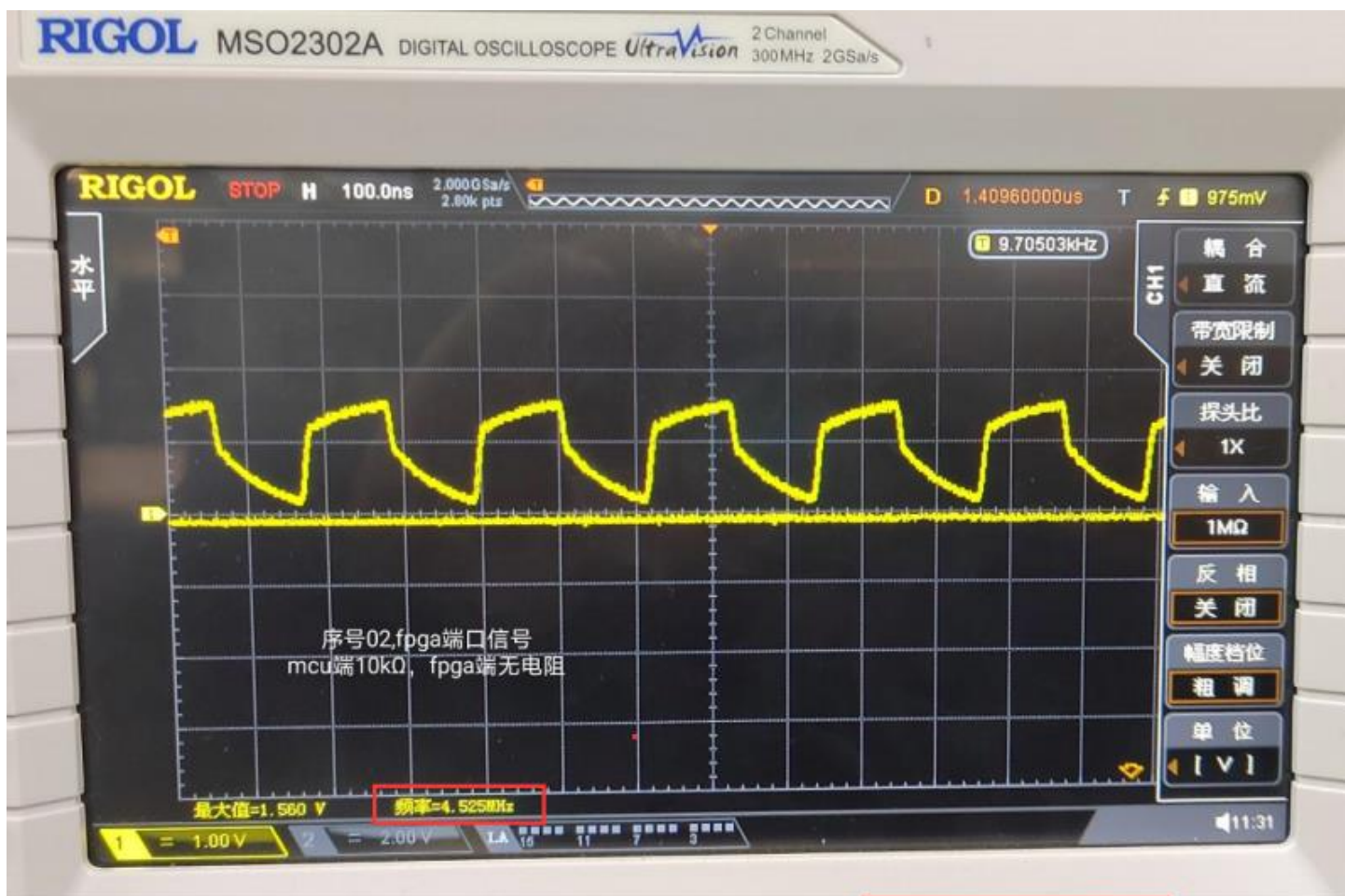
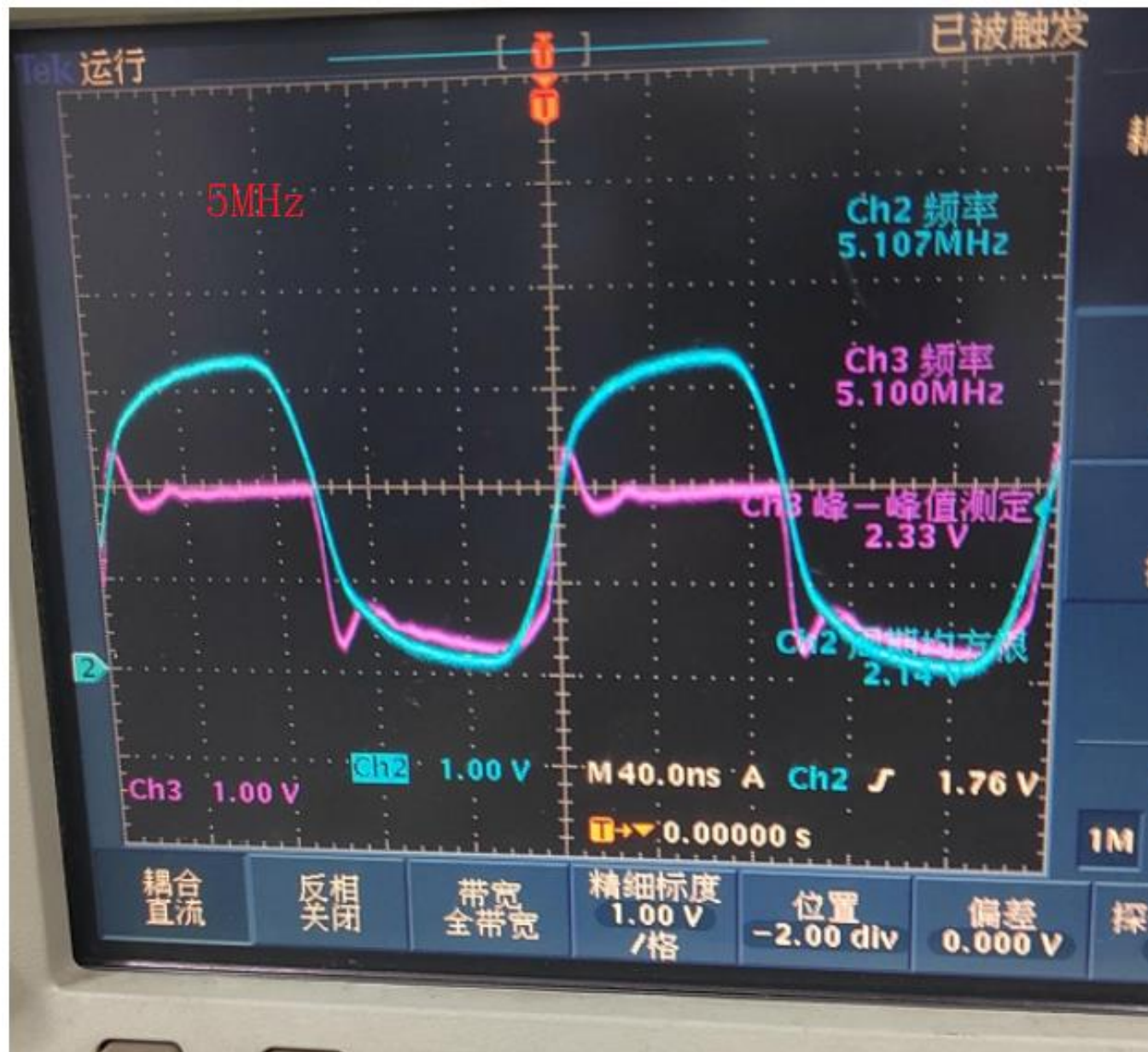


图 (5) 电平转换芯片输出的 CLK 波形 MCU 端保留上拉电阻

6. Customer operate process---5Mhz signal waveform



7. Customer operate process---1Mhz signal waveform

