

ICS 31.020

Deskriptoren: Ausfallrate, Bauelement, Erwartungswert

Descriptors: Failure rate, component, expected value

Ersatz für Ausgabe 1999-11
Supersedes Edition 1999-11

Ausfallraten Bauelemente

Teil 2: Erwartungswerte von integrierten Schaltkreisen

Failure rates of components

Part 2: Expected values for integrated circuits

Fortsetzung Seite 2 bis 18
Continued on pages 2 to 18

In Zweifelsfällen ist der deutsche Originaltext als maßgebend heranzuziehen.

In Übereinstimmung mit der gängigen Praxis in Normen der Internationalen Elektrotechnischen Kommission (IEC) und der Internationalen Organisation für Normung (ISO), wird in dieser Norm auch im englischen Text das Komma als Dezimalzeichen verwendet.

Frühere Ausgaben

1992-04; 1995-02; 1999-11

Änderungen

Gegenüber der Ausgabe November 1999 wurden folgende Änderungen durchgeführt

- Aktualisierung der Ausfallratenwerte
- redaktionelle Überarbeitung.

In case of doubt the German language original should be consulted as the authoritative text.

In keeping with current practice in standards published by the International Electrotechnical Commission (IEC) and the International Organization for Standardization (ISO), a comma has been used throughout as the decimal marker.

Earlier Editions

1992-04; 1995-02; 1999-11

Amendments

Compared to the November 1999 edition, the following amendments have been introduced

- update of the failure rates
- editorial revision.

Inhalt	Seite
1 Anwendungsbereich	4
2 Referenzbedingungen	4
3 Erwartungswerte bei Referenzbedingungen	5
Tabelle 1 Ausfallraten für Speicher	5
Tabelle 2 Ausfallraten für Mikroprozessoren und Peripherie, Mikrokontroller und Signalprozessoren	6
Tabelle 3 Ausfallraten für digitale Familien und Bus-Interface-Schaltkreise, Bustreiber- und Empfängerschaltungen	7
Tabelle 4 Ausfallraten für analoge Integrierte Schaltkreise	8
Tabelle 5 Ausfallraten für anwendungsspezifische Schaltkreise (ASICs).....	9
4 Umrechnung von Referenz- auf Betriebsbedingungen	10
4.1 Spannungsabhängigkeit, Faktor π_U	10
4.2 Temperaturabhängigkeit, Faktor π_T	11
4.3 Driftempfindlichkeit, Faktor π_D	14
4.4 Aussetzbetrieb, Faktor π_W	14
5 Frühausfallphase	15
Anhang A: Symbole	16
Anhang B: Abkürzungen	17
Zitierte Normen	18

Contents	Page
1 Scope	4
2 Reference conditions	4
3 Expected values under reference conditions	5
Table 1 Failure rates for memories	5
Table 2 Failure rates for microprocessors and peripherals, microcontrollers and signal processors	6
Table 3 Failure rates for digital logic families and bus interfaces, busdriver and receiver circuits	7
Table 4 Failure rates for analog integrated circuits	8
Table 5 Failure rates for application-specific integrated circuits (ASICs).....	9
4 Conversion from reference to operating conditions	10
4.1 Voltage dependence, factor π_U	10
4.2 Temperature dependence, factor π_T	11
4.3 Drift sensitivity, factor π_D	14
4.4 Stress profile, factor π_W	14
5 Early failure period	15
Annex A: Symbols	16
Annex B: Abbreviations	17
Normative references	18

1 Anwendungsbereich

Diese Norm ist für Zuverlässigkeitsberechnungen von Erzeugnissen anzuwenden, in denen Integrierte Schaltungen eingesetzt werden.

Sie ergänzt SN 29 500 Teil 1 „Allgemeines“.

Die in dieser Norm angegebenen Ausfallraten gelten, wenn nichts anderes angegeben, für bedrahtete und SMT-Bauelemente (Surface Mounted Technology).

2 Referenzbedingungen

Ausfallkriterien

Totalausfälle und solche Änderungen von Hauptmerkmalen, die in der Mehrzahl der Anwendungen zum Ausfall führen.

Zeitbereich

Betriebszeit > 3000 Stunden

Betriebsspannung

Nenn-Betriebsspannung, soweit in den Tabellen 1 bis 5 keine andere angegeben ist.

Ersatzsperrschichttemperatur ¹

See Tabellen 1 bis 5 ($\theta_{vj,1}$)

Mittlere Umgebungstemperatur ²

$\theta_{U,ref} = 40 \text{ }^\circ\text{C}$

Einsatzart

Die angegebenen Ausfallraten gelten für den Einsatz der Geräte in folgenden Umweltbedingungen nach DIN IEC 60721 Teile 3-1, 3-2, und 3-3:

Klima ³	3K3
mechanische Einflüsse	3M3
chemische Einflüsse	3C2
Sand und Staub	3S2

Es wird dabei vorausgesetzt, dass die Bauelemente nicht durch Überschreiten der folgenden Bedingungen bei Transport und Lagerung vorgeschädigt werden:

Transport: Klima	2K4
mechanische Einflüsse	2M2
chemische Einflüsse	2C2
Sand und Staub	2S2

Lagerung: Klima	1K5
mechanische Einflüsse	1M3
chemische Einflüsse	1C2
Sand und Staub	1S2

Die im Abschnitt 3 angegebenen Ausfallraten gelten auch für hiervon abweichende Bedingungen, wenn der Einfluss durch konstruktive Maßnahmen kompensiert werden kann.

Betriebsart ²

Dauerbetrieb mit gleichbleibender Beanspruchung.

1 Scope

This standard is to be used for reliability calculations on products in which integrated circuits are used. It supplements SN 29500 Part 1 "General".

If nothing to the contrary is noted, then the failure rates stated in this standard apply to wired and SMT components (Surface Mounted Technology).

2 Reference conditions

Failure criterion

Complete failures and changes of major parameters that would lead to a failure in the majority of applications.

Time interval

Operating time > 3000 hours

Operating voltage

Rated voltage unless otherwise stated in tables 1 to 5.

Virtual (equivalent) junction temperature ¹

See Tables 1 to 5 ($\theta_{vj,1}$)

Mean ambient temperature ²

$\theta_{U,ref} = 40 \text{ }^\circ\text{C}$

Description of environment

The failure rates stated apply to the use of equipment under the following environmental conditions according to IEC 60721 Parts 3-1, 3-2, and 3-3:

climatic conditions ³	class 3K3
mechanical stresses	class 3M3
chemical influences	class 3C2
sand and dust	class 3S2

It is assumed that the components were not damaged during transport and storage due to conditions exceeding those stated below:

Transportation: climatic conditions	class 2K4
mechanical stresses	class 2M2
chemical influences	class 2C2
sand and dust	class 2S2

Storage: climatic conditions	class 1K5
mechanical stresses	class 1M3
chemical influences	class 1C2
sand and dust	class 1S2

The failure rates stated in clause 3 also apply if the conditions deviate from those specified, provided that compensation can be made by design measures.

Operating mode ²

Continuous duty under constant stress.

¹ Für die Bestimmung der Ersatzsperrschichttemperatur $\theta_{vj,1}$ wurden die mittlere Umgebungstemperatur $\theta_U=40 \text{ }^\circ\text{C}$ und, wenn nichts anderes angegeben, freie Konvektion zugrunde gelegt.
For determining the equivalent junction temperature $\theta_{vj,1}$, the mean ambient temperature $\theta_U=40 \text{ }^\circ\text{C}$ and, if nothing else to the contrary has been stated, free convection were used.

² Siehe SN 29500 Teil 1 / See SN 29500 Part 1

³ Die Temperaturabhängigkeit der Ausfallrate ist zu berücksichtigen / Temperature dependence of the failure rate to be considered.

3 Erwartungswerte bei Referenzbedingungen

Die Ausfallraten λ_{ref} in den Tabellen 1 bis 5 sind bei Betrieb unter den angegebenen Referenzbedingungen (siehe Abschnitt 2) als Erwartungswerte für den angegebenen Zeitbereich und für die Gesamtheit der Lose zu verstehen. Im Rahmen der Wertestreuung kann in extremen Einzelfällen etwa der zweieinhalbfache Betrag des betreffenden Erwartungswertes auftreten.

Tabelle 1 Ausfallraten für Speicher
Table 1 Failure rates for memories

3 Expected values under reference conditions

The failure rates λ_{ref} stated in Tables 1 to 5 should be understood for operation under the stated reference conditions (see clause 2) as expected values for the stated time interval and the entirety of lots. Within the scope of the variations of values, in exceptional lots, the actual value may differ from the expected by a factor of up to two and a half.

			Komplexität in Bit / Complexity in bits										$\theta_{vj,1}$ in °C
			512 ¹⁾ 16K	32K 64K	128K 256K	512K 1M	2M 4M	8M 16M	32M 64M	128M 256M	512M 1G	2G 4G	
			λ_{ref} in FIT										
Bipolar	RAM, FIFO	statisch <i>static</i>	50	60	-	-	-	-	-	-	-	-	75
	PROM		60	80	-	-	-	-	-	-	-	-	
MOS, CMOS, BICMOS	RAM	dynamisch <i>dynamic</i>	50	30	20	10	10	15	20	25	-	-	55
			-	-	-	-	-	-	-	70	(100)	-	70
	RAM, FIFO	statisch langsam <i>static slow</i> ²⁾ >=30ns	15	10	10	10	20	30	50	-	-	-	55
		statisch schnell <i>static fast</i> ²⁾ <30ns	30	25	25	25	40	55	90	-	-	-	70
	ROM mask		50	30	15	15	15	15	25	-	-	-	55
	EPROM, OTPROM UV-löschbar <i>UV erasable</i>		30	30	20	20	20	20	40	-	-	-	
	FLASH		-	-	30	30	40	50	70	(100)	-	-	
		-	-	-	-	-	-	-	-	(200)	-	70	
	EEPROM, EAROM		30	30	30	50	-	-	-	-	-	55	

1 FIT=1x10⁻⁹ 1/h; (Ein Ausfall pro 10⁹ Bauelementestunden)

1 FIT equals one failure in 10⁹ component hours

Für Bauelemente ohne ausreichende Einsatzerfahrungen sind die Ausfallratenwerte eingeklammert.

Failure rates of components for which little operating experience has been gained are given in brackets.

Die Erfahrungswerte stammen von Speichern, in die nicht dauernd eingeschrieben bzw. von denen nicht dauernd gelesen wird.

The expected values have been gathered from memories which have not been written into or read from continuously.

Bei der Verwendung von nackten Speicherchips sind die Ausfallraten mit einem Faktor von bis zu 2 zu multiplizieren, wenn keine eigenen Erfahrungen in der Aufbautechnik vorliegen.

For bare memory chips the indicated failure rates shall be multiplied by a factor of up to two, if no experience has been gained in the mounting technology used.

- 1) Speicher mit < 512 Bit sind wie MSI-Familien Schaltkreise entsprechender Technologie zu behandeln.
- 2) Durch Bitfehler (soft errors) können bei statischen Speichern (SRAM) sporadische Ausfälle auftreten. Diese Ausfälle sind durch Fehlerkorrektur oder Neuladen behebbar. Für sporadische Ausfälle muss mit einer Ausfallrate bis 1000 FIT/Mbit gerechnet werden (abhängig von der Applikation und der Halbleiter-Technologie).

- 1) Memories < 512 bits are to be treated like MSI family circuits of the same technology.
- 2) Sporadic failures may occur in static memories (SRAM) caused by bit errors (soft errors). These failures can be removed by Error Correction Circuits or reloading. For sporadic failures, a failure rate of up to 1000 FIT/Mbit can be expected (dependent on application and semiconductor technology).

Tabelle 2 Ausfallraten für Mikroprozessoren und Peripherie, Mikrokontroller und Signalprozessoren
 Table 2 Failure rates for microprocessors and peripherals, microcontrollers and signal processors

Gatteranzahl / No. of gates Transistoranzahl / No. of transistors	Integrationsgrad / Degree of integration						$\theta_{j,1}$ in °C
	≤1k	>1k - 10k	>10k - 100k	>100k-1M	1M-10M	10M-100M	
	≤5k	>5k - 50k	>50k - 500k	>500k-5M	5M-50M	>50M-500M	
λ_{ref} in FIT							
Bipolar	50	-	-	-	-	-	70
NMOS	50	60	-	-	-	-	
	-	-	100	-	-	-	90
CMOS	25	-	-	-	-	-	50
	-	30	-	-	-	-	60
	-	-	50	-	-	-	80
	-	-	-	80	120	(150)	90
BICMOS	-	-	-	50	-	-	75

1 FIT=1x10⁻⁹ 1/h; (Ein Ausfall pro 10⁹ Bauelementestunden) 1 FIT equals one failure in 10⁹ component hours

Für Bauelemente ohne ausreichende Einsatzserfahrungen sind die Ausfallratenwerte eingeklammert. Failure rates of components for which little operating experience has been gained are given in brackets.

Bei der Verwendung von nackten Chips sind die Ausfallraten mit einem Faktor von bis zu 2 zu multiplizieren, wenn keine eigenen Erfahrungen in der Aufbautechnik vorliegen. For bare chips the indicated failure rates shall be multiplied by a factor of up to two if no experience has been gained in the mounting technology used.

Tabelle 3 Ausfallraten für digitale Familien und Bus-Interface-Schaltkreise, Bustreiber- und Empfängerschaltungen
Table 3 Failure rates for digital logic families and bus interfaces, busdriver and receiver circuits

		Integrationsgrad Degree of integration		$\theta_{vj,1}$ in °C	U_{ref} in V	
		SSI/MSI	LSI			
		1 - 100	>100			
Gatteranzahl / No. of gates Transistoranzahl / No. of transistors		5 - 500	>500			
		λ_{ref} in FIT				
Bipolar	TTL,-LS, -A(L)S,-F, Logic		2	-	45	-
			-	4	55	
	Bus Interface ¹⁾	5	-	55		
	TTL S	Logic + Bus Interface ¹⁾	10	-	80	
	ECL	10k	10	-	65	
		100k	15	-	75	
	Busdriver/-receiver	10(LV)E(L) / 100(LV)E(L)(P)	15	-	60	
		RS422, RS423, RS485, CAN etc. RS232, RS644/899, CML etc.	15 25	- -	70 85	
CMOS	HCMOS, CMOS B, ACMOS (FCT, HC, A(U)C, LVX), (LVC, LCX, LV) (VCX, ALVC, AVC, AHC, VHC)	Logic	3	5	45	5 ³⁾
		Analogschalter ²⁾ , Bus Interface ¹⁾ Analog switches ²⁾ , bus interface ¹⁾	5	8		
	Bus Interface ¹⁾	GTL(p)	8	12	50	
	Busdriver/-receiver	RS422, RS423, RS485, CAN etc. RS232, RS644/899, CML etc.	10 15	- -		
					55	
BICMOS	Logic		3	5	45	-
	Bus interface ¹⁾	ABT, BCT	6	8	50	
		LVT, ALVT	6	10		
		GTL(p)	8	12		
		BTL, ETL	50	80		
	Busdriver/-receiver	RS422, RS423, RS485 etc.	8	-	55	
1 FIT=1x10 ⁻⁹ 1/h; (Ein Ausfall pro 10 ⁹ Bauelementestunden)		1 FIT equals one failure in 10 ⁹ component hours				
Für Bauelemente ohne ausreichende Einsatzerfahrungen sind die Ausfallratenwerte eingeklammert.		Failure rates of components for which little operating experience has been gained are given in brackets.				
Bei der Verwendung von nackten Chips sind die Ausfallraten mit einem Faktor von bis zu 2 zu multiplizieren, wenn keine eigenen Erfahrungen in der Aufbautechnik vorliegen.		For bare chips the indicated failure rates shall be multiplied by a factor of up to two if no experience has been gained in the mounting technology used.				
¹⁾ Bustreiber und -empfänger mit ≤ 10 Ein- und Ausgängen SSI/MSI > 10 Ein- und Ausgängen LSI Für Schaltfrequenzen ab ca. 5 MHz muss zur Bestimmung der Sperrschichttemperatur neben der statischen, die lastabhängige dynamische Verlustleistung berücksichtigt werden.		¹⁾ Bus drivers and receivers with ≤ 10 inputs and outputs SSI/MSI > 10 inputs and outputs LSI For switching rates above approx. 5 MHz both the static and the load-dependent power dissipation must be considered when determining the junction temperature.				
²⁾ Für driftempfindliche Schaltungen ist der Driftempfindlichkeitsfaktor π_D zu berücksichtigen (siehe Abschnitt 4.3):		²⁾ In drift-sensitive circuits the drift sensitivity factor π_D must be taken into account (see Clause 4.3).				
³⁾ Nur für CMOS B		³⁾ Only for CMOS B				

Tabelle 4 Ausfallraten für analoge Integrierte Schaltkreise
Table 4 Failure rates for analog integrated circuits

Transistoranzahl / No. of transistors		Integrationsgrad / Degree of integration				$\theta_{vj,1}$ in °C	$\frac{U_{ref}}{U_{max}}$
		≤ 30	> 30 - 300	> 300-3k	>3k		
		λ_{ref} in FIT					
Operationsverstärker, Komparatoren und Spannungsüberwachung / <i>Operational amplifiers, comparators and voltage monitors</i>	bipolar, BIFET	3	6	12	-	55	0,7
	CMOS	2	4	8	-	45	
Referenzelemente / <i>Reference elements</i>	Alle Technologien / <i>all technologies</i>	3	6	-	-	45	-
Schaltregler / <i>switched regulators</i>	Alle Technologien / <i>all technologies</i>	-	10	20	-	55	
Leistungsverstärker und Regler ¹⁾ / <i>Power amplifiers and regulators ¹⁾</i>	Alle Technologien / <i>all technologies</i>	≤ 1 Watt	10	20	40	-	70
		> 1 Watt	25	50	100	-	90
Hochfrequenz IC ²⁾ / High Frequency IC ²⁾							
HF modulator, demodulator, PLL, VCO	bipolar	-	(25)	-	-	65	-
	CMOS, BICMOS	-	15	20	25	45	
Transmitter, Receiver	bipolar	-	20	25	-	70	
	CMOS, BICMOS	-	-	-	25	45	
Power Amplifier / Receiver	GaAs	(100)	(110)	-	-	80	
1 FIT=1x10 ⁻⁹ 1/h; (Ein Ausfall pro 10 ⁹ Bauelementestunden)		1 FIT equals one failure in 10 ⁹ component hours					
In driftpföndlichen Schaltungen kann die Ausfallrate ein mehrfaches der angegebenen sein. Deshalb ist für solche Schaltungen der Driftpföndlichkeitsfaktor π_D zu berücksichtigen (siehe Abschnitt 4.3).		In drift-sensitive circuits the failure rate may be a multiple of the value stated. In such circuits the drift sensitivity factor π_D must be taken into account (see Clause 4.3).					
Bei der Verwendung von nackten Chips sind die Ausfallraten mit einem Faktor von mindestens 2 zu multiplizieren, wenn keine eigenen Erfahrungen in der Aufbautechnik vorliegen.		For bare chips the indicated failure rates shall be multiplied by a factor of at least two if no experience has been gained in the mounting technology used.					
¹⁾ Kein thermischer Wechsellastbetrieb; bei Impulsbetrieb ist in Abhängigkeit des zeitlichen Ein-/Ausschaltverhaltens (Tastverhältnis) und den daraus resultierenden Sperrschichttemperaturzyklen mit einer deutlichen Erhöhung des Ausfallratenwertes zu rechnen.		¹⁾ No changing thermal loads; during intermittent operation a significant rise in the failure rate is to be expected, depending on the switching frequency per time unit (duty cycle) and the junction temperature cycles resulting thereof.					
²⁾ Hochfrequenz >100MHz		²⁾ High frequency >100 MHz					

Tabelle 5 Ausfallraten für anwendungsspezifische Schaltkreise (ASICs)
Table 5 Failure rates for application-specific integrated circuits (ASICs)

Gatteranzahl / No. of gates Transistoranzahl / No. of transistors		Integrationsgrad / Degree of integration						$\alpha_{j,1}$ in °C
		MSI/LSI 10 – 1k	VLSI >1k - 10k	ULSI >10k - 100k	SLSI >100k - 1M	>1M - 10M	>10M - 100M	
		50 – 5k	>5k - 50k	>50k - 500k	>500k - 5M	>5M - 50M	>50M - 500M	
λ_{ref} in FIT								
ASICs, Full Custom, Gate Arrays, Telecom ICs, A/D-Converters ¹⁾								
Bipolar	TTL	20	30	-	-	-	-	55
	ECL	40	60	-	-	-	-	70
	HV (>50 Volt) ²⁾³⁾	-	40	-	-	-	-	80
NMOS		25	30	-	-	-	-	55
CMOS, BICMOS	digital, analog / mixed ³⁾	20	25	-	-	-	-	55
		-	-	60	70	80	-	70
		-	-	-	-	-	120	80
HV (>50 Volt) ²⁾³⁾		-	30	-	-	-	-	75
Programmable ASICs (PLD) ⁵⁾ nicht löschar / non erasable								
Bipolar	TTL	50	-	-	-	-	-	80
	ECL	70	-	-	-	-	-	85
CMOS (anti-fuses)		-	80	90	120	-	-	80
Programmable ASICs (PLD) ⁵⁾ löschar / erasable								
MOS,	RAM basis	-	60	80	100	(150)	(200)	80
CMOS	EPROM basis ⁶⁾	40	-	-	-	-	-	70
		-	50	80	-	-	-	80
	EEPROM basis FLASH-EPROM	40	-	-	-	-	-	70
		-	60	90	120	(160)	-	80
1 FIT=1x10 ⁻⁹ 1/h; (Ein Ausfall pro 10 ⁹ Bauelementestunden)				1 FIT equals one failure in 10 ⁹ component hours				
Für Bauelemente ohne ausreichende Einsatzserfahrungen sind die Ausfallratenwerte eingeklammert.				Failure rates of components for which little operating experience has been gained are given in brackets.				
Bei der Verwendung von nackten Chips sind die Ausfallraten mit einem Faktor von bis zu 2 zu multiplizieren, wenn keine eigenen Erfahrungen in der Aufbautechnik vorliegen.				For bare chips the indicated failure rates shall be multiplied by a factor of up to two if no experience has been gained in the mounting technology used.				
1) Monolithische Technologie (keine Module)				1) Monolithic technology (no modules)				
2) Die Ausfallraten gelten für den typischen Einsatzfall: Vollast während 10% der Betriebszeit.				2) The failure rates stated apply to the typical application: full load during 10% of the operating time.				
3) Für driftempfindliche Schaltungen ist der Driftempfindlichkeitsfaktor α_D zu berücksichtigen (siehe Abschnitt 4.3).				3) In drift-sensitive circuits the drift sensitivity factor α_D must be taken into account (see Clause 4.3).				
4) Ausfallrate in Abhängigkeit von Komplexität festlegen.				4) The failure rate is to be determined depending on the complexity.				
5) Bei PLDs werden nur die Gatter der logischen Funktion gerechnet.				5) For PLDs only the gates of the logical functions are considered.				
6) Auch gültig für nicht löscharbare Versionen im Plastikgehäuse.				6) Also valid for non-erasable types in plastic packages.				

4 Umrechnung von Referenz- auf Betriebsbedingungen

Werden die Integrierten Schaltungen nicht mit der in Abschnitt 2 „Referenzbedingungen“ genannten elektrischen Beanspruchung und der mittleren Umgebungstemperatur betrieben, dann ergeben sich Ausfallraten, die von den Erwartungswerten in den Tabellen 1 bis 5 abweichen.

Zur Berücksichtigung der tatsächlichen elektrischen Beanspruchungen und der sich während des Betriebes einstellenden mittleren Umgebungstemperatur werden die Erwartungswerte bei Referenzbedingungen mit den jeweiligen π -Faktoren umgerechnet.

Die Ausfallrate bei Betriebsbedingungen λ errechnet sich während der Betriebszeit zu:

- Für analoge Integrierte Schaltkreise mit größerem Betriebsspannungsbereich (Operationsverstärker, Komparatoren und Spannungsüberwachung)

$$\lambda = \lambda_{ref} \times \pi_U \times \pi_T \times \pi_D \quad (4.1)$$

- Für alle anderen analogen Integrierten Schaltkreise mit fester Versorgungsspannung

$$\lambda = \lambda_{ref} \times \pi_T \times \pi_D \quad (4.2)$$

- Für digitale CMOS B - Familien

$$\lambda = \lambda_{ref} \times \pi_U \times \pi_T \quad (4.3)$$

- Für alle übrigen Integrierten Schaltkreise

$$\lambda = \lambda_{ref} \times \pi_T \quad (4.4)$$

hierin bedeuten / where:

λ_{ref} Ausfallrate bei Referenzbedingungen
 π_U Faktor für Spannungsabhängigkeit
 π_T Faktor für Temperaturabhängigkeit
 π_D Faktor für Driftempfindlichkeit

4 Conversion from reference to operating conditions

If the integrated circuits are not under the electrical stresses and at the average ambient temperature as stated in clause 2 „Reference conditions“, the result can be failure rates which differ from the expected values given in Tables 1 to 5.

To account for the actual electrical stresses and the average ambient temperature that occur during operation, the expected values under reference conditions need to be converted with the relevant π factors.

The failure rate under operating conditions λ is calculated for operations as follows:

- For analog integrated circuits with an extended range of operating voltages (operational amplifiers, comparators and voltage monitors)

- For all other analog integrated circuits with fixed operating voltage

- For digital CMOS B families

- For all other integrated circuits

failure rate under reference conditions
 voltage dependence factor
 temperature dependence factor
 Drift sensitivity factor

4.1 Spannungsabhängigkeit, Faktor π_U

Die Spannungsabhängigkeit wird für digitale CMOS B Familienschaltkreise mit größerem Betriebsspannungsbereich nach Gleichung (4.5) und für analoge Integrierte Schaltungen nach Gleichung (4.6) berücksichtigt.

Dabei werden die in Tabelle 6 angegebenen Konstanten verwendet. Die damit berechneten π_U -Faktoren für digitale Integrierte Schaltkreise sind in Tabelle 7 und 8 angegeben.

4.1 Voltage dependence, factor π_U

The voltage dependence for digital CMOS B family circuits with an extended range of operating voltages is taken into account as in formula (4.5) and for analog integrated circuits as in formula (4.6).

The values for the constants are given in Table 6. The calculated π_U factors for digital integrated circuits are shown in Tables 7 and 8.

$$\pi_U = \exp(C_1 \times (U^{C_2} - U_{ref}^{C_2})) \quad (4.5)$$

$$\pi_U = \exp(C_3 \times ((U/U_{max})^{C_2} - (U_{ref}/U_{max})^{C_2})) \quad (4.6)$$

Hierin bedeuten / where:

U	Betriebsspannung in V	operating voltage in V
U_{ref}	Referenzspannung in V	reference voltage in V
U_{max}	maximal zulässige Betriebsspannung in V	rated voltage in V
C_1	Konstante in $(1/V)^{C_2}$	constant in $(1/V)^{C_2}$
C_2, C_3	Konstanten	constants

Tabelle 6 Konstanten
Table 6 Constants

	U_{ref}/U_{max}	U_{ref}	C_1	C_2	C_3
Digitale CMOS-B Familienschaltkreise mit größerem Betriebsspannungsbereich / Digital CMOS-B families with an extended range of operating voltages	-	5V	0,1/V	1	-
Analoge Integrierte Schaltkreise / Analog integrated circuits	0,7	-	-	4,4	1,4

Tabelle 7 Faktor π_U für digitale CMOS-B Familienschaltkreise mit größerem Betriebsspannungsbereich
Table 7 Factor π_U for digital CMOS-B families with an extended range of operating voltages

Betriebsspannung U in V Operating voltage U in V	≤3	4	5	6	7	8	9	10	11	12	13	14	15
Faktor π_U Factor π_U	0,8	0,9	1	1,1	1,2	1,3	1,5	1,6	1,7	2	2,2	2,5	2,7

Tabelle 8 Faktor π_U für analoge Integrierte Schaltkreise
Table 8 Factor π_U for analog integrated circuits

Spannungsverhältnis U/U_{max} Voltage ratio U/U_{max}	≤0,3	0,4	0,5	0,6	0,7	0,8	0,9	1
Faktor π_U Factor π_U	0,75	0,77	0,8	0,87	1	1,3	1,8	3

4.2 Temperaturabhängigkeit, Faktor π_T

Der folgende Zusammenhang gilt nur bis zur maximal zulässigen Ersatzsperrschichttemperatur. Dabei werden die in Tabelle 9 angegebenen Konstanten verwendet.

4.2 Temperature dependence, factor π_T

The following formula applies up to the maximum permissible junction temperature only. The values of the constants are given in Table 9.

$$\pi_T = \frac{A \times e^{E_{a1} \times z} + (1-A) \times e^{E_{a2} \times z}}{A \times e^{E_{a1} \times z_{ref}} + (1-A) \times e^{E_{a2} \times z_{ref}}} \quad (4.7)$$

mit / with $z = 11605 \times \left(\frac{1}{T_{U,ref}} - \frac{1}{T_2} \right)$ in $\frac{1}{eV}$

und / and $z_{ref} = 11605 \times \left(\frac{1}{T_{U,ref}} - \frac{1}{T_1} \right)$ in $\frac{1}{eV}$

Hierin bedeuten / where:

$T_{U,ref} = \theta_{U,ref} + 273$	in K	$\theta_{U,ref}$	Referenz-Umgebungstemperatur in °C / Reference ambient temperature in °C
$T_1 = \theta_{v,1} + 273$	in K	$\theta_{v,1}$	Referenz-Ersatzsperrschichttemperatur in °C / Reference virtual (equivalent) junction temperature in °C
$T_2 = \theta_{v,2} + 273$	in K	$\theta_{v,2}$	tatsächliche Ersatzsperrschichttemperatur in °C / Actual virtual (equivalent) junction temperature in °C
A, Ea_1, Ea_2			Konstanten / Constants

Tabelle 9 Konstanten
Table 9 Constants

	A	Ea_1 in eV	Ea_2 in eV	$\theta_{U,ref}$ in °C
Für IS (ohne EPROM, FLASH-EPROM, OTPROM, EEPROM, EAROM) / For ICs (except EPROM, FLASH-EPROM, OTPROM, EEPROM, EAROM)	0,9	0,3	0,7	40
Für EPROM, FLASH-EPROM, OTPROM, EEPROM, EAROM / For EPROM, FLASH-EPROM, OTPROM, EEPROM, EAROM	0,3	0,3	0,6	40

Die damit berechneten Faktoren π_T folgen in Abhängigkeit von der Referenz-Ersatzsperrschichttemperatur $\theta_{v,1}$

- für IS (ohne EPROM, FLASH-EPROM, OTPROM, EEPROM und EAROM) aus Tabelle 10 und
- für EPROM, FLASH-EPROM, OTPROM, EEPROM und EAROM aus Tabelle 11.

The calculated factors π_T depend on the reference virtual (equivalent) junction temperature $\theta_{v,1}$ and are given

- for ICs (except EPROM, FLASH-EPROM, OTPROM, EEPROM and EAROM) in Table 10 and
- for EPROM, FLASH-EPROM, OTPROM, EEPROM and EAROM in Table 11.

Die in den Tabellen 10 und 11 notwendigen tatsächlichen Ersatzsperrschichttemperaturen $\theta_{v,2}$ errechnen sich zu

In Tables 10 and 11 the required actual virtual (equivalent) junction temperatures $\theta_{v,2}$ are calculated as per

$$\theta_{v,2} = \theta_U + \Delta\theta$$

Hierin bedeuten / where:

θ_U	Mittlere Umgebungstemperatur des Bauelementes in °C	mean ambient temperature of the component in °C
$\Delta\theta = P \times R_{th}$	Temperaturerhöhung aufgrund von Eigenwärme ⁴	increase in temperature due to self-heating ⁴
P	Verlustleistung	operating power dissipation
R_{th}	Wärmewiderstand (Sperrschicht - Umgebung)	thermal resistance (junction - environment)

⁴ Die Eigenwärme von CMOS-Schaltkreisen ist auch frequenzabhängig /
Self-heating of CMOS circuits is also frequency dependent.

Tabelle 10 Faktor π_T für IS (ohne EPROM; FLASH-EPROM; OTPROM; EEPROM; EAROM)
Table 10 Factor π_T for ICs (without EPROM; FLASH-EPROM; OTPROM; EEPROM; EAROM)

$\theta_{vj,1}$ in °C in Tabellen / in Tables 1 - 6)	$\theta_{vj,2}$ in °C																					
	≤25	30	35	40	45	50	55	60	65	70	75	80	85	90	95	100	110	120	130	140	150	175
40	0,54	0,67	0,82	1	1,2	1,5	1,8	2,2	2,7	3,3	4,1	5,1	6,3	7,7	9,6	12	18	28	44	67	102	275
45	0,44	0,54	0,67	0,82	1	1,2	1,5	1,8	2,2	2,7	3,4	4,1	5,1	6,3	7,8	9,7	15	23	36	55	83	225
50	0,36	0,45	0,55	0,67	0,82	1	1,2	1,5	1,8	2,2	2,8	3,4	4,2	5,2	6,4	8	12	19	29	45	68	184
55	0,3	0,37	0,45	0,55	0,67	0,82	1	1,2	1,5	1,8	2,3	2,8	3,4	4,2	5,3	6,5	10	16	24	37	56	150
60	0,24	0,3	0,37	0,45	0,55	0,67	0,82	1	1,2	1,5	1,8	2,3	2,8	3,5	4,3	5,3	8,2	13	20	30	46	123
65	0,2	0,24	0,3	0,37	0,45	0,55	0,67	0,82	1	1,2	1,5	1,9	2,3	2,8	3,5	4,4	6,7	10	16	24	37	100
70	0,16	0,2	0,24	0,3	0,37	0,45	0,54	0,67	0,82	1	1,2	1,5	1,9	2,3	2,9	3,6	5,5	8,5	13	20	30	82
75	0,13	0,16	0,2	0,24	0,3	0,36	0,44	0,54	0,66	0,81	1	1,2	1,5	1,9	2,3	2,9	4,5	6,9	11	16	25	67
80	0,11	0,13	0,16	0,2	0,24	0,29	0,36	0,44	0,54	0,66	0,81	1	1,2	1,5	1,9	2,3	3,6	5,69	8,6	13	20	54
85	0,087	0,11	0,13	0,16	0,2	0,24	0,29	0,36	0,44	0,54	0,66	0,81	1	1,2	1,5	1,9	2,9	4,5	7	11	16	44
90	0,07	0,086	0,11	0,13	0,16	0,19	0,24	0,29	0,35	0,43	0,53	0,66	0,81	1	1,2	1,5	2,4	3,7	5,6	8,7	13	36
95	0,057	0,07	0,085	0,1	0,13	0,16	0,19	0,23	0,29	0,35	0,43	0,53	0,65	0,81	1	1,2	1,9	3	4,6	7	11	29
100	0,046	0,056	0,069	0,084	0,1	0,13	0,15	0,19	0,23	0,28	0,35	0,43	0,53	0,65	0,81	1	1,5	2,4	3,7	5,6	8,5	23

Tabelle 11 Faktor π_T für EPROM; FLASH-EPROM; OTPROM; EEPROM; EAROM
Table 11 Factor π_T for EPROM; FLASH-EPROM; OTPROM; EEPROM; EAROM

55 $\theta_{vj,1}$ in °C in Tabellen / in Tables 1 - 6)	$\theta_{vj,2}$ in °C																				
	≤25	30	35	40	45	50	55	60	65	70	75	80	85	90	95	100	110	120	130	140	150
0,16	0,22	0,3	0,41	0,55	0,75	1	1,3	1,8	2,3	3,1	4,0	5,2	6,7	8,6	11	18	28	43	65	96	238

4.3 Driftempfindlichkeit, Faktor π_D

Zur Berücksichtigung eines erhöhten Wertes der Ausfallrate in driftempfindlichen Schaltungen wird für Analogschaltungen und Schaltungen mit Analoganteil der Driftempfindlichkeitsfaktor π_D eingeführt.

Es gelten:

- für nicht driftempfindliche Schaltungen, $\pi_D = 1$
- für driftempfindliche Schaltungen, $\pi_D = 2$

4.4 Aussetzbetrieb, Faktor π_W

Die Integrierten Schaltungen werden während der Betriebszeit der Baugruppe oder des Gerätes häufig nicht immer beansprucht. Zwischen den Betriebsperioden sind Pausen ohne elektrische Belastung. Dies wird durch den Umrechnungsfaktor für Aussetzbetrieb π_W , bezogen auf die Ausfallrate λ nach Gleichung (4.1), (4.2), (4.3) oder (4.4) berücksichtigt. Damit erhält man die Ausfallrate bei Aussetzbetrieb zu

$\lambda_W = \lambda \times \pi_W$	(4.8)
------------------------------------	-------

mit / with

$$\pi_W = W + R \times \frac{\lambda_0}{\lambda} \times (1 - W), \quad R=0,08$$

Hierin bedeuten / where:

- W** Beanspruchungsdauer Bauelement / Betriebszeit Gerät; $0 \leq W \leq 1$
Ratio: duration of component stress to operating time of equipment; $0 \leq W \leq 1$
- R** Konstante: sie berücksichtigt die Erfahrung, dass auch nicht beanspruchte Bauelemente Ausfälle zeigen.
Constant: this takes into account that even non-stressed components may fail.
- λ_0** Ausfallrate bei Stillstandtemperatur θ_0 , jedoch unter elektrischer Last.
 Die Stillstandtemperatur ist die Bauelemente- bzw. Sperrschichttemperatur während der beanspruchungsfreien Pause.
Failure rate at wait-state temperature, but under electrical stress. The wait-state temperature is the component or junction temperature during the non-stress phase.
 $(\lambda_0 = \lambda_{ref} \times \pi_T(\theta_0))$
- λ** Ausfallrate bei Betriebs- bzw. Referenztemperatur nach Gleichung (4.1), (4.2), (4.3) oder (4.4)
Failure rate under actual operating or reference temperature as in equation (4.1), (4.2), (4.3) or (4.4)

4.3 Drift sensitivity, factor π_D

A drift sensitivity factor π_D has been introduced for analog circuits and circuits with analog parts to take into account an increased value of the failure rate in drift-sensitive circuits.

The factors applicable are :

- for non-drift circuits, $\pi_D = 1$
- for drift-sensitive circuits, $\pi_D = 2$

4.4 Stress profile, factor π_W

Integrated circuits are often not continuously stressed during the operating time of the module or equipment. There are breaks without electrical stresses during operating periods. This can be taken into account for by the conversion factor π_W , related to the failure rate λ in equations (4.1), (4.2), (4.3) or (4.4). The failure rate for intermittent operation is then obtained using the formula

5 Frühausfallphase

Die Frühausfallphase von Integrierten Schaltungen ist der Zeitbereich vom ersten Beanspruchungsbeginn bis zum Erreichen der konstanten Ausfallrate nach ca. 3 000 Betriebsstunden. Die zu erwartende mittlere Ausfallrate für den betrachteten Zeitbereich ergibt sich durch Multiplikation des betreffenden Ausfallratenwertes aus den Tabellen 1 bis 5 mit dem Faktor π_F (für den betrachteten Zeitabschnitt) aus Tabelle 12.

5 Early failure period

The early failure period of integrated circuits is the time from the very first beginning of operation to the time when the constant failure rate period starts after approx. 3 000 operating hours. The expected mean failure rate during the time interval under observation is obtained by multiplying the relevant failure rate from Tables 1 to 5 by the factor π_F (for the appropriate time interval under observation) in Table 12.

Tabelle 12 Faktor π_F
Table 12 Factor π_F

Betriebszeit in h Operating time in h	Faktor Factor	
	π_F	$\pi_{F,max}$
- 100	2,9	
100 - 1000	2,2	3
1000 - 3000	1,3	
3000 -	1	1

Die Werte gelten für Integrierte Schaltungen, die den Anforderungen nach SN 72500 entsprechen. Bei nicht nach SN 72500 qualifizierten Integrierten Schaltungen können deutlich höhere π_F -Faktoren auftreten.

Die Angabe von $\pi_{F,max} = 3$ sagt aus, dass bei nicht monotoner Abnahme der Frühausfallrate der Faktor π_F den Wert "3" nicht überschreiten darf.

The values are valid for integrated circuits conforming to the requirements in SN 72500. Significantly higher π_F factors can occur for integrated circuits not conforming to SN 72500.

The stated value $\pi_{F,max} = 3$ indicates that if the early failure rate does not decrease monotonically the factor π_F shall not exceed the value "3".

Annex A: Symbole

λ	Ausfallrate unter Betriebsbedingungen
λ_0	Ausfallrate bei Stillstandtemperatur
λ_{ref}	Ausfallrate bei Referenzbedingungen
π_D	Faktor für Driftabhängigkeit
π_F	Faktor für Frühausfallverhalten
π_i	Faktor für Stromabhängigkeit
π_T	Faktor für Temperaturabhängigkeit
π_U	Faktor für Spannungsabhängigkeit
π_W	Faktor für Wechsellastbetrieb
$\Delta\theta$	Temperaturerhöhung aufgrund von Eigenerwärmung in °C
θ_0	Stillstandtemperatur in °C
θ_U	Mittlere Umgebungstemperatur des Bauelementes in °C
$\theta_{U,ref}$	Referenz-Umgebungstemperatur in °C
$\theta_{vj,1}$	Ersatzsperrschichttemperatur bei Referenzbedingungen in °C
$\theta_{vj,2}$	Ersatzsperrschichttemperatur bei Betriebsbedingungen in °C
$T_{U,ref}$	Referenz-Umgebungstemperatur in K
T_1	Referenz-Ersatzsperrschichttemperatur in K
T_2	Tatsächliche Ersatzsperrschichttemperatur in K
P	Verlustleistung
R	Konstante (Restfaktor)
R_{th}	Thermischer Widerstand (Sperrschicht - Umgebung)
U	Betriebsspannung
U_{max}	Maximal zulässige Betriebsspannung
U_{ref}	Referenzspannung
W	Verhältnis: Beanspruchungsdauer Bauelement zu Betriebszeit Gerät
A	Konstante
C_1, C_2, C_3	Konstanten
Ea_1, Ea_2	Aktivierungsenergien in eV

Annex A: Symbols

Failure rate under operating conditions
Failure rate at wait-state temperature
Failure rate under reference conditions
Drift sensitivity factor
Early failure dependence factor
Current dependence factor
Temperature dependence factor
Voltage dependence factor
Stress profile factor
Increase in temperature due to self-heating in °C
Wait-state temperature in °C
Average ambient temperature of the component in °C
Reference ambient temperature in °C
Reference virtual (equivalent) junction temperature in °C
Actual virtual (equivalent) junction temperature in °C
Reference ambient temperature in K
Reference virtual (equivalent) junction temperature in K
Actual virtual (equivalent) junction temperature in K
Operating power
Constant (rest factor)
Thermal resistance (junction - environment)
Operating voltage
Rated voltage
Reference voltage
Ratio: duration of component stress to operating time of equipment
Constant
Constants
Activation energies in eV

Anhang B (informativ): Abkürzungen
Annex B (informative): Abbreviations

ABT	Advanced BICMOS Technology
AC, ACMOS	Advanced CMOS
ACQ	Advanced CMOS Quiet
ACT	Advanced CMOS TTL-Input
AHC	Advanced High-Speed CMOS Logic
ALS	Advanced Low Power Schottky
ALVC	Advanced Low Voltage CMOS Technology
AS	Advanced Schottky
ASIC	Application Specific Integrated Circuit
BCD	bipolar CMOS DMOS
BCT	BICMOS Technology
BICMOS	Bipolar CMOS
BIFET	Bipolar FET
BTL	Bus Transceiver Logic
CAN	Controller Area Network
CB	Complementary bipolar
CBFET	Complementary bipolar Field Effect Transistor
CML	Common Mode Logic
CMOS	Complementary MOS
CMOS B	CMOS 4000 (=15 Volt)
EAROM	Electrically Alterable ROM
ECL	Emitter-Coupled Logic
EEPROM	Electrically Erasable PROM
EPROM	Electrically Programmable ROM
ETL	Enhanced Transceiver Logic
F(AST)	Fairchild Advanced Schottky TTL
FCT	Fast CMOS Technology
FCT3	Fast CMOS Technology, 3,3 Volt
FLASH, FLASH-EPROM	FLASH Electrically Programmable ROM
FIFO	First In First Out
GaAs	Gallium Arsenide Technology
GTL(p)	Gunning Transceiver Logic (plus)
HC, HCMOS	High Speed CMOS
HCT	High Speed CMOS TTL-Input
HLL	High Speed Low Voltage Logic (CMOS)
HV	High Voltage Technology (BIPOLAR/BICMOS/BCD >50 Volts)
IC	Integrated Circuit
LCX	Low Voltage CMOS Translator
LS	Low Power Schottky
LSI	Large Scale Integration
LV	Low Voltage CMOS
LVA	Low Voltage Advanced BICMOS
LVC	Low Voltage CMOS
LVQ	Low Voltage Quiet (CMOS)
LVT	Low Voltage Technology (BICMOS)
LVX	Low Voltage Translator (CMOS)
MOS	Metal Oxide Semiconductor
MSI	Medium Scale Integration
NMOS	N-Channel MOS, N-Type MOS
OTPROM	One-Time Programmable ROM
PLD	Programmable Logic Device
PROM	Programmable ROM
RAM	Random Access Memory
ROM	Read Only Memory
S	Schottky
SLIC	Subscriber Line Interface Circuit
SLSI	Super Large Scale Integration
SSI	Small Scale Integration
TTL	Transistor Transistor Logic
ULSI	Ultra Large Scale Integration
UV	Ultra Violet
VLSI	Very Large Scale Integration