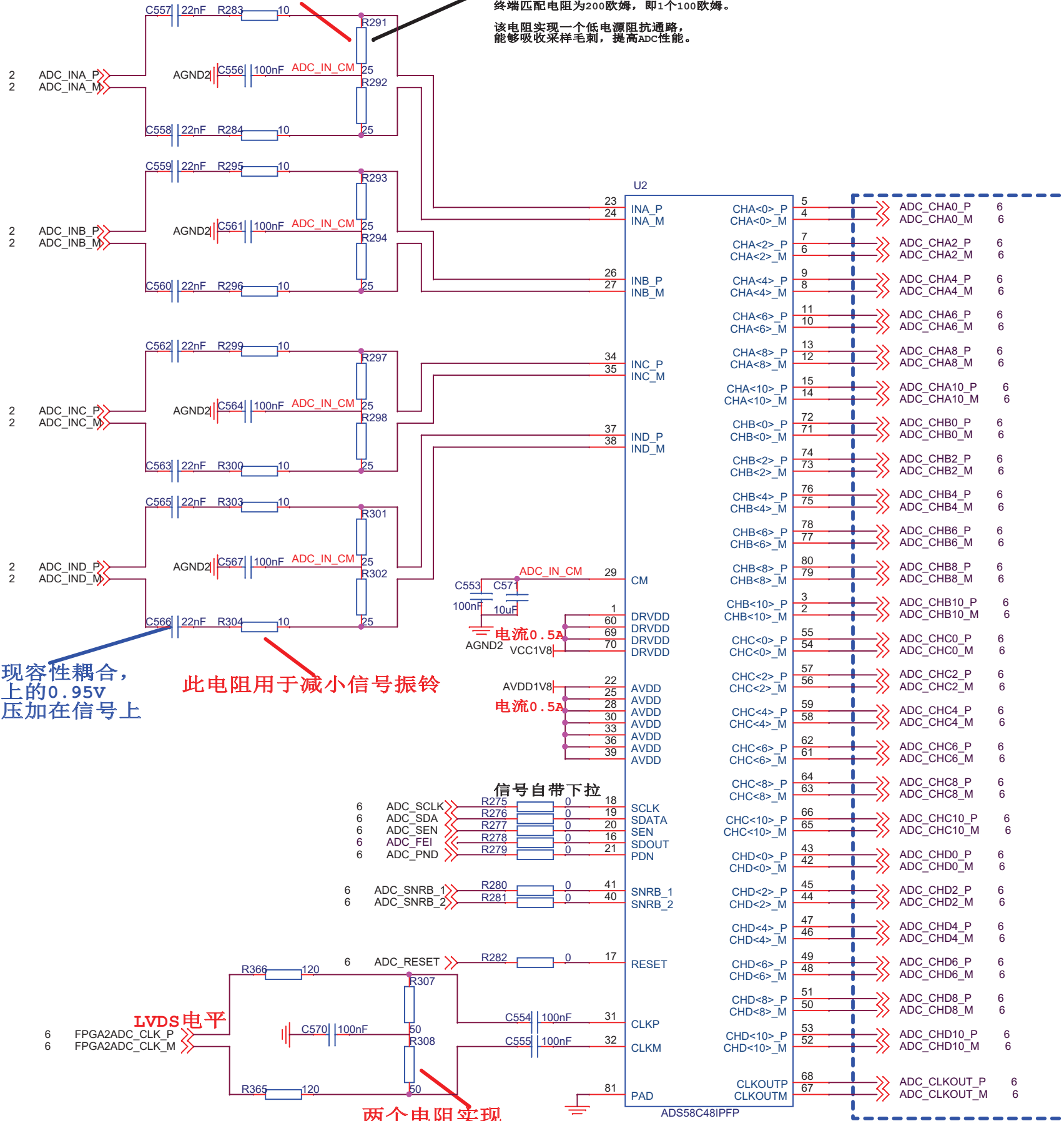


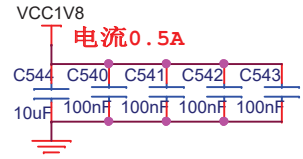
此处电阻与参考电路不同

在变压器匝数比为1:1的情况下，终端匹配电阻为50欧姆，即2个25欧姆。
在变压器匝数比为1:4的情况下，终端匹配电阻为200欧姆，即1个100欧姆。

该电阻实现一个低电源阻抗通路，能够吸收采样毛刺，提高ADC性能。

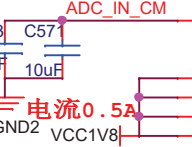


layout:
A/B/C/D四组数据，组内等长。
ABCD四级数据与时钟信号等长。



电容实现容性耦合，CM管脚上的0.95V共模电压加在信号上

此电阻用于减小信号振铃



AVDD1V8
电流0.5A

信号自带下拉



LVDS电平

两个电阻实现100欧姆端接匹配

