

硬件接线+软件编程测试经过

一. 硬件接线：

J6:

40: GPIO6	FSDY	SCLK	SCLK
13: GPIO2	CLK	DO1	MISO
0	DO2	DO3	0
0	DO4	DO5	0
0	DO6	DO7	0
0	DO8	DIN	GND
11: GPIO0	SYNC	EEWP	不接 (I2C通讯用)
GND	GND	GND	GND

(中间的两列对应ADS1278V2EVM的J6引脚，左右两列对应树莓派的引脚)

J4:

M0	M1	F0	F1	F2	CLKDIV
1: open	0: short	1: open	0: short	0: short	1: open

根据电路图可知，短路是GND即为0：低电平；开路是3.3V即为1：高电平；

(此处选择高精度、SPI、TDM、固定模式、时钟输入分频为高速)

JP1、JP2:

JP1——3	JP2——3
JP1——2	JP2——2
空——1	空——1

J3:

数据手册：PD和P1-P8调为1时，通道开启；

原理图显示：与GND短接则为0，所以此处不用动；

二. 软件编程：

1. SPI设置

```
# SPI setting
spi = spidev.SpiDev()
spi.open(0,0) # spi.open(bus,device), 连接到指定设备
spi.max_speed_hz = 7800000 # SCLK frequency 根据树莓派SPI速度列表
spi.mode = 0b01 # C_POL=0, C_PHA=0; SCLK空闲时为低电平，第一个时间沿采样；
spi.no_cs = True # 设置SPI_NO_CS标志是否使用CS，此处使用CS
```

- 此处指定设备即可；有四线制SPI、三线制SPI、两线制SPI（MOSI和SCLK），其中两线制SPI不需要CS(SS)片选信号，所以此处不用设置；
- 此处spi.max_speed_hz为f_sclk；因为高速模式和高精度模式f_clk都是27MHz，而f_clk/f_sclk=1、1/2、1/4、1/8；所以此处再根据树莓派的时钟频率，可以设置为15.6MHZ及以下频率；

2、树莓派4 SPI支持以下频率：

Speed	spi.max_speed_hz value
125.0 MHz	125000000
62.5 MHz	62500000
31.2 MHz	31200000
15.6 MHz	15600000
7.8 MHz	7800000
3.9 MHz	3900000
1953 kHz	1953000
976 kHz	976000
488 kHz	488000
244 kHz	244000
122 kHz	122000
61 kHz	61000
30.5 kHz	30500
15.2 kHz	15200
7629 Hz	7629

SPI支持频率列表

- 但根据实际测试，存在运行代码后不输出结果的现象→DEBUG发现是DRDY没有下降沿→最终将f_sclk设置为7629或15200则可以开始运行；然后可以再提高sclk频率；（下边仔细说）
- SPI的mode应为1；评估板手册说：ADS1278 在模式 1（CPOL = 0，CPHA =1）或帧同步模式下使用 SPI 串行通信；且根据SPI通讯时序图可以看到，空闲时为低电平，下降沿触发；

2. 模数转换

```
def adc_1ch(): # 1channel
    data = spi.xfer([0x00,0x00,0x00]) # 24bits = 3bytes, 读取
    adc = (data[0] << 16) + (data[1] << 8) + data[2] # shift register, 将data24字
节的数据转化为数值
    if adc > (2**23-1): # 2's complement
        adc = adc - 2**24
    voltage = (adc*2.5)/(2**23 - 1) # 此处参考电压是V(REF) = 2.5V,
    return voltage

def adc_8ch(): # 8channel
    ch = []
    for i in range(8):
        ch.append(adc_1ch())
    return ch
```

- 输出数据先1通道, 2, 3, 4, 5, 6, 7, 8;

3. SYNC和CLK设置

```
# GPIO setting, 将SYNC和CLK都设为1, 高电平
# 该函数将GPIO引脚22设置为输入模式, 并将其状态设置为高电平。
GPIO.setmode(GPIO.BOARD)
pins = [11, 13] # 物理接口
# SYNC, CLK select pin 设置为高电平;
# CLK是来同步数据的,
volt = [1,1] # 1=high, 0=low
for p in range(2):
    GPIO.setup(pins[p],GPIO.OUT)
    if volt[p] == 1:
        GPIO.output(pins[p],GPIO.HIGH)
    else:
        GPIO.output(pins[p],GPIO.LOW)
# (新款PCB板可以通过跳线设置高低电平, 所以此处只有SYNC和CLK需要编程实现高低电平)
```

- GPIO索引为物理地址;
- 因为未上电前SYNC为低电平, 所以此处将其设置为高电平即可;
- 猜测此处CLK设置为高电平, 结合CLKDIV来设置脉冲信号;

4. DRDY设置和主函数

```
GPIO.setup(22,GPIO.IN) # DRDY pin 该函数将GPIO引脚22设置为输入模式，并将其状态设置为高电平。
# main
i = 0 # timer
while True: # loop 100 times
    GPIO.wait_for_edge(22, GPIO.FALLING) # start to capture data when DRDY falling down
    print adc_8ch() # capture data
    i = i + 1
    if i == 100: # timer stop
        break
GPIO.cleanup()
```

- 等待DRDY输出低电平时u数据开始输出；

三. 遇到的问题

1. 存在运行代码后不输出结果或加载时间很长的现象（已解决）

过程1：经过DEBUG发现是DRDY没有下降沿，没有正常拉低导致；

根据参考一、二猜测是SCLK没有输出DRDY需要的波形导致；

参考一：正确的时序波形内容（同步 SYNC）

- 可以将SYNC引脚拉低然后将引脚返回高电平来实现同步；当引脚为低电平时，转换停止；SYNC引脚返回高电平时，转换过程重新开始；
- 在SPI协议中，一旦SYNC变低，DRDY就变高；SYNC返回高电平后，**DRDY保持高电平，一旦做好检索有效数据，DRDY变低**；

参考二：正确的时序波形内容（SPI串行接口）

- SPI兼容模式是只读接口。准备读取的数据由DRDY的下降沿输出指示，并在SCLK的下降沿移出，MSB在前；
- **如未检索到数据（即SCLK保持低电平）**，则DRDY就在下一个转换数据准备就绪之前发出高电平脉冲；

过程2：使用示波器观察SCLK波形，发现是类似正弦波；CLK同样也是类似正弦波；而正常的时钟信号应该是矩形波；

使用示波器探针注意接地线；？不接地倒是矩形波？

参考一：降低通信速率；

- 将f_sclk设置为7629或15200发现可以开始输出结果，而且可以再提高sclk频率；！！！！！！

参考二：检查接地；

- 务必多次接线检查；

参考三：缩短信号线；

- 确实多余的信号线对信号有噪声影响；因为示波器观察信号，所以转接到了面包板上经历了很多转接线；经过拆除重新检查：CLK波形更接近矩形波了，SCLK也有所改善；

存疑一：SCLK波形

- 是在0V上下波动的类似正弦波和矩形波的波形吗？

2.各个通道实数很怪（已解决）

现象：1-4通道经过采集信号显示为1.65V左右；5-8通道信号为0V左右；

怀疑是数据移位问题，但经过测试发现是正常现象：

- 1-4通道AIP1与GND电压就是1.65V；
- 5-8通道AIP1与GND电压就是0V；
- 在给5通道1节7号电池1.65V时，其输出为1.65V；
- 在短接1-4通道时，其输出均为0V；

3. 个别组数据不正常

存在个别组8个通道数据都不正常；猜测可能是数据移位导致；后续可根据算法解决；

硬件接线+软件编程测试经过

一. 硬件接线：

J6:

J4:

JP1、JP2:

J3:

二. 软件编程：

1. SPI设置
2. 模数转换
3. SYNC和CLK设置
4. DRDY设置和主函数

三. 遇到的问题

1. 存在运行代码后不输出结果或加载时间很长的现象（已解决）

过程1：经过DEBUG发现是DRDY没有下降沿，没有正常拉低导致；

参考一：正确的时序波形内容（同步 SYNC）

参考二：正确的时序波形内容（SPI串行接口）

过程2：使用示波器观察SCLK波形，发现是类似正弦波；CLK同样也是类似正弦波；而正常的时钟信号应该是矩形波；

参考一：降低通信速率；

参考二：检查接地；

参考三：缩短信号线；

存疑一：SCLK波形

- 2.各个通道实数很怪（已解决）

3. 个别组数据不正常