

Signal From Cam	Mux Mode	Signal USED on TDA2x
ISP_HSYNC_CAM1	vin1a_hsync0	VIN1A_HSYNC
ISP_VSYNC_CAM1	vin1a_vsync0	VIN1A_VSYNC
ISP_FSYNC_CAM1	gpio3_21	VIN1A_D17
ISP_CAM1_D4	vin1a_d0	VIN1A_D0
ISP_CAM1_D5	vin1a_d1	VIN1A_D1
ISP_CAM1_D6	vin1a_d2	VIN1A_D2
ISP_CAM1_D7	vin1a_d3	VIN1A_D3
ISP_CAM1_D8	vin1a_d4	VIN1A_D4
ISP_CAM1_D9	vin1a_d5	VIN1A_D5
ISP_CAM1_D10	vin1a_d6	VIN1A_D6
ISP_CAM1_D11	vin1a_d7	VIN1A_D7
ISP_CAM1_PCLK	vin1a_clk0	VIN1A_CLK
ISP_HSYNC_CAM2	vin2a_hsync0	VIN2A_HSYNC
ISP_VSYNC_CAM2	vin2a_vsync0	VIN2A_VSYNC
ISP_FSYNC_CAM2	gpio3_23	VIN1A_D19
ISP_CAM2_D4	vin2a_d0	VIN2A_D0
ISP_CAM2_D5	vin2a_d1	VIN2A_D1
ISP_CAM2_D6	vin2a_d2	VIN2A_D2
ISP_CAM2_D7	vin2a_d3	VIN2A_D3
ISP_CAM2_D8	vin2a_d4	VIN2A_D4
ISP_CAM2_D9	vin2a_d5	VIN2A_D5
ISP_CAM2_D10	vin2a_d6	VIN2A_D6
ISP_CAM2_D11	vin2a_d7	VIN2A_D7
ISP_CAM2_PCLK	vin2a_clk0	VIN2A_CLK
ISP_HSYNC_CAM3	vin6a_hsync0	MCASP1_AXR1
ISP_VSYNC_CAM3	vin6a_vsync0	MCASP1_AXR0
ISP_FSYNC_CAM3	gpio3_25	VIN1A_D21
ISP_CAM3_D4	vin6a_d0	MCASP3_AXR1
ISP_CAM3_D5	vin6a_d1	MCASP3_AXR0
ISP_CAM3_D6	vin6a_d2	MCASP3_FSX
ISP_CAM3_D7	vin6a_d3	MCASP3_ACLKX
ISP_CAM3_D8	vin6a_d4	MCASP2_AXR3
ISP_CAM3_D9	vin6a_d5	MCASP2_AXR2
ISP_CAM3_D10	vin6a_d6	MCASP2_FSX
ISP_CAM3_D11	vin6a_d7	MCASP2_ACLKX
ISP_CAM3_PCLK	vin6a_clk0	XREF_CLK1
CAM4_HS	vin1b_hsync1	VIN1A_DE0
CAM4_VS	vin1b_vsync1	VIN1A_FLD0
CAM4_FSIN	gpio4_10	VIN2A_D9
CAM4_D4	vin1b_d0	VIN1A_D15
CAM4_D5	vin1b_d1	VIN1A_D14
CAM4_D6	vin1b_d2	VIN1A_D13
CAM4_D7	vin1b_d3	VIN1A_D12

CAM4_D8	vin1b_d4	VIN1A_D11
CAM4_D9	vin1b_d5	VIN1A_D10
CAM4_D10	vin1b_d6	VIN1A_D9
CAM4_D11	vin1b_d7	VIN1A_D8
CAM4_PCLK	vin1b_clk1	VIN1B_CLK1

CAM1

CAM2

CAM3

CAM4